高速 ADC UIA4204 数据手册

Rev: 1.3.0

版权所有© 2026 上海联影微电子科技有限公司

免责声明

本文档内容受著作权法保护，本文档提及的产品名称和标识受商标法保护，文档相关的权利归属于联影集团旗下子公司上海联影微电子科技有限公司（以下简称“联影微电子”），但注明引用其他方的内容除外。未经联影微电子书面许可，任何人不得对本文档任何内容以任何形式进行复制、修改、传播。联影微电子不保证所提供内容的准确、完整、充分和可靠性，并且明确声明不对其错误或遗漏承担责任，也不做任何明示或暗示的保证，包括但不限于对适销性、特定用途的适用性或不侵权等任何其他之保证。

由于在方法、设计和制造方面的不断进步，本文档内容会不定期更新，恕不另行通知。

联系我们

地址：上海市嘉定区皇庆路 333 号 1 幢 4F

网址：https://www.uim-solution.com

电话：+86 (21) 39922260

邮箱：UIM_Sales@uim-solution.com

1 概述

UIA4204 是一款双通道、14 位、1GSPS/820MSPS/500MSPS、pipelined 架构的模数转换器(ADC)，该产品内置片内缓冲器和采样保持电路，可编程终端阻抗差分 400 Ω、200 Ω、100 Ω和 50 Ω，具有低功耗、小封装和易使用的特点。UIA4204 在 1GSPS/820MSPS/500MSPS 等的转换速率下运行，可用于高达 2GHz 的宽带模拟信号采集，具有较宽的输入带宽、高采集速率、杰出的动态性能以及低功耗等特点。

1.1 关键特性

- 功耗：
  - 单通道 1W@1GSPS
  - 单通道 0.8W@500MSPS
- SFDR@1GSPS：
  - 89.69 dBFS (10MHz 输入)
  - 83.03 dBFS (340MHz 输入)
  - 73.4 dBFS (985MHz 输入)
- SFDR@500MSPS：
  - 83.16 dBFS (10MHz 输入)
  - 78.86 dBFS (340MHz 输入)
  - 75.49 dBFS (985MHz 输入)
- SNR@1GSPS：
  - 65.64 dBFS (10MHz 输入)
  - 64.9 dBFS (340MHz 输入)
  - 61.24 dBFS (985MHz 输入)
- SNR@500MSPS：
  - 67.29 dBFS (10MHz 输入)
  - 66.28 dBFS (340MHz 输入)
  - 62.35 dBFS (985MHz 输入)
- ENOB
  - 10.61 Bits@1GSPS (10MHz 输入)
  - 10.84 Bits@500MSPS (10MHz 输入)
- DNL：±0.22LSB
- INL：
  - ±1.12LSB@1GSPS
  - ±3LSB@500MSPS
- Noise density：-154 dBFS/Hz
- 1.15 V、2.5 V 和 3.3 V 直流供电
- 内部 ADC 电压基准
- 无漏失码
- 输入电压范围：1.46Vp-p 到 2.05Vp-p
- 可编程终端阻抗：差分 400 Ω、200 Ω、100 Ω和 50 Ω
- 2GHz 可用模拟输入全功率带宽
- 差分时钟输入
- 灵活的 JESD204B 通道配置
- 104dB 的通道隔离/串扰
- 集成 4 个 DDC，每个 DDC 集成 2 路宽带数字信号器，12bit NCO，4 个半带滤波器
- 封装采用 9 mm × 9 mm, 64-lead LFCSP
- 湿敏等级：MSL3
- 工作温度范围：-40°C~85°C（最大结温 125°C）

1.2 应用场景

UIA4204 的应用将广泛地覆盖，包括:

- 通信分集多频段、多模数字接收机
- 超宽带卫星接收机
- 雷达
- 信号情报（SIGINT）
- 仪器仪表

1.3 功能框图

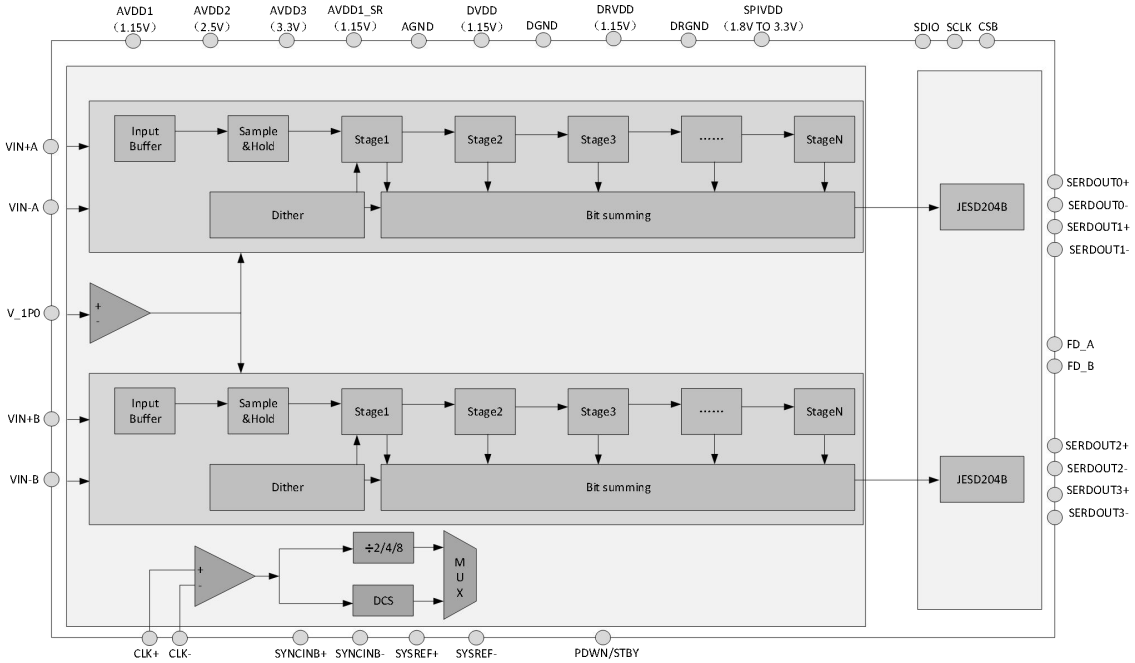

图 1-1 UIA4204 功能框图

目录

1 概述 1
1.1 关键特性 1
1.2 应用场景 1
1.3 功能框图 1
2 引脚配置和功能描述 5
3 技术规格 7
3.1 绝对最大额定值 7
3.2 直流规格 7
3.3 交流规格 9
3.4 数字规格 11
3.5 开关规格 12
3.6 时序规格 14
3.7 ESD 15
3.8 热性能 15
4 典型性能图示 16
4.1 1000MSPS 16
4.2 820MSPS 18
4.3 500MSPS 21
5 等效电路 24
6 详细信息 26
6.1 ADC 架构 26
6.2 模拟输入 26
6.2.1 差分输入配置 27
6.2.2 输入共模 27
6.2.3 模拟输入控制和 SFDR 优化 28
6.2.4 绝对最大输入摆幅 29
6.3 基准电压 29
6.3.1 内部基准电压 29
6.3.2 外部基准电压 29
6.4 时钟输入 29
6.4.1 时钟占空比考虑 30
6.4.2 输入时钟分频器 31
6.4.3 时钟抖动考虑 31
6.5 掉电/待机模式 31
6.6 温度二极管 31
6.7 ADC 超量程与快速检测 32
6.7.1 ADC 超量程 32
6.7.2 快速阈值检测（FD_A 和 FD_B） 32
6.8 信号监测 33
6.9 数字下变频器（DDC） 34
6.9.1 DDC 概述 34
6.9.2 DDC I/Q 输入选择 35
6.9.3 DDC I/Q 输出选择 35
6.10 频率转换 36
6.10.1 DDC NCO 加混频器的损失和 SFDR 36
6.10.2 数控振荡器 36
6.10.3 设置 NCO FTW 和 POW 36
6.10.4 NCO 同步 37
6.10.5 混频器 38
6.11 FIR 滤波器 38
6.11.1 半带滤波器 38
6.11.2 DDC 增益级 39
6.11.3 DDC 复数—实数转换 39
6.12 数字输出 39
6.12.1 JESD204B 接口简介 39
6.12.2 JESD204B 概述 40
6.12.3 功能概述 41
6.13 确定性延迟 46
6.13.1 子类 0 操作 46
6.13.2 子类 1 操作 46
6.13.3 多片同步 48
6.13.4 SYSREF±输入 49
6.14 延迟 52
6.14.1 端到端总延迟 52
6.14.2 延迟计算示例 52
6.15 测试模式 53
6.15.1 ADC 测试模式 53
6.15.2 JESD204B 测试模式 54
6.15.3 传输层样本测试模式 54
6.15.4 接口测试模式 54
6.15.5 数据链路层测试模式 54
6.16 串行端口接口 55

6.16.1 使用 SPI 的配置 55
6.16.2 硬件接口 56
6.16.3 SPI 访问特性 56
6.17 存储器映射 56
6.17.1 读取存储器映射寄存器表 56
6.17.2 禁用位置和保留位置 57
6.17.3 默认值 57
6.17.4 逻辑电平 57
6.17.5 特定通道寄存器 57
6.17.6 SPI 软复位 57
7 应用信息 84
7.1 电源建议 84
7.2 裸露焊盘散热建议 84
7.3 AVDD1_SR 和 AGND 85
8 封装信息 86
9 订购信息 87

修订记录

修订日期	版本	修订内容
2025 年 5 月	V1.0.0	发布第一个版本。
2025 年 7 月	V1.0.1	增加章节 9 订购信息。
2025 年 8 月	V1.1.0	全文修改，增加采样率 500MSPS 相关的信息。
2025 年 9 月	V1.2.0	全文修改，增加采样率 820MSPS 相关的信息。
2026 年 4 月	V1.3.0	■ 更改 SCLK 时钟周期（t_{CLK}）与 SCLK 下降沿到输出数据可被读取的最大延迟时间（t_{ACCESS}）的规格边界，详见章节 3.6 时序规格。 ■ 更新带宽、功耗、差分输入电容等指标的测试数据，更新温度二极管测试曲线，详见章节 3.2 直流规格与 6.6 温度二极管。 ■ 优化章节 3.7 ESD。

2 引脚配置和功能描述

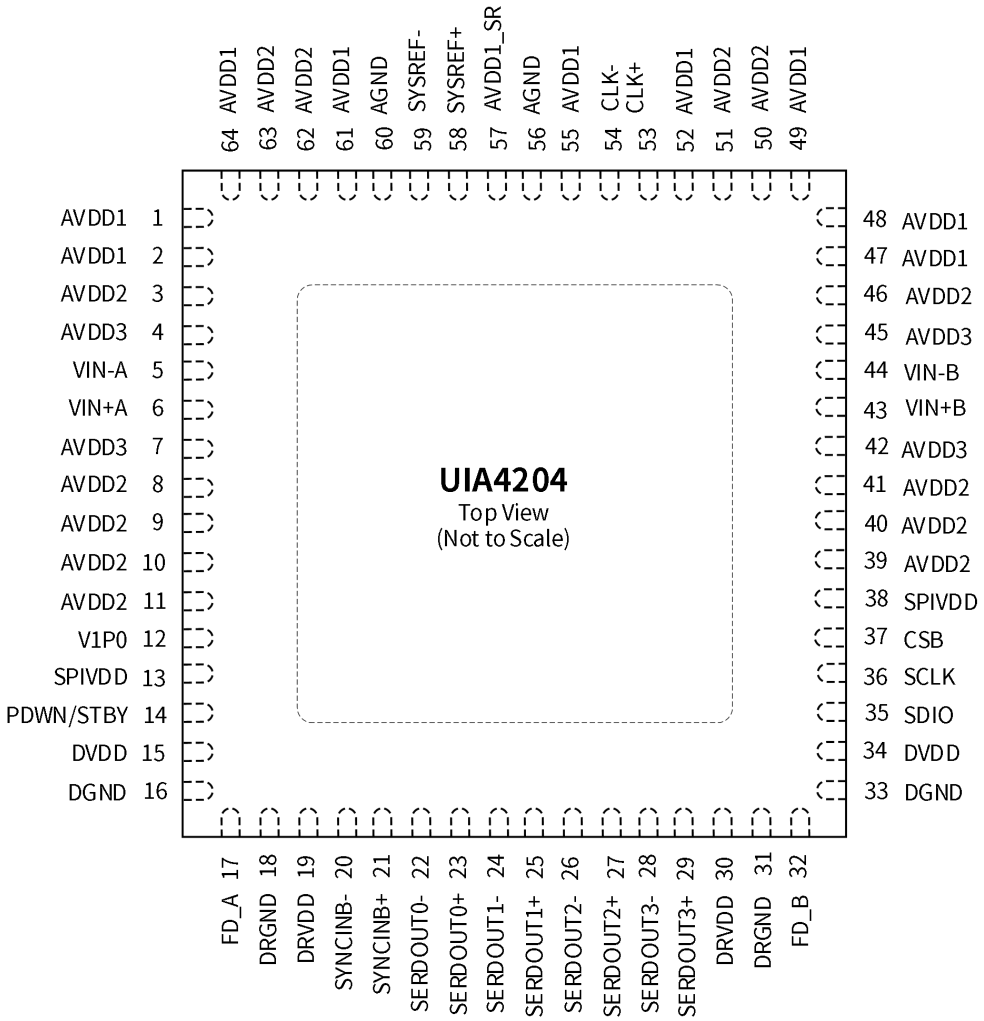

图 2-1 UIA4204 引脚配置

表 2-1 引脚功能描述

引脚编号	引脚名称	引脚类型	描述
ADC 电源			
0	EPAD	Ground	裸露焊盘。封装底部的裸露焊盘为 AVDDx 提供接地参考。裸露焊盘必须接地才能正常使用。
1, 2, 47, 48, 49, 52, 55, 61, 64	AVDD1	Supply	模拟供电电源（标称值 1.15V）。
3, 8, 9, 10, 11, 39, 40, 41, 46, 50, 51, 62, 63	AVDD2	Supply	模拟供电电源（标称值 2.5V）。
4, 7, 42, 45	AVDD3	Supply	模拟供电电源（标称值 3.3V）。
13, 38	SPIVDD	Supply	给 SPI 的数字供电电源（1.8V 到 3.3V）。
15, 34	DVDD	Supply	数字供电电源（标称值 1.15V）。

引脚编号	引脚名称	引脚类型	描述
16, 33	DGND	Ground	DVDD 的参考地。
18, 31	DRGND	Ground	DRVDD 的参考地。
19, 30	DRVDD	Supply	数字驱动器供电电源（标称值 1.15V）。
56, 60	AGND	Ground	SYSREF±的参考地。
57	AVDD1_SR	Supply	SYSREF±的模拟供电电源（标称值 1.15V）。
ADC 模拟			
5, 6	VIN−A, VIN+A	Input	通道 A 差分模拟输入引脚。
12	V_1P0	Input/DNC	1.0V 参考电压输入/不连接。该引脚可通过 SPI 配置为无连接或输入。如果使用内部电压参考源，请勿连接此引脚。如果使用外部电压参考源，则需要 1.0V 参考电压输入。
44, 43	VIN−B, VIN+B	Input	通道 B 差分模拟输入引脚。
53, 54	CLK+, CLK-	Input	时钟输入引脚。
CMOS 输出			
17, 32	FD_A, FD_B	Output	通道 A 和 B 的快速检测输出引脚。
ADC 数字输入			
20, 21	SYNCINB−, SYNCINB+	Input	JESD204B LVDS 同步输入，低电平有效。
58, 59	SYSREF+, SYSREF−	Input	JESD204B LVDS 系统参考输入，高电平有效。
数据输出			
22, 23	SERDOUT0−, SERDOUT0+	Output	Lane0 数据输出。
24, 25	SERDOUT1−, SERDOUT1+	Output	Lane1 数据输出。
26, 27	SERDOUT2−, SERDOUT2+	Output	Lane2 数据输出。
28, 29	SERDOUT3−, SERDOUT3+	Output	Lane3 数据输出。
被测设备（DUT）控制			
14	PDWN/STBY	Input	Power-Down 输入（低电平有效）。与 SPI 模式有关，可配置为 down 或 standby，需要一个外部 10kΩ下拉电阻。
35	SDIO	Input/ Output	SPI 串行数据输入/输出。
36	SCLK	Input	SPI 串行时钟。
37	CSB	Input	SPI 片选信号（低电平有效）。

3 技术规格

3.1 绝对最大额定值

参数	额定值
电气	
AVDD1 至 AGND	1.21 V
AVDD1_SR to AGND	1.21 V
AVDD2 至 AGND	2.75 V
AVDD3 至 AGND	3.63 V
DVDD 至 DGND	1.21 V
DRVDD 至 DRGND	1.21 V
SPIVDD 至 AGND	3.63 V
AGND 至 DRGND	−0.3 V 至+0.3 V
VIN±x 至 AGND	3.2 V
SCLK、SDIO、CSB 至 AGND	−0.3 V 至 SPIVDD + 0.3 V
PDWN/STBY 至 AGND	−0.3 V 至 SPIVDD + 0.3 V
环境	
工作温度范围	−40°C 至+85°C
最高结温	125°C
存储温度范围（环境温度）	−65°C 至+150°C

⚠警告

- 超出上述绝对最大额定值可能会导致器件永久性损坏。
- 长期在绝对最大额定值条件下工作会影响器件的可靠性。

3.2 直流规格

除非另有说明，AVDD1 = 1.15 V，AVDD2 = 2.5 V，AVDD3 = 3.3 V，AVDD1_SR = 1.15 V，DVDD = 1.15 V，DRVDD = 1.15 V，SPIVDD = 1.8 V，额定最大采样速率（1000 MSPS），1.7 Vp-p 满量程差分输入，1.0 V 内部基准电压源，A_{IN} = −1.0 dBFS，默认 SPI 设置，T_A = 25°C。

参数	温度	500MSPS			820MSPS			1000MSPS			单位
		最小值	典型值	最大值	最小值	典型值	最大值	最小值	典型值	最大值	
分辨率	全部	14			14			14			Bits
精度											
无失码	25°C		保证			保证			保证		
失调误差	25°C		-0.06			-0.06			-0.06		%FSR
失调匹配	25°C		0.1			0.1			0.1		%FSR
增益误差	25°C		-3			-3			-3		%FSR
增益匹配	25°C		1			1			1		%FSR
微分非线性（DNL）	25°C		±0.22			±0.22			±0.22		LSB
积分非线性（INL）	25°C		±3			±2			±1.12		LSB
内部基准电压											
电压	全		1.0			1.0			1.0		V
输入等效噪声											
V_{REF}=1.0V	25°C		2.7			2.97			2.97		LSB rms
模拟输入											
差分输入电压范围（可编程）	全	1.46	1.70	2.05	1.46	1.70	2.05	1.46	1.70	2.05	V p-p
共模电压(V_{CM})	25°C		2.05			2.05			2.05		V
差分输入电容	25°C		0.4			0.4			0.4		pF
模拟输入全功率带宽	25°C		2			2			2		GHz
电源											
AVDD1	全		1.15			1.15			1.15		V
AVDD2	全		2.5			2.5			2.5		V
AVDD3	全		3.3			3.3			3.3		V
AVDD1_SR	全		1.15			1.15			1.15		V
DVDD	全		1.15			1.15			1.15		V
DRVDD	全		1.15			1.15			1.15		V
SPIVDD	全		1.8			1.8			1.8		V
I_{AVDD1}	全		35			51			55		mA
I_{AVDD2}	全		93			528			552		mA
I_{AVDD3}	全		28			34			34		mA
I_{AVDD1_SR}	全		21			22			22		mA
I_{DVDD}	全		39			65			78		mA
I_{DRVDD}	全		159			204			216		mA
I_{SPIVDD}	全		0.16			0.25			0.55		mA
功耗											

参数	温度	500MSPS			820MSPS			1000MSPS			单位
		最小值	典型值	最大值	最小值	典型值	最大值	最小值	典型值	最大值	
总功耗（包括输出驱动器）	25°C		1.62			1.84			1.93		W
掉电功耗	25°C		280			290			296		mW
待机	25°C		556			639			651		mW

3.3 交流规格

除非另有说明，AVDD1 = 1.15 V，AVDD2 = 2.5 V，AVDD3 = 3.3 V，AVDD1_SR = 1.15 V，DVDD = 1.15 V，DRVDD = 1.15 V，SPIVDD = 1.8 V，额定最大采样速率（1000 MSPS），1.7 Vp-p 满量程差分输入，1.0 V 内部基准电压源，A_{IN} = −1.0 dBFS，默认 SPI 设置，T_A = 25°C。

参数	温度	500MSPS			820MSPS			1000MSPS			单位
		最小值	典型值	最大值	最小值	典型值	最大值	最小值	典型值	最大值	
模拟输入满量程	全		2.05			1.7			1.7		Vp-p
噪声密度	全		-154			-154			-154		dBFS/Hz
信噪比（SNR）											
f_{IN} = 10 MHz	25°C		67.29			67.03			65.64		dBFS
f_{IN} = 170 MHz	25°C		66.63			66.71			65.46		dBFS
f_{IN} = 340 MHz	25°C		66.28			66			64.9		dBFS
f_{IN} = 450 MHz	25°C		65.70			65.4			64.46		dBFS
f_{IN} = 765 MHz	25°C		63.32			62.93			61.97		dBFS
f_{IN} = 985 MHz	25°C		62.35			61.72			61.24		dBFS
f_{IN} = 1950 MHz	25°C		58.54			57.27			57.44		dBFS
信纳比（SINAD）											
f_{IN} = 10 MHz	25°C		67.00			66.87			65.47		dBFS
f_{IN} = 170 MHz	25°C		66.24			66.62			65.29		dBFS
f_{IN} = 340 MHz	25°C		66.28			65.78			64.64		dBFS
f_{IN} = 450 MHz	25°C		65.70			65.17			63.93		dBFS
f_{IN} = 765 MHz	25°C		63.01			62.58			61.52		dBFS
f_{IN} = 985 MHz	25°C		62.03			61.51			60.71		dBFS
f_{IN} = 1950 MHz	25°C		57.48			56			56.36		dBFS
有效位数（ENOB）											

参数	温度	500MSPS			820MSPS			1000MSPS			单位
		最小值	典型值	最大值	最小值	典型值	最大值	最小值	典型值	最大值	
f_{IN} = 10 MHz	25°C		10.84			10.82			10.61		Bits
f_{IN} = 170 MHz	25°C		10.71			10.77			10.58		Bits
f_{IN} = 340 MHz	25°C		10.72			10.63			10.47		Bits
f_{IN} = 450 MHz	25°C		10.62			10.53			10.35		Bits
f_{IN} = 765 MHz	25°C		10.18			10.1			9.95		Bits
f_{IN} = 985 MHz	25°C		10.01			9.93			9.82		Bits
f_{IN} = 1950 MHz	25°C		9.26			9.02			9.1		Bits
无杂散动态范围（SFDR）											
f_{IN} = 10 MHz	25°C		83.16			82.6			89.69		dBFS
f_{IN} = 170 MHz	25°C		79.05			84.7			88.73		dBFS
f_{IN} = 340 MHz	25°C		78.86			81.13			83.03		dBFS
f_{IN} = 450 MHz	25°C		79.70			80.87			75.49		dBFS
f_{IN} = 765 MHz	25°C		77.39			73.92			75.48		dBFS
f_{IN} = 985 MHz	25°C		75.49			77.71			73.4		dBFS
f_{IN} = 1950 MHz	25°C		66.45			63.39			65.1		dBFS
最差二次或三次谐波											
f_{IN} = 10 MHz	25°C		-86.00			-80.6			-89.88		dBFS
f_{IN} = 170 MHz	25°C		-77.05			-83.35			-89.52		dBFS
f_{IN} = 340 MHz	25°C		-77.53			-79.45			-81.44		dBFS
f_{IN} = 450 MHz	25°C		-78.86			-80.42			-73.49		dBFS
f_{IN} = 765 MHz	25°C		-77.29			-71.92			-74.34		dBFS
f_{IN} = 985 MHz	25°C		-74.10			-75.71			-71.57		dBFS
f_{IN} = 1950 MHz	25°C		-65.37			-62.2			-63.1		dBFS
最差其他谐波（二次或三次除外）											
f_{IN} = 10 MHz	25°C		-103.7			-106.16			-103.11		dBFS
f_{IN} = 170 MHz	25°C		-102.15			-104.87			-100.32		dBFS
f_{IN} = 340 MHz	25°C		-100.78			-104.14			-99.35		dBFS
f_{IN} = 450 MHz	25°C		-102.13			-103.84			-99.81		dBFS
f_{IN} = 765 MHz	25°C		-101.25			-101.04			-97.74		dBFS
f_{IN} = 985 MHz	25°C		-100.05			-99.15			-99.57		dBFS
f_{IN} = 1950 MHz	25°C		-95.83			-96.12			-94.2		dBFS
双音交调失真(IMD)，A_{IN1} 和 A_{IN2} = −7 dBFS											
f_{IN1} = 185 MHz, f_{IN2} = 188 MHz	25°C		-90.61			-88.57			-88.86		dBFS
f_{IN1} = 338 MHz, f_{IN2} = 341 MHz	25°C		-88.57			-90.5			-88.13		dBFS

参数	温度	500MSPS			820MSPS			1000MSPS			单位
		最小值	典型值	最大值	最小值	典型值	最大值	最小值	典型值	最大值	
串扰	25℃		104			104			104		dB
全功率带宽	25℃		2			2			2		GHz

3.4 数字规格

除非另有说明，AVDD1 =1.15V，AVDD2=2.5V，AVDD3=3.3V，AVDD1_SR=1.15V，DVDD=1.15V，DRVDD=1.15V，SPIVDD=1.8V，额定最大采样速率（1000 MSPS），1.7Vp-p 满量程差分输入，1.0V 内部基准电压源，A_{IN}=−1.0dBFS，默认 SPI 设置，T_A=25°C。

参数	温度条件	最小值	典型值	最大值	单位
时钟输入(CLK+、CLK−)					
逻辑兼容	全		LVDS/LVPECL		
差分输入电压	全	600	1200	1800	mV p-p
输入共模电压	全		0.85		V
输入电阻(差分)	全		35		kΩ
输入电容	全			2.5	pF
SYSREF 输入(SYSREF+/SYSREF−)					
逻辑兼容	全		LVDS/LVPECL		
差分输入电压	全	400	1200	1800	mV p-p
输入共模电压	全	0.6	0.85	2.0	V
输入电阻(差分)	全		35		kΩ
输入电容	全			2.5	pF
逻辑输入(SDI、SCLK、CSB、PDWN/STBY)					
逻辑兼容	全		CMOS		
逻辑 1 电压	全	0.8×SPIVDD			V
逻辑 0 电压	全	0		0.4	V
输入电阻	全		30		kΩ
逻辑输出(SDIO)					
逻辑兼容	全		CMOS		
逻辑 1 电压 (I_{OH} = 800μA)	全	0.8×SPIVDD			V
逻辑 0 电压 (I_{OL} = 50μA)	全	0		0.4	V

参数	温度条件	最小值	典型值	最大值	单位
SYNCIN 输入(SYNCINB+/SYNCINB−)					
逻辑兼容	全		LVDS/LVPECL/CMOS		
差分输入电压	全	400	1200	1800	mV p-p
输入共模电压	全	0.6	0.85	2.0	V
输入电阻(差分)	全		35		kΩ
输入电容	全			2.5	pF
逻辑输出(FD_A、FD_B)					
逻辑兼容	全		CMOS		
逻辑 1 电压	全	0.8×SPIVDD			V
逻辑 0 电压	全	0		0.4	V
输入电阻	全		30		kΩ
数字输出(SERDOUTx±、x = 0 至 3)					
逻辑兼容	全		CML		
差分输出电压	全	360		480	mV p-p
输出共模电压(V_{CM})					
交流耦合	全	0		1.8	V
短路电流(I_{Dshort})	全	-100		+100	mA
差分端接阻抗	全	80	100	120	Ω

3.5 开关规格

除非另有说明，AVDD1 = 1.15 V，AVDD2 = 2.5 V，AVDD3 = 3.3 V，AVDD1_SR = 1.15 V，DVDD = 1.15 V，DRVDD = 1.15 V，SPIVDD = 1.8 V，额定最大采样速率（1000 MSPS），1.7 Vp-p 满量程差分输入，1.0 V 内部基准电压源，A_{IN} = −1.0 dBFS，默认 SPI 设置，T_A = 25°C。

参数	温度	500MSPS			820MSPS			1000MSPS			单位
		最小值	典型值	最大值	最小值	典型值	最大值	最小值	典型值	最大值	
时钟											
时钟速率(CLK+/CLK−引脚)[1]	全	0.2	1	4	0.2	0.82	4	0.2	1	4	GHz
最高采样速率	全	500			820			1000			MSPS
最低采样速率	全	400			400			400			MSPS
时钟高电平脉宽	全	1000			609.7			500			ps

参数	温度	500MSPS			820MSPS			1000MSPS			单位
		最小值	典型值	最大值	最小值	典型值	最大值	最小值	典型值	最大值	
时钟低电平脉宽	全	1000			609.7			500			ps
输出参数											
单位间隔(UI)	全		200			121.95			100		ps
上升时间(t_R)(20%至 80%，至 100Ω负载)	25°C	25	34		25	34		25	34		ps
下降时间(t_F)(20%至 80%，至 100Ω负载)	25°C	25	34		25	34		25	34		ps
PLL 锁定时间	25°C		1			1			1		ms
每通道的数据速率(NRZ)	25°C		5			8.2			10		Gbps
延迟											
流水线延迟	全		59			59			59		时钟周期
快速检测延迟	全			23			23			23	时钟周期
唤醒时间											
待机	25°C		1			1			1		ms
掉电	25°C			10			10			10	ms
孔径											
孔径延迟(t_A)	全		660			660			660		ps
孔径不确定性(抖动，t_j)	全		55			55			55		Fs rms
超范围恢复时间	全		1			1			1		时钟周期

注 1：时钟速率支持 200~250MHz、400~500MHz、800~1000MHz、1600~2000MHz、3200~4000MHz。

3.6 时序规格

除非另有说明，AVDD1 = 1.15 V，AVDD2 = 2.5 V，AVDD3 = 3.3 V，AVDD1_SR = 1.15 V，DVDD = 1.15 V，DRVDD = 1.15 V，SPIVDD = 1.8 V，额定最大采样速率（1000 MSPS），1.7 Vp-p 满量程差分输入，1.0 V 内部基准电压源，A_{IN} = −1.0 dBFS，默认 SPI 设置，T_A = 25°C。

参数	测试条件/注释	MIN	TYP	MAX	单位
CLK+到 SYSREF+时钟要求（参见图 3-2）					
t_{SU_SR}	器件时钟到 SYSREF+建立时间		52		ps
t_{H_SR}	器件时钟到 SYSREF+保持时间		73		ps
SPI 时钟要求（参见图 3-3）					
t_{DS}	数据与 SCLK 上升沿之间的建立时间	4			ns
t_{DH}	数据与 SCLK 上升沿之间的保持时间	4			ns
t_{CLK}	SCLK 周期	50			ns
t_S	CSB 与 SCLK 之间建立时间	4			ns
t_H	CSB 与 SCLK 之间保持时间	4			ns
t_{HIGH}	SCLK 应处于逻辑高电平的最短时间	20			ns
t_{LOW}	SCLK 应处于逻辑低电平的最短时间	20			ns
t_{ACCESS}	SCLK 下降沿到输出数据可被读取的最大延迟时间			10	ns
t_{DIS_SDIO}	相较于 SCLK 上升沿,SDIO 引脚从输出状态切换到输入状态的所需时间	1			ns

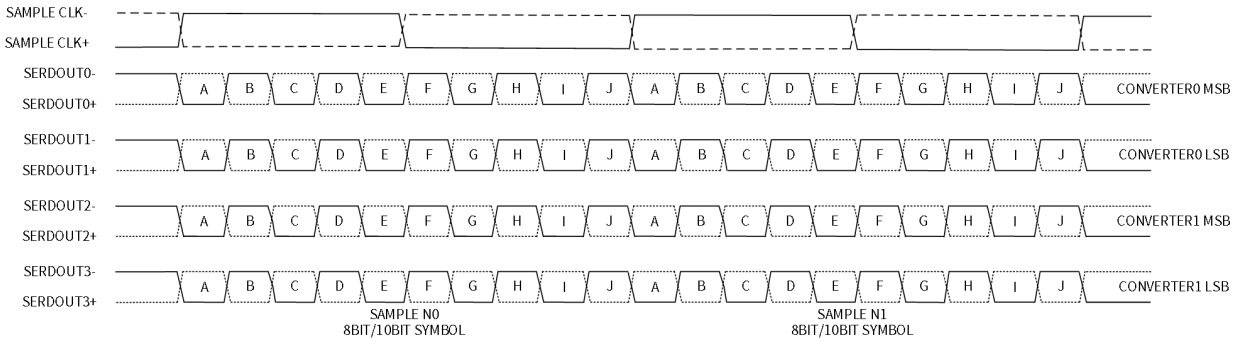

图 3-1 数据输出时序（全带宽模式；L = 4；M = 2；F = 1）

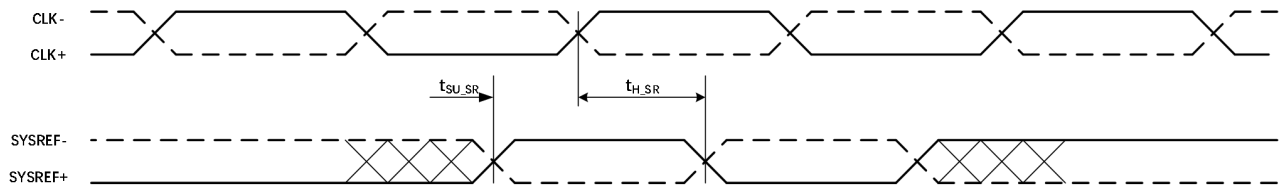

图 3-2 SYSREF±建立和保持时间

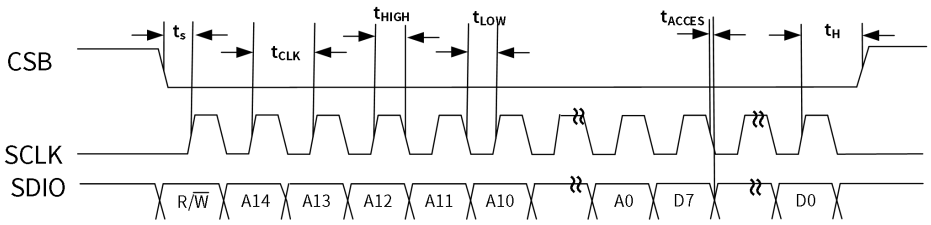

图 3-3 串行端口接口时序图

3.7 ESD

	本品为 ESD（静电放电）敏感器件。带电设备和电路板可能在不被发现的情况下放电。尽管本产品具有保护电路，但设备在承受高能 ESD 时仍可能会损坏。因此，应采取适当的 ESD 预防措施，以避免性能下降或功能丧失。

3.8 热性能

UIA4204 采用 2S2P PCB 板，Theta-Ja 热阻值在 28°C/W，Theta-Jc 热阻值在 7°C/W。

4 典型性能图示

除非另有说明，AVDD1 = 1.15 V，AVDD2 = 2.5 V，AVDD3 = 3.3 V，AVDD1_SR = 1.15 V，DVDD = 1.15 V，DRVDD = 1.15 V，SPIVDD = 1.8 V，额定最大采样速率(1000 MSPS)，1.7 Vp-p 满量程差分输入，1.0 V 内部基准电压源，A_{IN} = −1.0 dBFS，默认 SPI 设置，T_A = 25°C。

4.1 1000MSPS

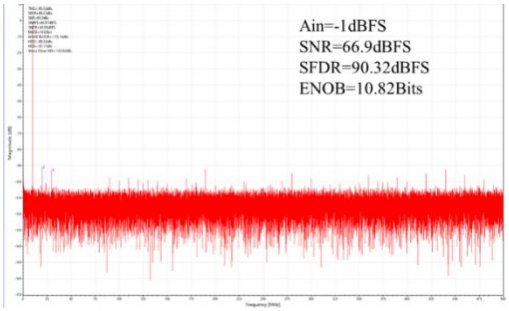

图 4-1 单音 FFT (f_{IN} = 10MHz)

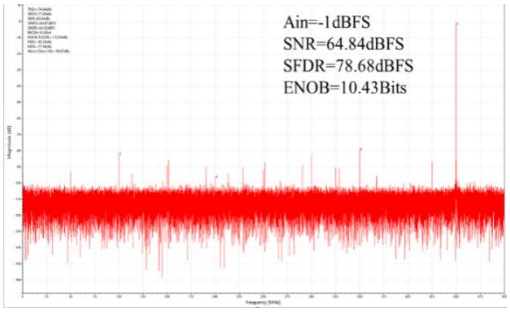

图 4-2 单音 FFT (f_{IN} = 450MHz)

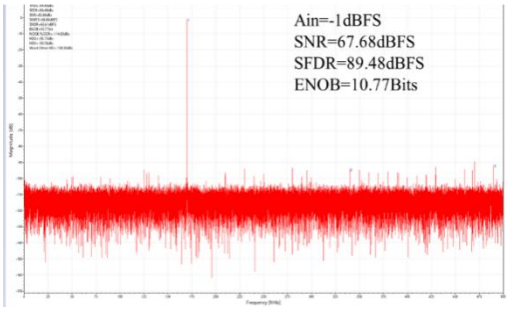

图 4-3 单音 FFT (f_{IN} = 170MHz)

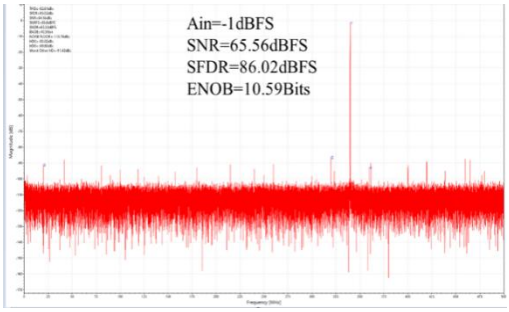

图 4-4 单音 FFT (f_{IN} = 340MHz)

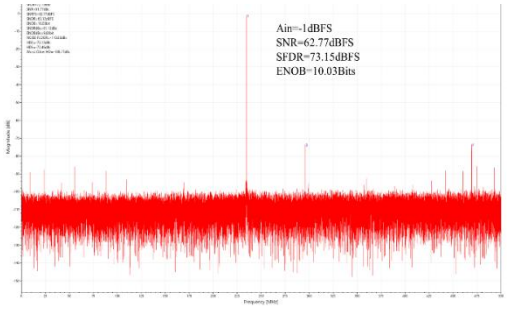

图 4-5 单音 FFT (f_{IN} = 765MHz)

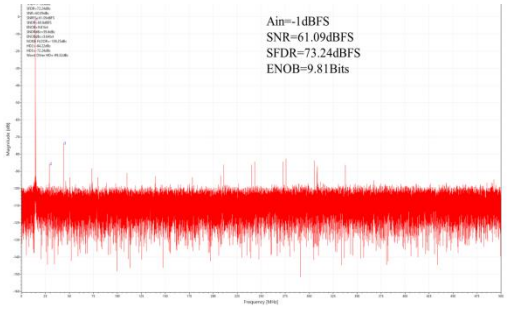

图 4-6 单音 FFT (f_{IN} = 985MHz)

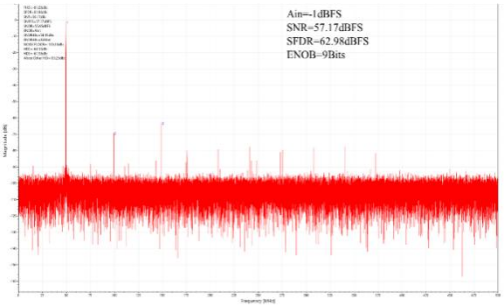

图 4-7 单音 FFT (f_{IN} = 1950MHz)

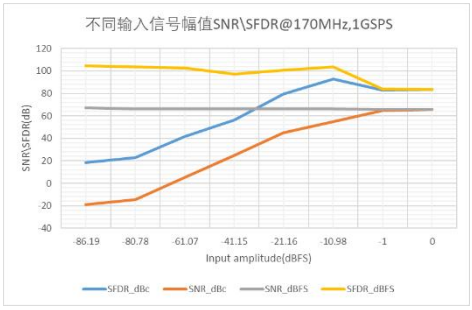

图 4-8 SNR/SFDR 与模拟输入电平的关系 (f_{IN} = 170.3 MHz)

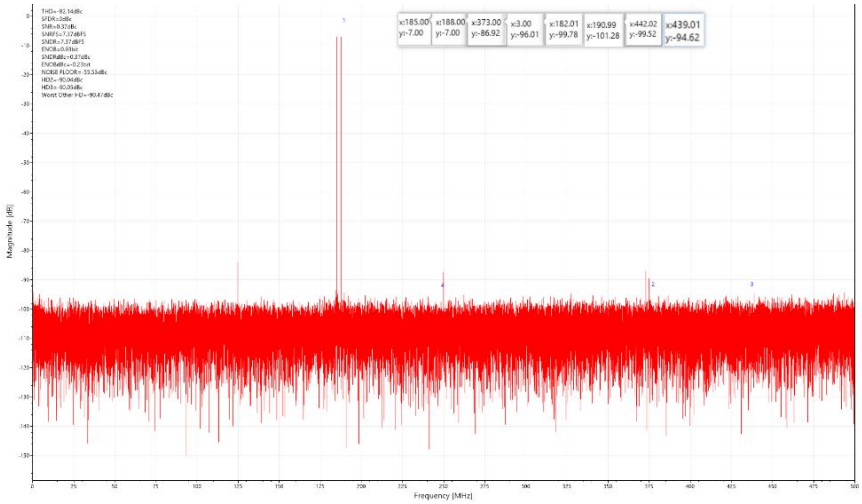

图 4-9 双音 FFT (f_{IN1} =185MHz and f_{IN2}=188MHz)

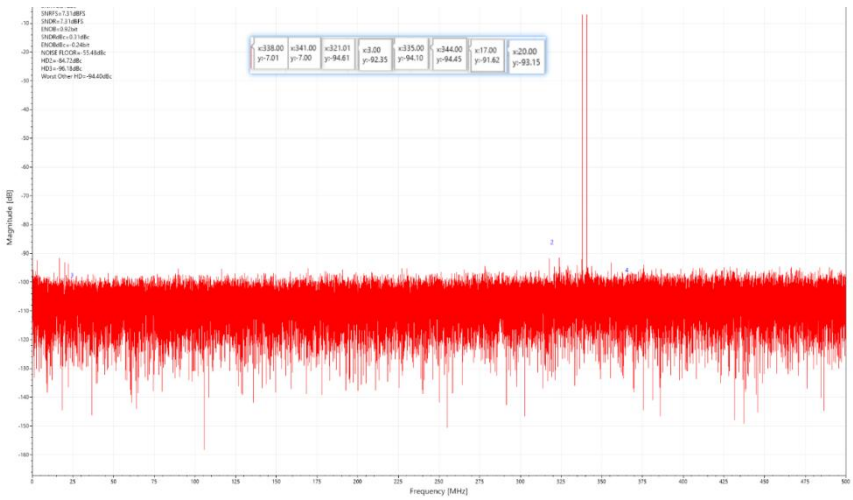

图 4-10 双音 FFT (f_{IN1} =338MHz and f_{IN2}=341MHz)

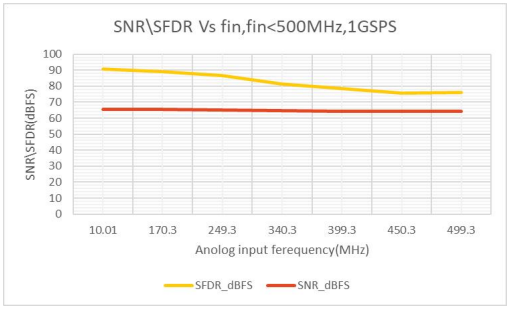

图 4-11 SNR/SFDR 与 f_{IN} 的关系 (f_{IN}<500MHz)

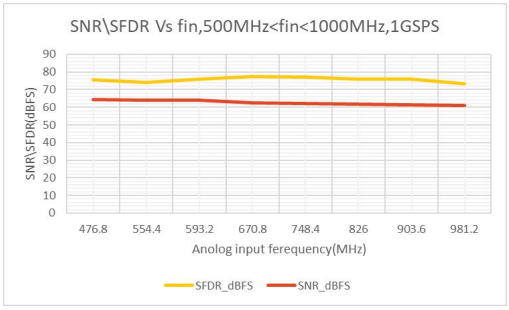

图 4-12 SNR/SFDR 与 f_{IN} 的关系 (500MHz<f_{IN}<1000MHz)

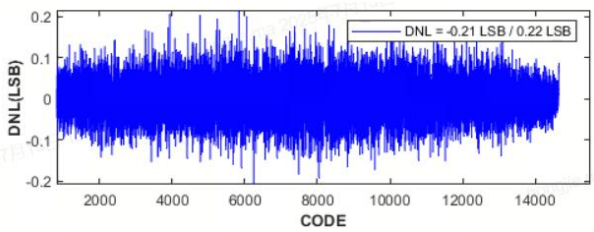

图 4-13 DNL 误差 (f_{IN} = 10MHz)

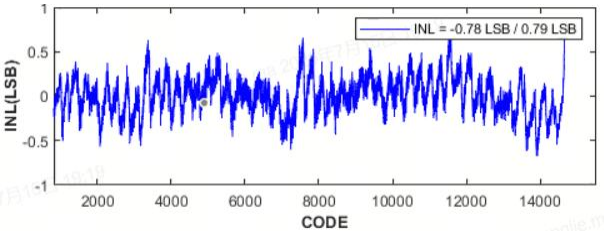

图 4-14 INL 误差 (f_{IN} = 10MHz)

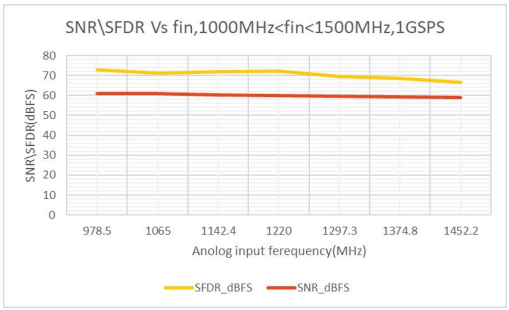

图 4-15 SNR/SFDR 与 f_{IN} 的关系 (1000MHz<f_{IN}<1500MHz)

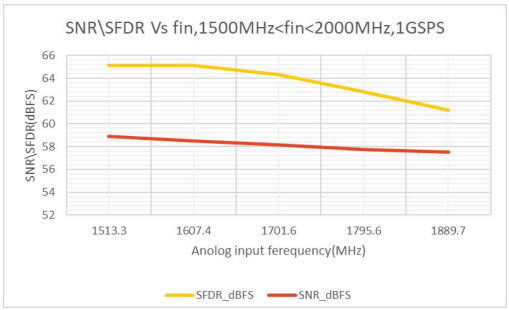

图 4-16 SNR/SFDR 与 f_{IN} 的关系 (1500MHz<f_{IN}<2000MHz)

4.2 820MSPS

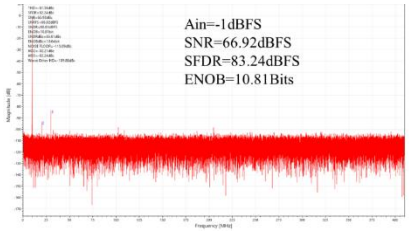

图 4-17 单音 FFT (f_{IN} = 10MHz)

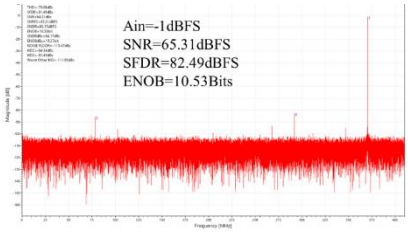

图 4-18 单音 FFT(f_{IN} = 450MHz)

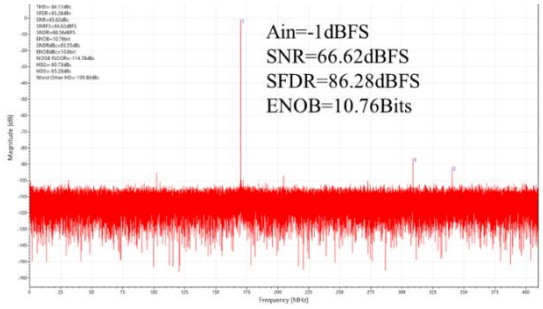

图 4-19 单音 FFT(f_{IN} = 170MHz)

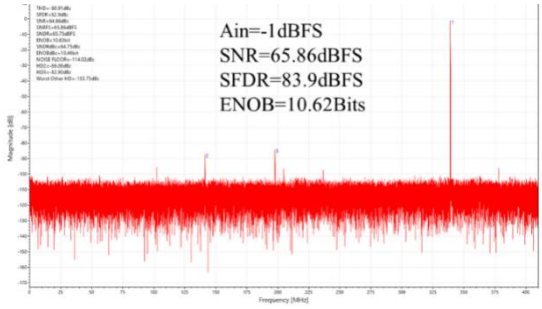

图 4-20 单音 FFT(f_{IN} = 340MHz)

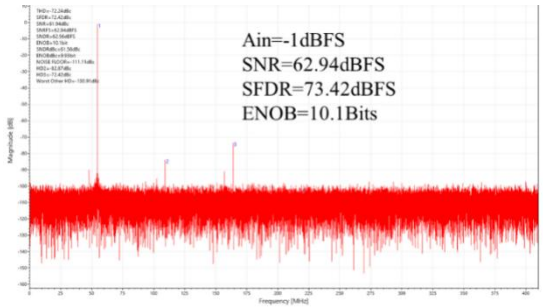

图 4-21 单音 FFT (f_{IN} = 765MHz)

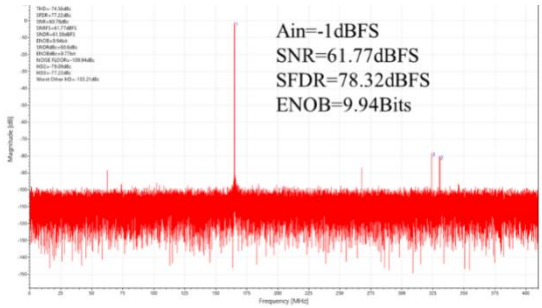

图 4-22 单音 FFT (f_{IN} = 985MHz)

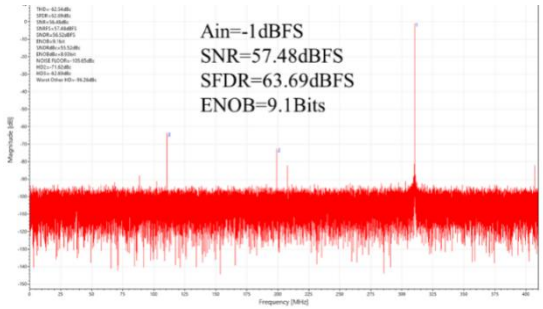

图 4-23 单音 FFT(f_{IN} = 1950MHz)

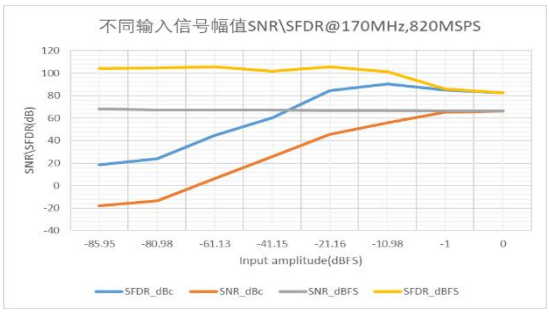

图 4-24 SNR/SFDR 与模拟输入电平的关系

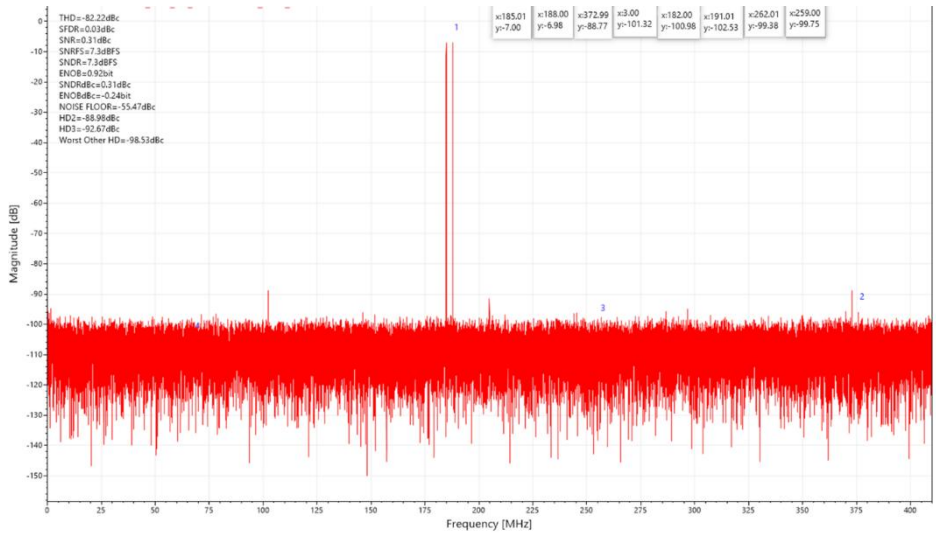

图 4-25 双音 FFT（f_{IN1} =185 MHz and f_{IN2}=188 MHz）

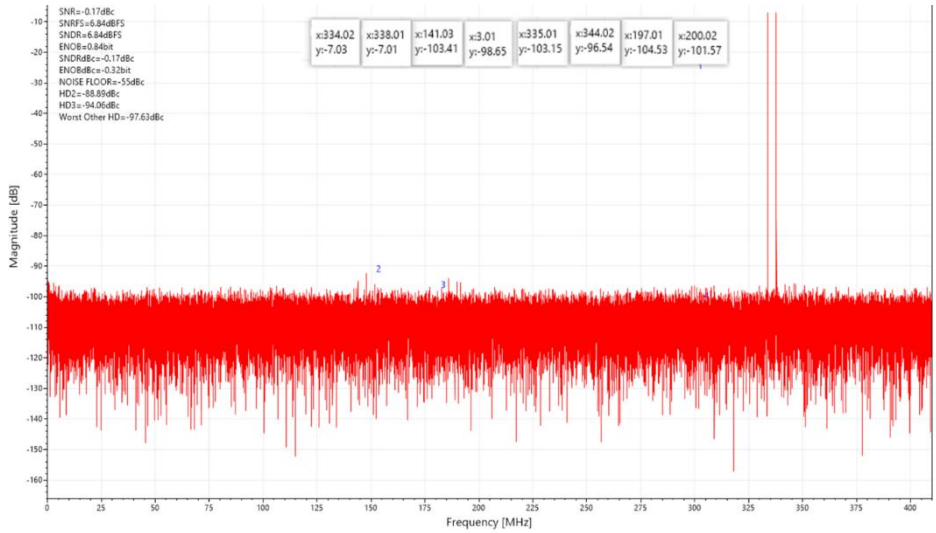

图 4-26 双音 FFT（f_{IN1} =338 MHz and f_{IN2}=341MHz）

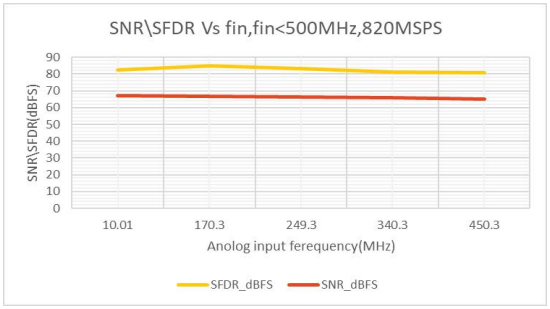

图 4-27 SNR/SFDR 与 f_{IN} 的关系（f_{IN}<500MHz)

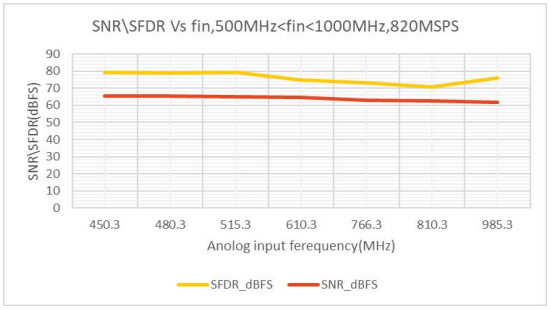

图 4-28 SNR/SFDR 与 f_{IN} 的关系

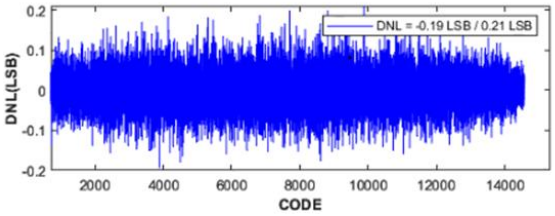

图 4-29 DNL 误差(f_{IN} = 10 MHz)

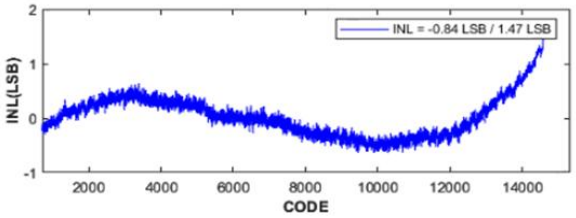

图 4-30 INL 误差(f_{IN} = 10MHz)

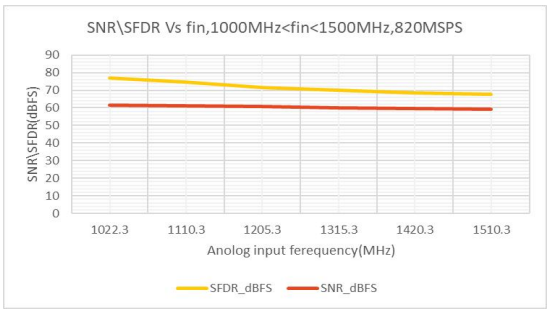

图 4-31 SNR/SFDR 与 fIN 的关系 (1000MHz<f_{IN}<1500MHz)

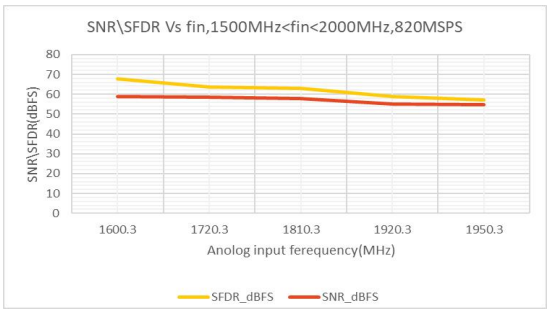

图 4-32 SNR/SFDR 与 fIN 的关系 (1500MHz<f_{IN}<2000MHz)

4.3 500MSPS

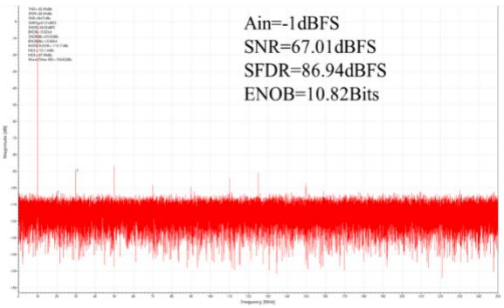

图 4-33 单音 FFT (f_{IN} = 10MHz)

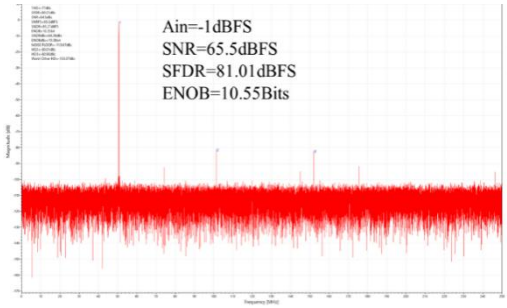

图 4-34 单音 FFT (f_{IN} = 450MHz)

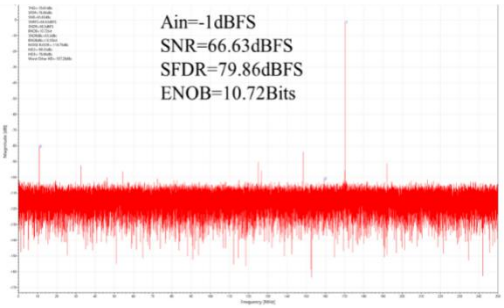

图 4-35 单音 FFT (f_{IN} = 170MHz)

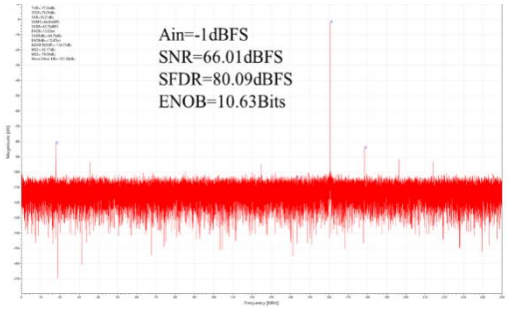

图 4-36 单音 FFT (f_{IN} = 340MHz)

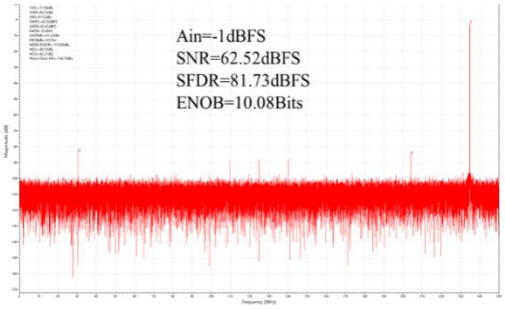

图 4-37 单音 FFT (f_{IN} = 765MHz)

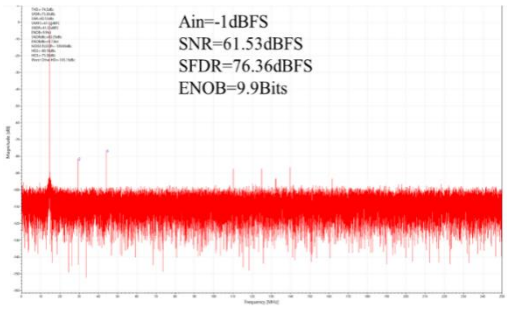

图 4-38 单音 FFT (f_{IN} = 985MHz)

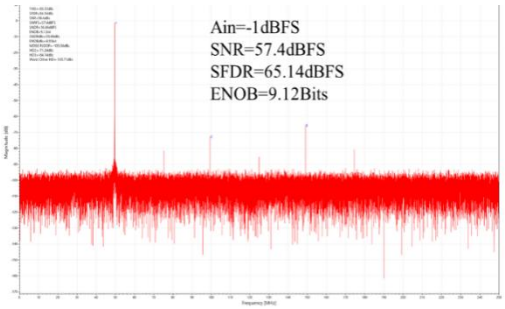

图 4-39 单音 FFT (f_{IN} = 1950MHz)

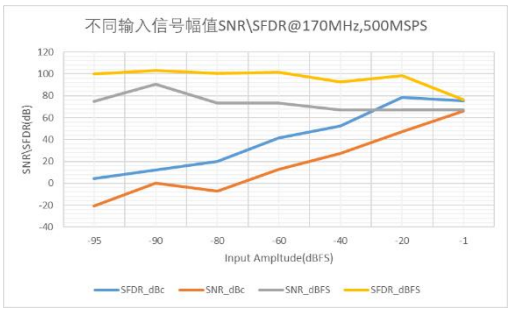

图 4-40 SNR/SFDR 与模拟输入电平的关系 (f_{IN} = 170.3MHz)

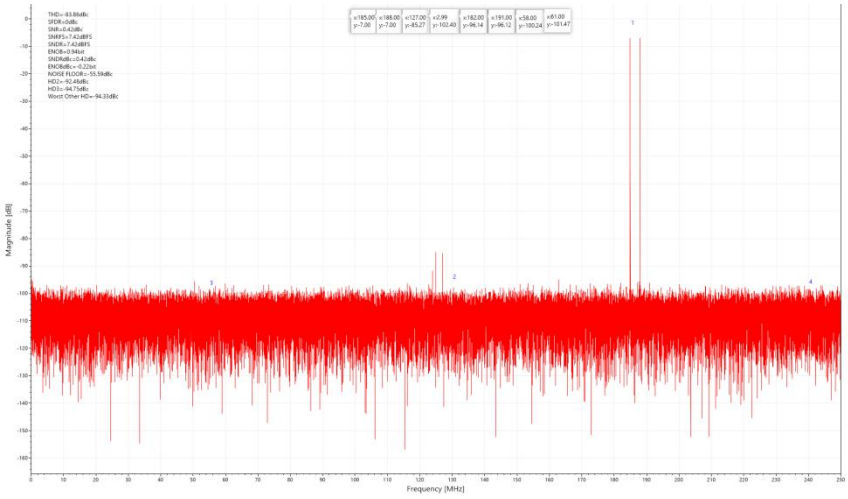

图 4-41 双音 FFT (f_{IN1} =185MHz and f_{IN2}=188MHz)

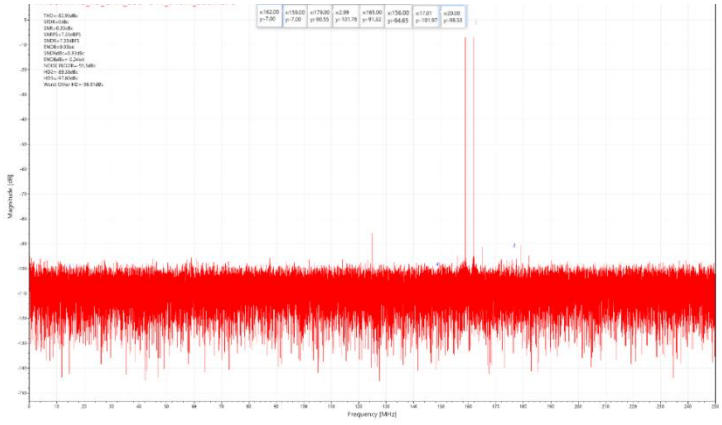

图 4-42 双音 FFT（f_{IN1} =338MHz and f_{IN2}=341MHz）

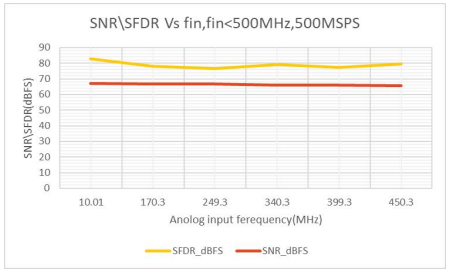

图 4-43 SNR/SFDR 与 f_{IN} 的关系 (f_{IN}<500MHz)

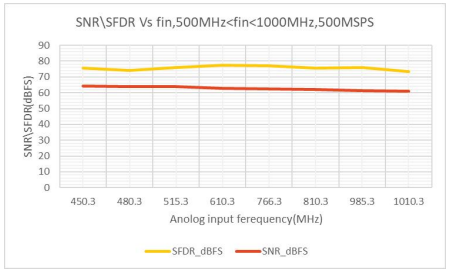

图 4-44 SNR/SFDR 与 f_{IN} 的关系 (500MHz<f_{IN}<1000MHz)

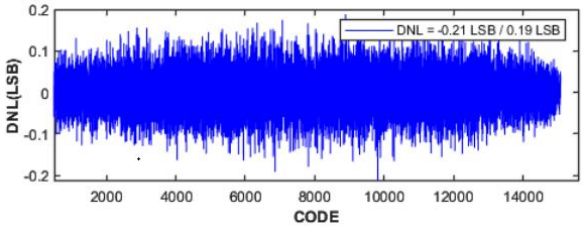

图 4-45 DNL 误差（f_{IN} = 10MHz)

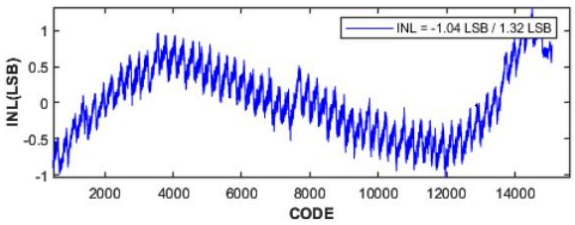

图 4-46 INL 误差（f_{IN} = 10MHz)

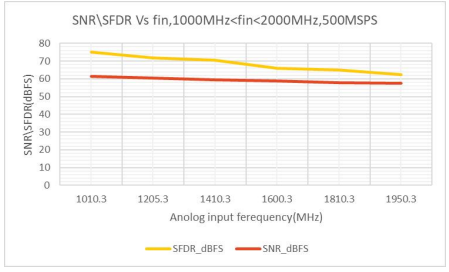

图 4-47 SNR/SFDR 与 f_{IN} 的关系 (1000MHz<f_{IN}<2000MHz)

5 等效电路

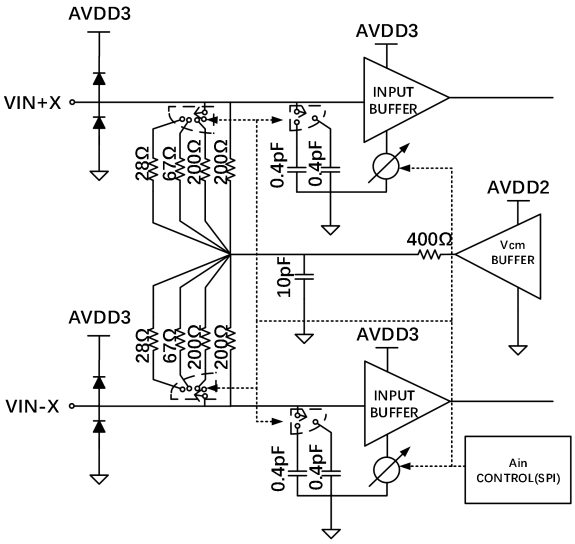

图 5-1 模拟输入

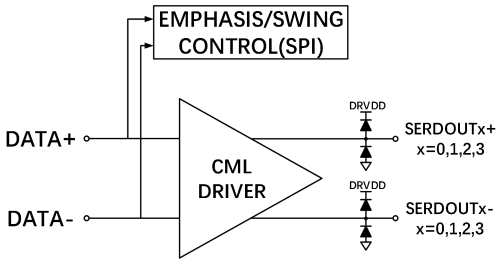

图 5-2 数字输出

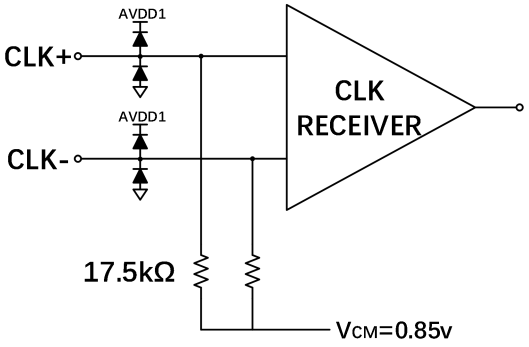

图 5-3 时钟输入

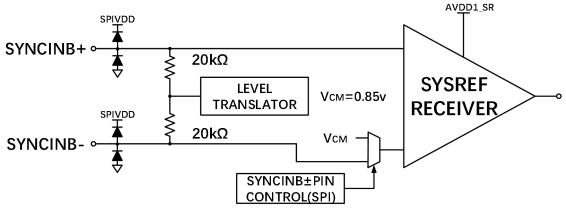

图 5-4 SYNCINB±输入

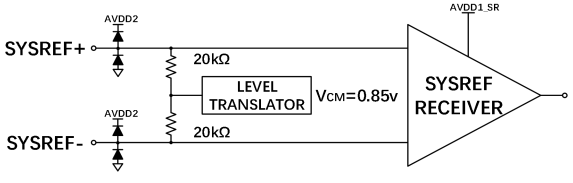

图 5-5 SYSREF±输入

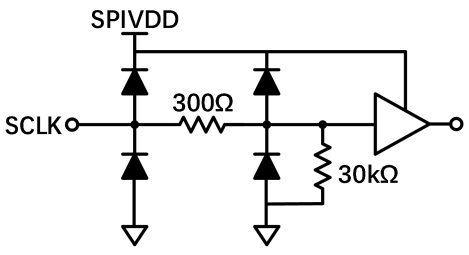

图 5-6 SCLK 输入

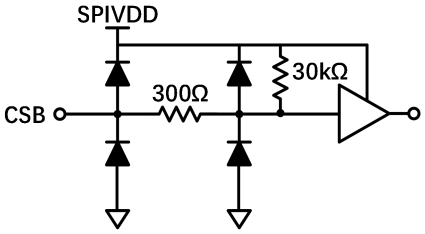

图 5-7 CSB 输入

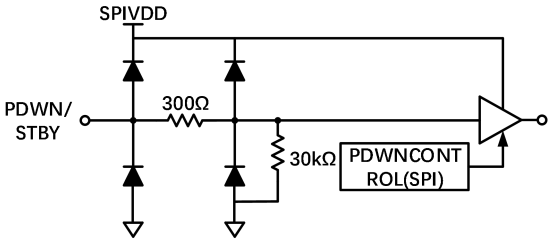

图 5-8 PDWN/STBY 输入

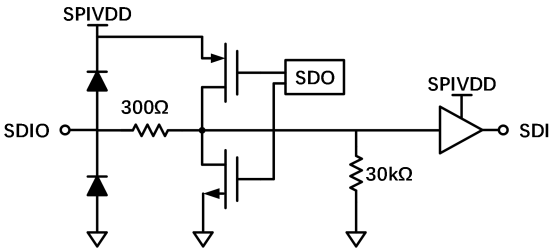

图 5-9 SDIO 输入

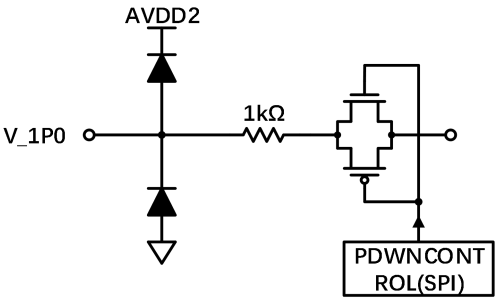

图 5-10 V_1P0 输入/输出

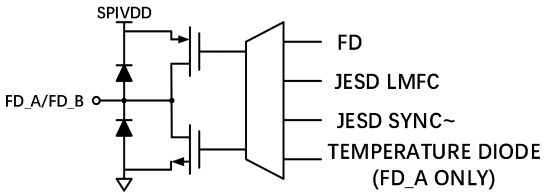

图 5-11 FD_A/FD_B 输出

6 详细信息

UIA4204 具有两个模拟输入通道和两个 JESD204B 输出数据通路对。该 ADC 设计用于高达 2 GHz 的宽带模拟信号采样。UIA4204 针对宽输入带宽、高采样速率、出色的线性度和小封装低功耗而优化。

这款双通道 ADC 内核采用多级、差分流水线架构，并集成了输出纠错逻辑。每个 ADC 均具有宽带宽输入，支持用户可选的各种输入范围。集成基准电压源可简化设计。

UIA4204 内置多种功能，可以简化通信接收机中的 AGC 功能。利用 ADC 的快速检测输出位，可编程阈值检测器可以监控输入信号功率。如果输入信号电平超过可编程阈值，快速检测指示器就会变为高。由于该阈值指示器的延迟极短，因此用户能够快速调低系统增益，从而避免 ADC 输入端出现超量程现象。

根据采样速率和抽取比，子类 1 JESD204B 高速串行输出数据速率可配置为一通路（L = 1）、二通路（L = 2）或四通路（L = 4）。通过 SYSREF±和 SYNCINB±输入引脚，可提供多器件同步支持。

6.1 ADC 架构

UIA4204 架构由一个输入缓冲流水线 ADC 组成。输入缓冲器设计用于向模拟输入信号提供端接阻抗。该端接阻抗可通过 SPI 改变，以满足驱动器/放大器的端接需求。默认端接值为 50Ω。模拟输入端接的等效电路图如图 5-1 所示。输入缓冲器针对高线性度、低噪声和低功耗而优化。

输入缓冲器提供线性高输入阻抗(以便简化驱动)，并降低 ADC 的反冲。该缓冲器针对高线性度、低噪声和低功耗而优化。各级的量化输出组合在一起，在数字校正逻辑中最终形成一个 14 位转换结果。流水线架构允许第一级处理新的输入样本；与此同时，其它级继续处理之前的样本。采样在时钟的上升沿进行。

6.2 模拟输入

UIA4204 的模拟输入端是一个差分缓冲器。缓冲器的内部共模电压为 2.05 V。输入电路根据时钟信号在采样模式和保持模式之间切换。当输入电路切换到采样模式时，信号源必须能够对采样电容充电，并且在半个时钟周期内完成建立。每个输入端都串联一个小电阻，帮助降低从驱动源输出级注入的峰值瞬态电流。此外，输入端的每一侧可以使用低 Q 电感或铁氧体磁珠，以减小模拟输入端的高差分电容，从而实现 ADC 的最大带宽。在高中频(IF)下驱动转换器前端时，必须使用低 Q 电感或铁氧体磁珠。输入端可以使用一个差分电容或两个单端电容，以提供匹配的无源网络。这最终会在输入端形成一个低通滤波器，用来限制无用的宽带噪声。通常，精确值取决于应用。为得到最佳动态性能，必须保证驱动 VIN+x 的源阻抗与驱动 VIN−x 的源阻抗相匹配，从而保证共模建立误差是对称的。这些误差会被 ADC 的共模抑制削弱。内部基准电压缓冲器形成差分基准电压，进而决定 ADC 内核的范围。

在差分配置中，将 ADC 设置为最大范围可以实现最高的 SNR 性能。对于 UIA4204，可用范围可通过 SPI 端口在 1.46 Vp-p 到 2.05Vp-p 差分之间编程，默认值为 1.70 Vp-p 差分。

6.2.1 差分输入配置

有多种有源或无源方法可以驱动 UIA4204，不过，通过差分方式驱动模拟输入可实现最佳性能。在 SNR 和 SFDR 为关键参数的应用中，因为大部分放大器的噪声性能不足以实现 UIA4204 的真正性能，所以输入配置中建议采用差分变压器耦合，参见图 6-1 和图 6-2。

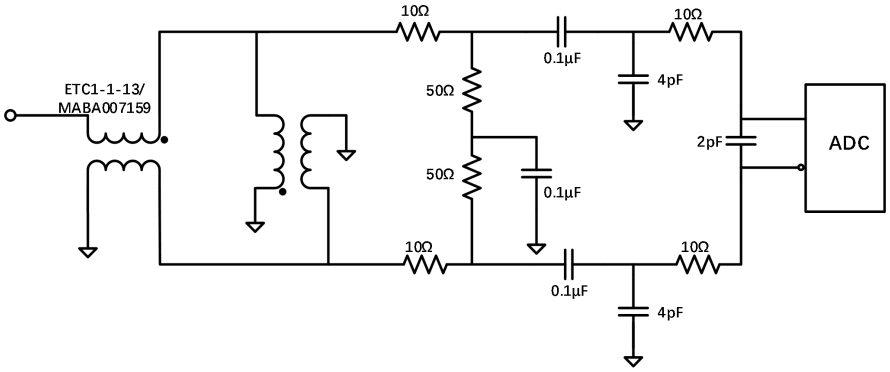

图 6-1 针对第一和第二奈奎斯特频率的差分变压器耦合配置

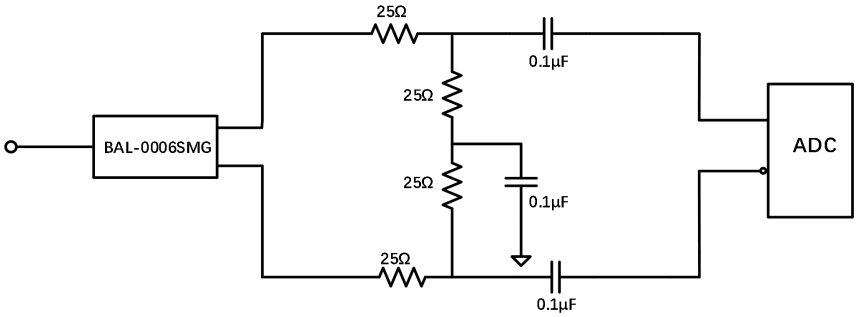

图 6-2 针对第二和第三奈奎斯特频率的差分变压器耦合配置

如图 6-1 所示，对于中低频率，建议使用双巴伦或双变压器网络，以便实现 UIA4204 的最佳性能。对于第二或第三奈奎斯特区中的较高频率，最好移除一些前端无源元件，确保其以宽带工作，如图 6-2 所示。

6.2.2 输入共模

UIA4204 的模拟输入内部偏置到共模，如图 6-3 所示。共模缓冲器的范围很有限，因为如果共模电压降低 100 mV 以上，性能会大大降低。所以，在直流耦合应用中，应将共模电压设置为 2.05 V±100 mV，确保 ADC 正常工作。若在直流耦合应用中运行，满量程电压设置必须是 1.7 Vp-p 差分。

6.2.3 模拟输入控制和 SFDR 优化

UIA4204 提供灵活的模拟输入控制，如输入端接、缓冲电流和输入满量程调整等。图 6-3 显示了所有可用的控制功能。

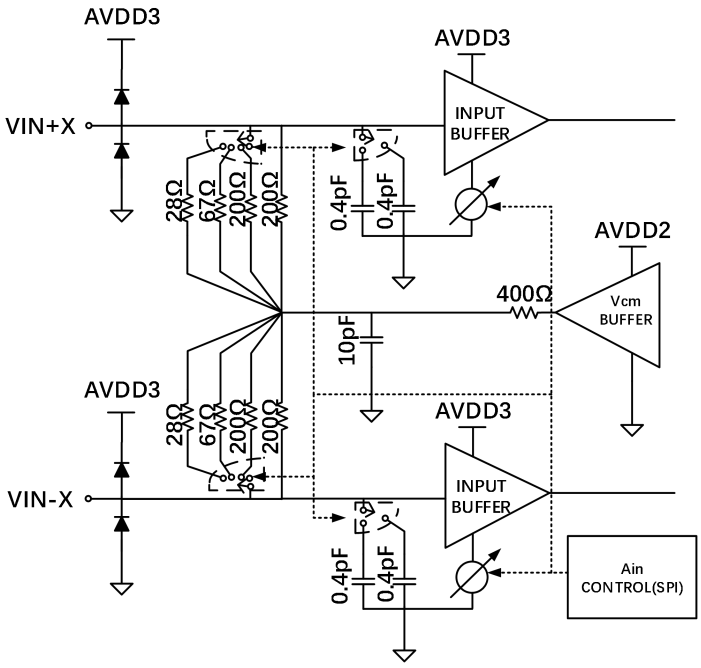

图 6-3 模拟输入控制

利用寄存器 0x018 可以调整各通道的缓冲电流，以便针对不同输入频率和目标带宽来优化 SFDR。设定输入缓冲电流后，AVDD3 电源需要的电流量会改变。这种关系如图 6-4 所示。

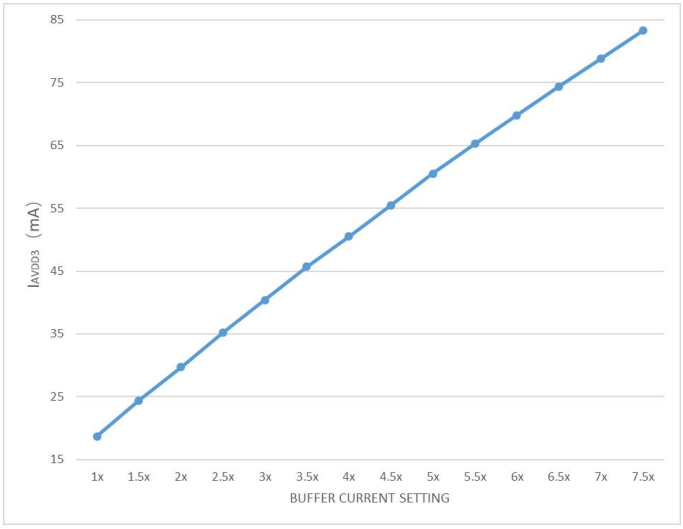

图 6-4 AVDD3 功耗与缓冲电流设置的关系

在某些高频应用中，降低满量程设置可改善 SFDR。

表 6-1 给出了不同模拟输入频率范围的推荐缓冲电流和满量程电压设置。

表 6-1 针对输入频率的 SFDR 优化

输入频率（MHz）	输入满量程范围，寄存器 0x025（Vp-p）	输入缓冲电流控制设置，寄存器 0x018
＜500 MHz	1.7Vp-p 差分	0×~6×
＞500 MHz	1.45Vp-p 差分	5×~13×

6.2.4 绝对最大输入摆幅

UIA4204 输入端支持的绝对最大输入摆幅为 2.1 Vp-p 差分。接近或达到此电平的信号会对 ADC 造成永久性损坏。

6.3 基准电压

6.3.1 内部基准电压

UIA4204 内置稳定、精确的 1.0 V 基准电压源。该内部 1.0 V 基准电压源用于设置 ADC 的满量程输入范围。满量程输入范围可通过 ADC 功能寄存器 0x025 进行调整。有关调整输入摆幅的更多信息，参见表 6-10。

通过 SPI 寄存器 0x024，用户可以选择使用该内部 1.0 V 基准电压源或提供外部 1.0 V 基准电压源。使用外部基准电压源时，应提供 1.0 V 基准电压源。满量程调整利用 SPI 进行，与基准电压无关。

6.3.2 外部基准电压

外部基准电压源必须是稳定的 1.0 V 基准源。ADR130 可以提供很好的 1.0 V 基准源。

6.4 时钟输入

为了充分发挥芯片的性能，应利用一个差分信号作为 UIA4204 采样时钟输入端（CLK+和 CLK−）的时钟信号。通常，应使用变压器或时钟驱动器将该信号交流耦合到 CLK+引脚和 CLK−引脚。CLK+和 CLK−引脚有内部偏置，无需其它偏置。

图 6-5 显示了一种为 UIA4204 提供时钟信号的首选方法。利用射频变压器，可将低抖动时钟源的单端信号转换成差分信号。

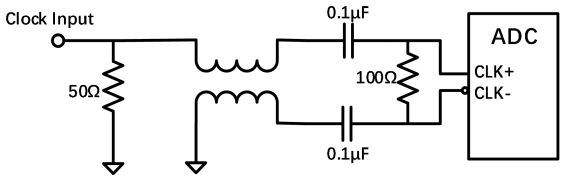

图 6-5 变压器耦合的差分时钟

另一种方法是将差分 CML 或 LVDS 信号交流耦合到采样时钟输入引脚，如图 6-6 和图 6-7 所示。

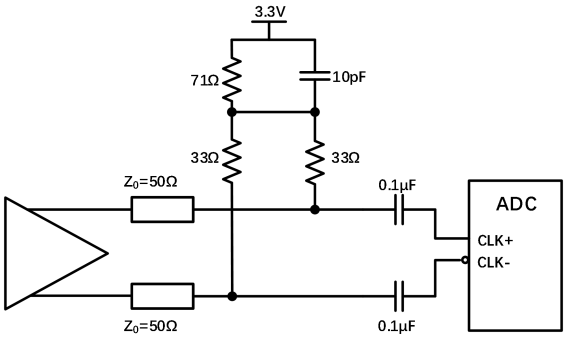

图 6-6 差分 CML 采样时钟

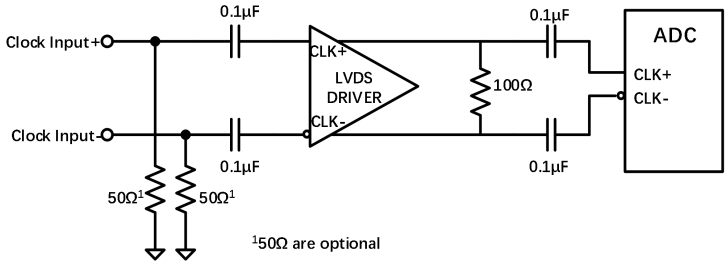

图 6-7 差分 LVDS 采样时钟

6.4.1 时钟占空比考虑

典型的高速 ADC 利用两个时钟沿产生不同的内部定时信号。因此，这些 ADC 可能对时钟占空比很敏感。通常，为保持 ADC 的动态性能，时钟占空比容差应为 5%。在无法保证 50%时钟占空比的应用中，可以向器件提供更高的多频时钟。内部时钟分频器设为 2 时，UIA4204 可以采用 2 GHz 时钟。分频器输出为内部 ADC 提供 50%占空比、高压摆率（快速边沿）时钟信号。有关使用此功能的更多信息见章节 6.17 存储器映射。

6.4.2 输入时钟分频器

UIA4204 内置一个输入时钟分频器，可对奈奎斯特输入时钟进行 1、2、4 和 8 倍分频。分频比可通过寄存器 0x10B 选择。

CLK±输入的最大频率为 4 GHz。这是分频器的限值。在时钟输入是采样时钟数倍的应用中，必须小心设置时钟分频器的分频比，然后施加时钟信号，确保器件启动期间的电流瞬态受控。

利用外部 SYSREF±输入信号，可同步 UIA4204 时钟分频器。有效 SYSREF±可使时钟分频器复位至可编程状态。该同步特性可让多个器件的时钟分频器对准，从而保证同时进行输入采样。

6.4.3 时钟抖动考虑

高速、高分辨率 ADC 对时钟输入信号的质量非常敏感。在给定的输入频率(f_A)下，仅由孔径抖动(t_J)造成的信噪比(SNR)下降计算公式如下：

$$\mathrm{SNR} = 20 \times \log 10\ (2 \times \pi \times f_A \times t_J)$$

公式中，均方根孔径抖动表示所有抖动源（包括时钟输入信号、模拟输入信号和 ADC 孔径抖动规格）的均方根。中频欠采样应用对抖动尤其敏感。

当孔径抖动可能影响 UIA4204 的动态范围时，应将时钟输入信号视为模拟信号。将时钟驱动器电源与 ADC 输出驱动器电源分离，以免在时钟信号内混入数字噪声。如果时钟信号来自其它类型的时钟源（通过门控、分频或其他方法），则需要在最后一步中利用原始时钟进行重定时。

6.5 掉电/待机模式

UIA4204 有一个 PDWN/STBY 引脚，可用来将器件配置为掉电或待机模式。默认配置是 PDWN。PDWN/STBY 引脚是一个逻辑高电平引脚。在掉电模式下，JESD204B 链路中断。掉电选项也可通过寄存器 0x03F 和寄存器 0x040 设置。

在待机模式下，JESD204B 链路不中断，对所有转换器样本都传输 0。这可以利用寄存器 0x571 的位 7 选择|K|字符来改变。

6.6 温度二极管

UIA4204 内置一个基于二极管的温度传感器，用于测量芯片温度。此二极管可输出一个电压，充当普通温度传感器来监控内部芯片温度。利用 SPI，温度二极管电压可输出到 FD_A 引脚。通过寄存器 0x028 的位 0 可使能或禁用该二极管。寄存器 0x028 是一个本地寄存器。要使能温度二极管读数输出，必须选择器件索引寄存器 0x007 中的通道 A。通过设置寄存器 0x040[2:0]，配置 FD_A 引脚输出二极管电压。温度二极管的电压响应曲线如图 6-8 所示。

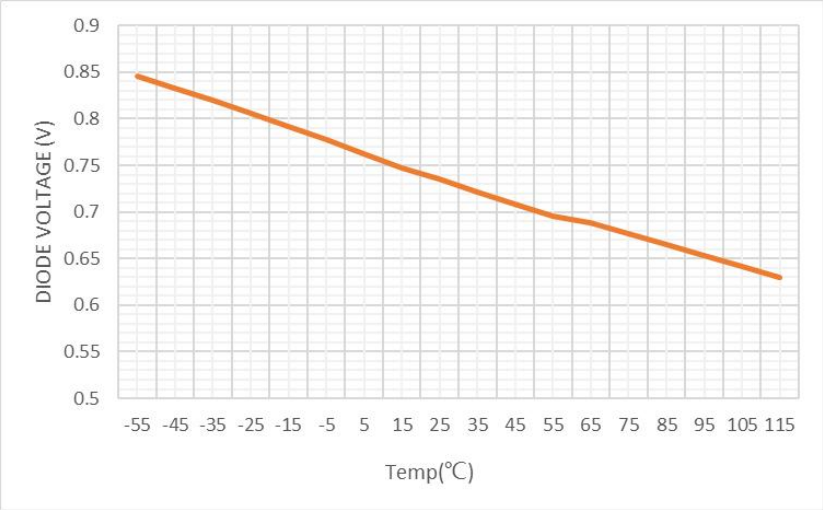

图 6-8 温度二极管电压与温度的关系

6.7 ADC 超量程与快速检测

在接收机应用中，需要一种可靠的机制，能够决定转换器何时发生钳位。JESD204B 输出中的标准超量程位提供的模拟输入状态信息作用有限。因此，最好可以设定低于满量程的可编程阈值，以便在钳位发生前降低增益。另外，由于输入信号的压摆率可能非常高，因此该功能的延迟时间非常关键。然而，高度流水线转换器有非常大的延迟。UIA4204 内置检测电路，可供各通道用来监控阈值并置位 FD_A 和 FD_B 引脚。

6.7.1 ADC 超量程

ADC 输入端检测到超量程时，ADC 超量程指示器将置位。超量程指示器可以作为一个控制位嵌入 JESD204B 链路中(CSB > 0 时)。该超量程指示器的延迟与样本延迟一致。

UIA4204 还能记录 8 个虚拟转换器中任一个的超量程状况。各虚拟转换器的超量程状态记录为寄存器 0x563 中的一个标记位。寄存器 0x563 的内容可利用寄存器 0x562 清除，方法是将虚拟转换器对应的位切换到设置和复位位置。

6.7.2 快速阈值检测（FD_A 和 FD_B）

只要输入信号的绝对值超过可编程阈值上限，FD 位就会立即置 1。只有当输入信号的绝对值降至阈值下限以下并且持续时间超过可编程驻留时间时，FD 位才会清 0。该特性提供迟滞，防止 FD 位过于频繁地切换。

阈值上限和下限寄存器工作以及驻留时间寄存器的情况如图 6-9 所示。

当输入信号幅度超过快速检测阈值上限寄存器（寄存器 0x247 和 0x248）的设置值时，FD 指示器置位。选定阈值寄存器的值与 ADC 输出的信号幅度进行比较。快速阈值上限检测具有 28 个时钟周期的延迟(最大值)。近似阈值上限幅度由下式定义：

$$\text{阈值上限幅度(dBFS)} = 20\log(\text{阈值幅度}/2^{13})$$

在信号降至阈值下限以下且保持时间超过设定的驻留时间之前，FD 指示器不会清零。阈值下限在快速检测阈值下限寄存器（寄存器 0x249 和 0x24A）中进行设置。13 位快速检测阈值下限寄存器的值与 ADC 输出的信号幅度进行比较。该比较受 ADC 流水线延迟的控制；比较精度取决于转换器分辨率。阈值下限幅度由下式定义：

$$\text{阈值下限幅度(dBFS)} = 20\log(\text{阈值幅度}/2^{13})$$

例如，要设置−6 dBFS 的阈值上限，应将 0xFFF 写入寄存器 0x247 和寄存器 0x248；要设置−10 dBFS 的阈值下限，应将 0xA1D 写入寄存器 0x249 和寄存器 0x24A。

驻留时间可以在 3 至 65535 个采样时钟周期范围内设置，方法是将所需值写入快速检测驻留时间寄存器（寄存器 0x24B 和 0x24C）。更多信息参见章节 6.17 存储器映射（表 6-10 中的寄存器 0x040、寄存器 0x245 至寄存器 0x24C）。

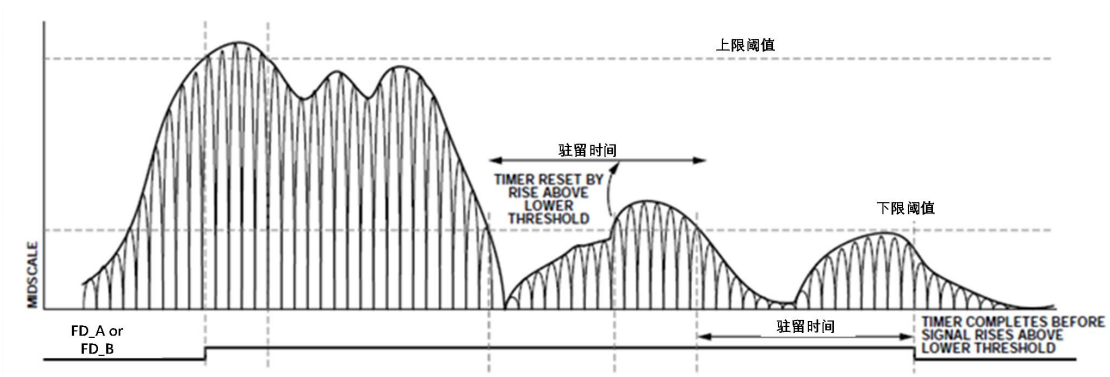

图 6-9 FD_A 和 FD_B 信号的阈值设置

6.8 信号监测

信号监视器块提供有关被 ADC 数字化的信号的附加信息。信号监视器计算数字化信号的峰值幅度。该信息可用于驱动 AGC 环路，以在存在真实信号的情况下优化 ADC 的范围。

信号监控块的结果可以通过从 SPI 端口回读内部值或通过将信号监控信息作为特殊控制位嵌入 JESD204B 接口来获得。一个全局的，24 位可编程周期控制测量的持续时间。图 6-10 显示了信号监视器模块的简化框图。

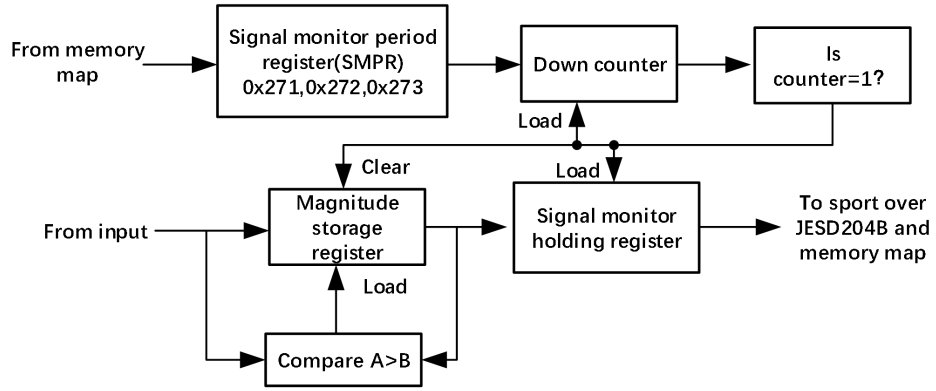

图 6-10 信号监测部分

峰值检测器捕获观测周期内最大的信号。探测器只观察信号的大小。峰值检测器的分辨率为 13 位，观测周期为 24 位，表示转换器输出样本。峰值大小可由下式导出：

$$峰值幅度(\mathrm{dBFS}) = 20\log(峰值检测值/2^{13})$$

输入端口信号的幅度在一个可编程的时间段内被监控，该时间段由信号监控周期寄存器（SMPR）决定。通过在信号监视器控制寄存器（SMPR）中设置寄存器 0x270 的第 1 位来启用峰值检测器功能。在激活此模式之前，必须对 24 位 SMPR 进行编程。

启用峰值检测模式后，SMPR 中的值被加载到监视器周期计时器中，该计时器以抽取时钟速率递减。输入信号的幅度与内部幅度存储寄存器（用户无法访问）中的值进行比较，两者中较大的一个被更新为当前峰值电平。幅度存储寄存器的初始值设置为当前 ADC 输入信号的幅度。这种比较一直持续到监视器周期计时器的计数达到 1。

当监视器周期计时器达到 1 时，13 位峰值电平值被传输到信号监视器保持寄存器，该寄存器可以通过内存映射读取或通过 JESD204B 接口上的 SPORT 输出。监控周期定时器重新加载 SMPR 中的值，并重新开始倒计时。此外，第一个输入样本的幅度在幅度存储寄存器中更新，并且如前所述，继续进行比较和更新过程。

6.9 数字下变频器（DDC）

UIA4204 内置 4 个数字下变频器（DDC 0 至 DDC 3），用于滤波和降低输出数据速率。该数字处理部分包括 NCO、半带抽取滤波器、FIR 滤波器、增益级和复数-实数转换级。各处理模块都有控制线路，能单独使能或者禁用，以便提供所需的处理功能。通过配置数字下变频器，可以输出实数数据或复数数据。

6.9.1 DDC 概述

四个 DDC 模块用于提取 ADC 捕捉的全数字频谱的一部分。它们设计用于需要宽带宽输入信号的中频采样或过采样基带无线电。

各 DDC 模块包含 4 个信号处理级。

6.9.1.1 频率转换级（可选）

频率转换级由 12 位复数 NCO 和正交混频器组成，可用于实数或复数输入信号的频率转换。该级将一部分可用数字频谱下移至基带。

6.9.1.2 滤波级

下移至基带后，滤波级利用最多 4 个相连的半带低通滤波器抽取频谱进行速率转换。抽取过程会降低输出数据速率，进而降低输出接口速率。

6.9.1.3 增益级（可选）

实数输入信号下混频至基带会有损失，增益级通过增加 0 dB 或 6 dB 的增益予以补偿。

6.9.1.4 复数至实数转换级（可选）

需要实数输出时，复数至实数转换级执行 $f_S/4$ 混频操作，并通过滤波器滤除信号的复数成分，从而将复数输出转回实数输出。

6.9.2 DDC I/Q 输入选择

UIA4204 有 2 个 ADC 通道和 4 个 DDC 通道。每个 DDC 通道有 2 个输入端口，这些端口可以配对以通过 I/Q 纵横式多路复用器支持实数或复数输入。对于实数信号，两个 DDC 输入端口必须选择同一 ADC 通道，例如：DDC 输入端口 I = ADC 通道 A，输入端口 Q = ADC 通道 A。对于复数信号，各 DDC 输入端口必须选择不同 ADC 通道，例如：DDC 输入端口 I =ADC 通道 A，输入端口 Q = ADC 通道 B。

各 DDC 的输入由 DDC 输入选择寄存器（寄存器 0x311、寄存器 0x318、寄存器 0x31F 和寄存器 0x326）控制。

6.9.3 DDC I/Q 输出选择

每个 DDC 通道有 2 个输出端口，这些端口可以配对以支持实数或复数输出。对于实数输出信号，仅使用 DDC 输出端口 I（DDC 输出端口 Q 无效）。对于复数 I/Q 输出信号，DDC 输出端口 I 和 DDC 输出端口 Q 均要使用。

各 DDC 通道的 I/Q 输出由 DDC 控制寄存器(寄存器 0x310、寄存器 0x317、寄存器 0x31E 和寄存器 0x325)中的 DDC 复数转实数使能位（位 3）控制。

芯片应用模式寄存器(寄存器 0x200)中的芯片 Q 忽略位（位 5）控制所有 DDC 通道的芯片输出复用。所有 DDC 通道都使用实数输出时，此位必须设置为高电平以忽略所有 DDC Q 输出端口。当设置任一 DDC 通道使用复数 I/Q 输出时，用户必须清除此位以便同时使用 DDC 输出端口 I 和 DDC 输出端口 Q。

6.10 频率转换

频率转换是利用 12 位复数 NCO 和数字正交混频器实现的。频率转换将一个实数或复数输入信号从中频（IF）转换为基带复数数字输出（载波=0 Hz）。

各 DDC 的频率转换级可以单独控制，支持四种不同的 IF 模式，利用 DDC 控制寄存器 0x310 的位[5:4]可以选择具体模式。这些 IF 模式如下：

- 可变 IF 模式：NCO 和混频器使能。NCO 输出频率可用来对 IF 频率进行数字调谐。
- 0 Hz IF（ZIF）模式：混频器旁路，NCO 禁用。
- f_S/4 Hz IF 模式：混频器和 NCO 在特殊的 f_S/4 下混频模式中使能以节省功耗。
- 测试模式：迫使输入样本达到 0.999 至正满量程。NCO 使能。该测试模式允许 NCO 直接驱动抽取滤波器。

6.10.1 DDC NCO 加混频器的损失和 SFDR

将实数输入信号下混频至基带时，由于对负镜像的滤波，信号会有 6 dB 的损失。另外，NCO 也会造成 0.05 dB 的损失。下混频至基带的实数输入信号的总损失为 6.05 dB。因此，建议用户使能 DDC 增益级中的 6 dB 附加增益来补偿上述损失，从而将信号的动态范围中心重新定位在输出位的满量程中。

将复数输入信号下混频至基带时，每个 I/Q 样本经过复数混频器后能达到的最大值是 1.414 x 满量程。对于复数信号，为了防止 I/Q 样本超出量程，以及使数据位宽与实数混频一致，混频器会造成 3.06 dB 的损失（0.707x 满量程）。另外，NCO 也会造成 0.05 dB 的损失。下混频至基带的复数输入信号的总损失为−3.11 dB。

对于所有输出频率，NCO 输出的最差情况杂散信号的 SFDR 大于 102 dBc。

6.10.2 数控振荡器

UIA4204 的每个 DDC 都有一个 12 位 NCO，用以支持频率转换过程。NCO 可将输入频谱调整为直流信号，由后面的滤波器对其进行有效滤波，防止信号混叠。NCO 可通过频率调谐字(FTW)和相位偏移字(POW)来设置。

6.10.3 设置 NCO FTW 和 POW

NCO 频率值由输入 NCO FTW 的 12 位二进制补码数决定。下列频率字代表−f_S/2 和 f_S/2（不包括 f_S/2）之间的频率值：

- 0x800 代表−f_S/2 的频率

- 0x000 代表 DC（频率为 0 Hz）
- 0x7FF 代表+$f_S/2 - f_S/212$ 的频率

NCO 频率调谐字可通过下式计算：

$$NCO_FTW = round(2^{12}\frac{Mod(f_C, f_S)}{f_S})$$

其中：

- NCO_FTW 是代表 NCO FTW 的 12 位二进制补码数值。
- f_S 是 UIA4204 采样频率(时钟速率)，单位为 Hz。
- f_C 是所需的载波频率，单位为 Hz。
- Mod( )是求余函数。例如，Mod(110,100) = 10；对于负数，Mod(–32, 10) = –2。
- round( )是四舍五入函数。例如，round(3.6) = 4；对于负数，round(–3.4)= –3。

说明

此公式适用于数字域中的信号混叠（即数字化模拟信号时引入的混叠）。

每个 NCO 利用 12 位 POW 来建立多个 UIA4204 芯片之间或一个 UIA4204 内部各 DDC 通道之间的已知相位关系。

必须按照以下程序来更新 FTW 和/或 POW 寄存器，确保 NCO 正常工作：

- 写入所有 DDC 的 FTW 寄存器。
- 写入所有 DDC 的 POW 寄存器。
- 通过 SPI 访问 DDC 软复位，或通过置位 SYSREF±引脚来同步 NCO。

说明

完成对 FTW 或 POW 寄存器的所有写操作之后，必须通过 SPI 或 SYSREF±引脚同步 NCO。这种同步是确保 NCO 正常工作所必需。

6.10.4 NCO 同步

每个 NCO 都含有一个单独的相位累加器字（PAW），用于确定 NCO 的瞬时相位。各 PAW 的初始复位值由章节 6.10.3 设置 NCO FTW 和 POW 所述的 POW 决定。各 PAW 的相位递增值由 FTW 决定。

同步芯片内的多个 PAW 有两种方法：

- 使用 SPI。可以利用 DDC 同步控制寄存器中的 DDC NCO 软复位位（寄存器 0x300 的位 4）来复位芯片中的所有 PAW。这可通过切换 DDC NCO 软复位位来实现。这种方法只能用来同步同一 UIA4204 芯片内的 DDC 通道。
- 使用 SYSREF±引脚。如果通过 SYSREF±控制寄存器 0x120 和 0x121 使能 SYSREF±引脚，并且通过 DDC 同步控制寄存器 0x300 的位[1:0]使能 DDC 同步，则随后的任何 SYSREF±事件都会复位芯片中的全部 PAW。这种方法既可同步同一 UIA4204 芯片内的 DDC 通道，也可同步不同 UIA4204 芯片内的 DDC 通道。

6.10.5 混频器

NCO 伴随一个混频器，其操作类似于模拟正交混频器。它将 NCO 频率用作本振，对输入信号（实数或复数）进行下变频。对于实数输入信号，此混频器执行实数混频器操作（利用两个乘法器）。对于复数输入信号，此混频器执行复数混频器操作（利用四个乘法器和两个加法器）。混频器根据提供给各通道的输入信号（实数或复数）调整其操作。利用 DDC 控制寄存器 0x310、0x317、0x31E 和 0x325 的位 7，可以控制各 DDC 模块的实数或复数输入选择。

6.11 FIR 滤波器

有四组 2 倍抽取、低通、半带、有限脉冲响应(FIR)滤波器：HB1 FIR、HB2 FIR、HB3 FIR 和 HB4 FIR。这些滤波器位于频率转换级之后。目标载波降至 DC（载波频率 = 0 Hz）之后，这些滤波器高效率地降低采样速率，同时提供充分的混叠抑制，防止目标带宽周围的无用邻近载波影响信号。

HB1 FIR 始终使能，无法旁路。HB2、HB3 和 HB4 FIR 滤波器是可选的，可以旁路以提高输出采样速率。

UIA4204 的 DDC 滤波级提供的通带纹波小于−0.001 dB，阻带混叠抑制大于 100 dB。

6.11.1 半带滤波器

UIA4204 提供 4 个半带滤波器来支持对 ADC 转换的数据进行数字信号处理。可以旁路或独立选择这些半带滤波器。

6.11.1.1 HB4 滤波器

第一个 2 倍抽取、半带、低通 FIR 滤波器(HB4)采用 11 抽头、对称、固定系数滤波器方案，针对低功耗而优化。HB4 滤波器仅在复数输出(16 倍抽取)或实数输出（8 倍抽取）使能时使用，其他情况下旁路该滤波器。

6.11.1.2 HB3 滤波器

第二个 2 倍抽取、半带、低通 FIR 滤波器(HB3)采用 11 抽头、对称、固定系数滤波器方案，针对低功耗而优化。HB3 滤波器仅在复数输出(8 倍或 16 倍抽取)或实数输出（4 倍或 8 倍抽取）使能时使用，其他情况下旁路该滤波器。

6.11.1.3 HB2 滤波器

第三个 2 倍抽取、半带、低通 FIR 滤波器（HB2）采用 19 抽头、对称、固定系数滤波器方案，针对低功耗而优化。HB2 滤波器仅在复数输出（4 倍、8 倍或 16 倍抽取）或实数输出（2 倍、4 倍或 8 倍抽取）使能时使用，其他情况下旁路该滤波器。

6.11.1.4 HB1 滤波器

第四个（最后一个）2 倍抽取、半带、低通 FIR 滤波器（HB1）采用 55 抽头、对称、固定系数滤波器方案，针对低功耗而优化。HB1 滤波器始终使能，无法旁路。

6.11.2 DDC 增益级

各 DDC 包含一个独立控制的增益级。可以选择 0 dB 或 6 dB 的增益。实数输入信号下混频至基带时，建议用户使能 6 dB 增益以将信号的动态范围中心重新定位在输出位的满量程内。复数输入信号下混频至基带时，混频器已将信号的动态范围中心重新定位在输出位的满量程内，无需定位的增益。然而，可选的 6 dB 增益可用来补偿强度较低的信号。使用复数至实数转换级时，旁路 HB1 FIR 滤波器的 2 倍降采样部分。

6.11.3 DDC 复数—实数转换

各 DDC 包含一个独立控制的复数至实数转换模块。复数至实数转换模块重利用滤波级的最后一个滤波器（HB1 FIR），与一个 $f_S/4$ 复数混频器一起对信号进行上变频处理。

信号上变频之后，复数混频器的 Q 部分不再需要，因而被丢弃。

6.12 数字输出

6.12.1 JESD204B 接口简介

UIA4204 数字输出根据 JEDEC 标准 JESD204B（数据转换器串行接口）进行设计。JESD204B 是 UIA4204 通过串行接口（通道速率高达 10 Gbps）连接数字处理设备的协议。JESD204B 接口相对于 LVDS 的优势包括：数据接口布线所需电路板空间更少，以及转换器和逻辑器件的封装更小。

6.12.2 JESD204B 概述

JESD204B 数据发送模块可将来自 ADC 的并行数据组合成数据帧，并使用 8B/10B 编码以及可选数据加扰技术，输出串行数据。在链路初始建立过程中，使用特殊控制字符来支持通道同步；此后的同步靠数据流中嵌入的附加控制字符来维持。完成串行链路需要 JESD204B 接收机。有关 JESD204B 接口的详细信息，请参见 JESD204B 标准。

UIA4204 JESD204B 数据发送模块通过链路最多可映射 2 个实际 ADC 或 8 个虚拟转换器（DDC 使能时）。可以配置链路以使用 1 个、2 个或 4 个 JESD204B 通道。JESD204B 规范引用多个参数来定义链路，JESD204B 发射机（UIA4204 输出）和 JESD204B 接收机（逻辑器件输入）的这些参数必须匹配。

表 6-2 JESD204B 链路参数描述

参数	含义	值
L	数据通路数/转换器（数据通路数/链路）	1、2 或 4
M	转换器数/转换器（虚拟转换器数/链路）	1、2、4 或 8
F	8 位字数/帧	1、2、4、8 或 16
N'	每个样本的位数（JESD204B 字大小）	8 或 16
N	转换器分辨率	7 至 16
CS	控制位数/样本	0、1、2 或 3
K	每个多帧的帧数	4、8、12、16、20、24、28 或 32
S	传送的样本数/单个转换器/帧周期	根据 L、M、F 和 N'自动设置
HD	高密度模式	根据 L、M、F 和 N'自动设置
CF	控制字数/帧时钟周期/转换器	0

UIA4204 默认配置为使用两个转换器和四个数据通路。转换器 A 的数据输出至 SERDOUT0±和/或 SERDOUT1±，转换器 B 的数据输出至 SERDOUT2±和/或 SERDOUT3±。UIA4204 支持其它配置，如将两个转换器的输出组合成单通道，或改变 A 和 B 数字输出路径的映射。这些模式可通过 SPI 寄存器映射中的快速配置寄存器进行设置，并且提供额外的自定义选项。

默认情况下，每个 UIA4204 转换器的 14 位转换器字都被分为两个 8 位字（数据位为 8 位）。第一个 8 位字包括位 13（MSB）到位 6。第二个 8 位字包括位 5 至位 0 以及 2 个结束位。结束位可以配置为 0 或伪随机数序列，还可以用指示超量程、SYSREF±或快速检测输出的控制位来取代结束位。

可对生成的两个 8 位字进行加扰。加扰为可选项，但建议利用它来在传输相似的数字数据模式时避免频谱尖峰。加扰器采用自同步、基于多项式的算法，由方程 $1+x^{14}+x^{15}$ 定义。接收机中的解扰器是加扰器多项式的自同步版本。

之后，这两个 8 位字通过 8B/10B 编码器进行编码。8B/10B 编码器将 8 个数据位（1 个 8 位字）编码为一个 10 位的符号。

6.12.3功能概述

图 6-11 中的框图显示了从样本输入到物理输出的 JESD204B 硬件数据流。依据广泛用于描述通信系统抽象层的 OSI 参考模型，该处理可以分为多层：传输层、数据链路层和物理层（串行器和输出驱动器）。

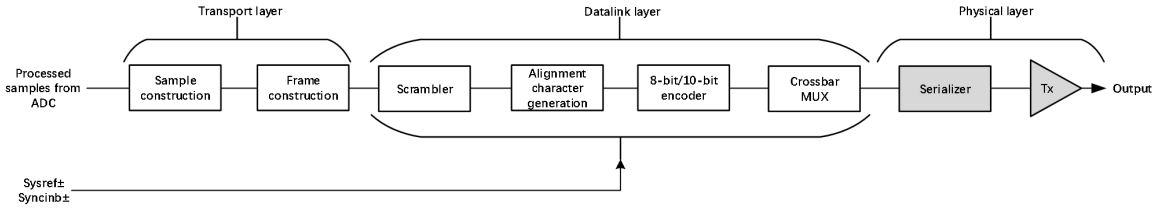

图 6-11 数据流

6.12.3.1 传输层

传输层负责将数据（包括样本和可选的控制位）包装为 JESD204B 帧以便映射为 8 位字。这些 8 位字被发送到数据链路层。传输层匹配由链路参数所产生的规则控制。根据需要添加结束位以填补空隙。可以利用下式来确定样本（JESD204B 字）中的结束位数：

$$T = N' - N - CS$$

6.12.3.2 数据链路层

数据链路层负责通过链路传送数据的低层功能，包括加扰数据（可选）、插入控制字符以支持多芯片同步/通道对齐/监控，以及将 8 位字编码为 10 位符号。数据链路层还负责发送初始通道对齐序列(ILAS)，其中包含链路配置数据，接收机利用这些数据验证传输层的设置。

6.12.3.3 物理层

物理层由时钟频率为串行时钟速率的高速电路组成。在该层中，并行数据转换为 1、2 或 4 通道的高速差分串行数据。

JESD204B 链路建立

UIA4204 JESD204B 发射机（Tx）接口按照 JEDEC 标准 204B（2011 年 7 月规范）的规定，以子类 1 工作。链路建立过程分为以下几步：代码组同步和 SYNCINB±、初始通道对齐序列(ILAS)以及用户数据和错误校正。

CGS 和 SYNCINB±

代码组同步（CGS）是 JESD204B 接收机找到数据流中 10 位符号间界限的过程。在 CGS 阶段，JESD204B 传送模块传送/K28.5/字符。接收机必须使用时钟和数据恢复（CDR）技术，在输入数据流中定位/K28.5/字符。

接收机将 UIA4204 的 SYNCINB±引脚置位低电平，发出一个同步请求。然后，JESD204B Tx 开始发送/K/字符。一旦接收机已同步，它便等待接收机至少正确接收 4 个连续的/K/符号，然后解除置位 SYNCINB±。UIA4204 接着在下一本地多帧时钟（LMFC）边界发送一个 ILAS。

SYNCINB±引脚操作也可以由 SPI 控制。默认情况下，SYNCINB±信号是一个差分 LVDS 模式信号，但也可以单端驱动。有关配置 SYNCINB±引脚操作的更多信息，参见寄存器 0x572。

初始通道对齐序列（ILAS）

CGS 阶段之后是 ILAS 阶段，它在下一 LMFC 边界开始。ILAS 由 4 个多帧组成，/R/字符表示开始，/A/字符表示结束。ILAS 从发送/R/字符开始，然后发送一个多帧的 0 至 255 斜坡数据。在第二个多帧发送链路配置数据，从第三个字符开始。第二个字符是/Q/字符，用以确认随后是链路配置数据。所有未定义数据时隙都用斜坡数据填充。ILAS 序列从不加扰。

4 个多帧包括：

- 多帧 1，以/R/字符（/K28.0/）开始，以/A/字符（/K28.3/）结束。
- 多帧 2，以/R/字符开始，接着是/Q/（/K28.4/）字符，然后是 14 个配置 8 位字的链路配置参数，最后以/A/字符结束。许多参数值用–1 表示。
- 多帧 3，以/R/字符（/K28.0/）开始，以/A/字符（/K28.3/）结束。
- 多帧 4，以/R/字符(/K28.0/)开始，以/A/字符(/K28.3/)结束。

用户数据和错误检测

完成初始通道对齐序列之后便发送用户数据。一般而言，在一帧以内，所有数据都被视为用户数据。然而，为了监控帧时钟和多帧时钟同步，当数据符合某些条件时，有一个机制来将字符替换为/F/或/A/对齐字符。对于未加扰和加扰的数据，这些条件是不同的。默认使能加扰操作，但可以通过 SPI 禁用。

对于加扰的数据，帧末尾的任何 0xFC 字符都用/F/替换，多帧末尾的任何 0xFD 字符都用/A/替换。JESD204B 接收机（Rx）检查接收数据流中有无/F/和/A/字符，验证其仅出现在预期的位置。如果发现意外的/F/或/A/字符，接收机将利用动态对齐处理这种情况，或置位 SYNCINB±信号四帧以上以启动重新同步。对于未加扰的数据，如果两个连续帧的最后字符相同，则第二个字符将被替换为/F/（若它位于一个帧的末尾）或/A/（若它位于一个多帧的末尾）。

对齐字符的插入可通过 SPI 修改。帧对齐字符插入（FACI）默认使能。有关链路控制的更多信息，参见章节 6.17 存储器映射的寄存器 0x571。

8B/10B 编码器

8B/10B 编码器将 8 位字转换为 10 位符号，并在需要时将控制字符插入流中。8B/10B 编码通过在多个符号上使用相同数量的 1 和 0 来确保信号达到直流平衡。

8B/10B 接口的选项可通过 SPI 控制，包括旁路和反转。这些选项用作数字前端(DFE)验证的故障排除工具。有关配置 8B/10B 编码器的信息，参见 6.17 存储器映射部分的寄存器 0x572[2:1]。

6.12.3.4 物理层(驱动器)输出

数字输出、时序和控制

UIA4204 物理层由 JEDEC 标准 204B（2011 年 7 月）所规定的驱动器组成。差分数字输出默认上电。每个驱动器利用 100Ω的动态内部端接电阻来降低反射干扰。

在每个接收机的输入端放置一个 100Ω差分端接电阻，可实现标称 300 mV p-p 的接收机摆幅，参见图 6-12。也可使用单端 50Ω端接电阻。使用单端端接电阻时，端接电压为 DRVDD/2；此外，还可使用 0.1 µF 交流耦合电容以便端接至任意单端电压。

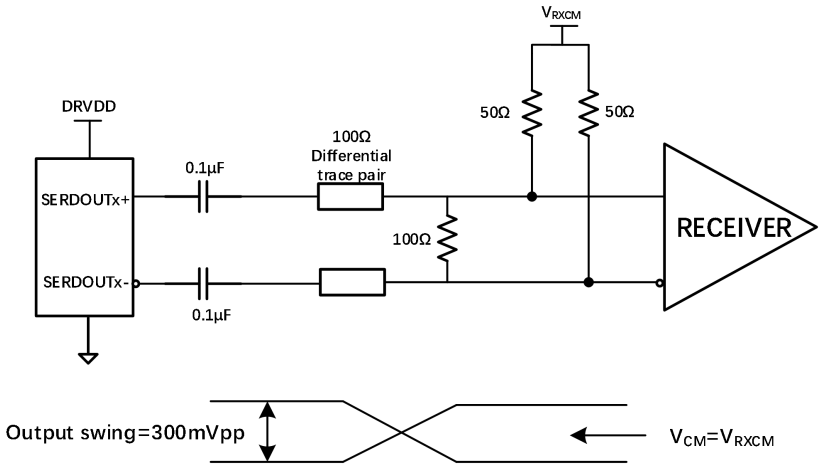

图 6-12 交流耦合数字输出端接示例

UIA4204 数字输出可与定制的 ASIC 和 FPGA 接收机接口，从而在高噪声环境中实现出色的开关性能。推荐使用单一点到点网络拓扑结构，并将单个 100Ω差分端接电阻尽可能靠近接收机输入端放置。数字输出的共模电压自动偏置到 1.2 V DRVDD 电源的一半（V_{CM} = 0.6 V）。图 6-13 显示输出直流耦合到接收机逻辑。

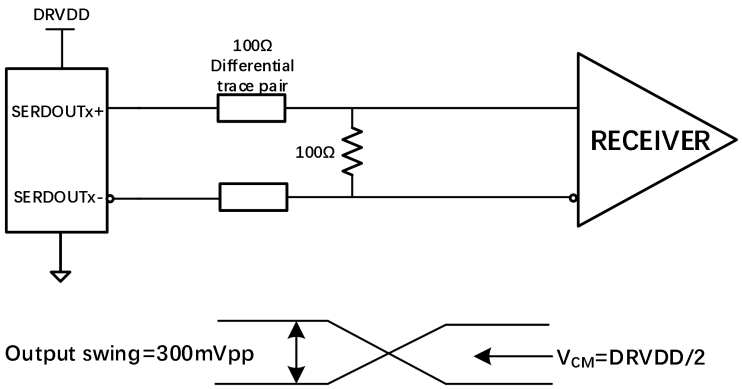

图 6-13 直流耦合数字输出端接示例

如果没有远端接收机端接电阻，或者差分走线布线不佳，可能会导致时序错误。为避免产生时序错误，建议走线长度不要超过 6 英寸，差分输出走线应尽可能彼此靠近且长度相等。

去加重

当互连插入损耗不符合 JESD204B 规范时，利用去加重可以符合接收机眼图遮罩。只能在接收机因为插入损耗过大而无法恢复时钟时使用去加重特性。一般情况下，该特性禁用以节省功耗。此外，对一个短链路使能并设置过高的去加重值，可能导致接收机眼图失效。去加重设置应慎重使用，因为它会增加电磁干扰（EMI）。更多信息参见章节 6.17 存储器映射（表 6-10 中的寄存器 0x619 至 0x61d）。

锁相环

锁相环（PLL）输入参考 CLKREF（AD 采样时钟）经过 CLKREF DIV 进入 PFD，CLKREF DIV 具有 1/2/4/8 分频模式，由 txpll_prediv 寄存器 0x62d 的 txpll_prediv_ctl[1:0]控制，推荐配置为 8 分频（默认），可以降低 PFD 和 CP 工作的频率以节省功耗。环路分频器由两级组成，第一级为固定 5 分频，第二级为 1/2/4/8 分频器，所以总的分频比为 5/10/20/40 分频。环路分频器由 txpll_divtune 寄存器 0x62e 的 txpll_divtune_ctl[1:0]控制。PLL 电路模块参考图 6-14。PLL VCO 输出频率可由以下公式确定：

$$f_{VCO} = \text{txpll_divtune_ctl} * f_{REF}/\text{txpll_prediv}$$

PLL VCO 的频率范围为 4~5GHz，其后有分频电路产生 CLKTOTX，由 txpll_txdiv 寄存器 0x62f 的 txpll_txdiv[1:0]控制。因此满足以下关系：

$$f_{CLKTOTX} = f_{VCO}/\text{txpll_txdiv}$$

serdes tx 采用 ddr 模式输出，用户需根据 JESD204B 对应的模式的 serdes 速率配置 CLKTOTX。JESD204B 的 serdes 速率（2 倍 CLKTOTX 频率）与其对应 L/M/N_bar 及 ADC 编码速率满足以下关系：

$$2 * f_{CLKTOTX} * L = M * \text{N_bar} * 10/8$$

PLL 锁定状态由 jesd204b_pll_lock_status 寄存器 0x56f 中的 jesd_pll_lock 查看，每次更改 txpll_prediv_ctl[1:0]或 txpll_divtune_ctl[1:0]需对 PLL 电路做复位操作（对 serdes_tx_ctl 寄存器 0x613 中的 serdes_soft_rst 写 1 再写 0）。

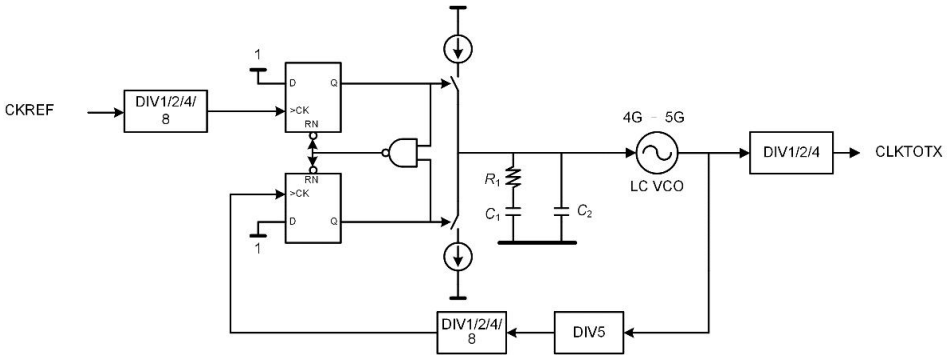

图 6-14 PLL 模块

JESD204B Tx 转换器映射

为了支持不同的芯片工作模式，UIA4204 设计将每个样本流（实数或 I/Q）视为来自不同的虚拟转换器。I/Q 样本始终成对映射，I 样本映射到第一个虚拟转换器，Q 样本映射到第二个虚拟转换器。采用这种传输层映射，以下各种情况下的虚拟转换器数量相同：

- 使用单个实数转换器和一个数字下变频器模块来产生 I/Q 输出；
- 或使用一个模拟下变频器和两个实数转换器来产生 I/Q 输出。

UIA4204 的 JESD204B Tx 模块最多支持 4 个 DDC 模块。每个 DDC 模块要么输出复数数据分量（实部+虚部）的两个样本流（I/Q），要么输出实数（I）数据的一个样本流。根据 DDC 配置，JESD204B 接口最多可以使用 8 个虚拟转换器。

配置 JESD204B 链路

UIA4204 有一个 JESD204B 链路。通过 JESD04B 快速配置寄存器 0x570，很容易设置 JESD204B 链路。串行输出(SERDOUT0±至 SERDOUT3±)是一个 JESD204B 链路的一部分。决定链路设置的基本参数包括：

- 每链路的数据通路数（L）
- 每链路的转换器数（M）
- 每帧的 8 位字数（F）

如果内部 DDC 用于片内数字处理，则 M 代表虚拟转换器的数量。

JESD204B 支持的最大通道速率为 10 Gbps。通路线速率与 JESD204B 参数有如下关系：

$$\text{LaneLineRate} = \frac{M \times N^{'} \times \frac{10}{8} \times f_{OUT}}{L}$$

其中：

$$f_{OUT} = \frac{f_{ADC_CLOCK}}{DecimationRation}$$

抽取比（DCM）是写入寄存器 0x201 的参数。可以使用下面的步骤配置输出：

1. JESD204B 控制器复位。
2. 选择快速配置选项。
3. 配置详细选项。
4. （可选）设置输出通道映射。
5. （可选）设置其他驱动器配置选项。
6. 配置对应的 serdes 速率。
7. 释放 JESD204B 控制器复位。

6.13 确定性延迟

JESD204B 链路的两端包含分布在每个系统中的各种时钟域。从一个时钟域到另一个时钟域的数据遍历可能导致 JESD204B 链路中的模糊延迟。这些模糊性导致从一个电源周期或链路重置到下一个链路的不可重复延迟。JESD204B 规范通过定义为子类 1 和子类 2 的机制解决了确定性延迟问题。

UIA4204 支持 JESD204B 的子类 0 和子类 1 操作。寄存器 0x590，第 5 位设置 UIA4204 的子类模式；默认模式是子类 1 工作模式（寄存器 0x590，Bit 5=1）。如果系统不需要确定性延迟，建议使用子类 0 操作，可能不需要 SYSREF±信号。即使在子类 0 模式下，在需要多个 UIA4204 设备相互同步的应用中，也可能需要 SYSREF±信号。

6.13.1 子类 0 操作

如果在子类 0 模式下工作时不需要多芯片同步（寄存器 0x590，位 5 = 0），则可以断开 SYSREF±输入。在这种模式下，JESD204B 发送端和接收端之间的 JESD204B 时钟的关系是任意的，但不影响接收端捕获和对齐链路内通道的能力。

6.13.2 子类 1 操作

JESD204B 协议将数据样本组织成八位组、帧和多帧，如传输层部分所述。本地多帧时钟（LMFC）与这些多帧的开始同步。在子类 1 操作中，SYSREF±信号同步一个链路或跨多个链路中每个器件的 LMFCs（在 UIA4204 中，SYSREF±也同步内部采样分频器），如图 6-15 所示。JESD204B 接收器使用多帧边界和缓冲来实现跨通道（甚至多个设备）的一致延迟，并在电源周期和链路复位条件之间实现固定延迟。

6.13.2.1 确定性延迟需求

在 JESD204B 子类 1 系统中实现确定性延迟需要几个关键因素：

- 系统内的 SYSREF±信号分布偏差必须小于系统所需的不确定性。
- 必须满足系统中每个设备的 SYSREF±建立和保持时间要求。
- 所有通道、链路和设备的总延迟变化必须≤1 LMFC 周期（见图 6-15）。这既包括可变延迟，也包括固定延迟在通道到通道、链路到链路以及系统中设备到设备之间的变化。

6.13.2.2 设置确定性延迟寄存器

逻辑器件中的 JESD204B 接收缓冲器缓冲从 LMFC 边界开始的数据。如果系统中的总链路延迟接近 LMFC 周期的整数倍，则从一个电源周期到下一个电源周期，接收缓冲区的数据到达时间可能跨越 LMFC 边界。为了确保这种情况下的确定性延迟，必须在发送端或接收端对 LMFC 进行相位调整。通常，对接收器的 LMFC 进行调整以适应接收缓冲区。在 UIA4204 中，这种调整可以使用 LMFC 偏移位（寄存器 0x575，bits [4:0]）进行。这些位以帧时钟增量的形式延迟 LMFC，这取决于 F 参数（即每帧每通道的字节数）。对于 F = 1，每 4 个设置（0,4,8，…，等等）将导致 1 帧时钟偏移。对于 F = 2，每个其他设置（0,2,4，…，等等）都会导致 1 帧时钟偏移。对于 F 的所有其他值，每个设置导致 1 帧时钟移位。

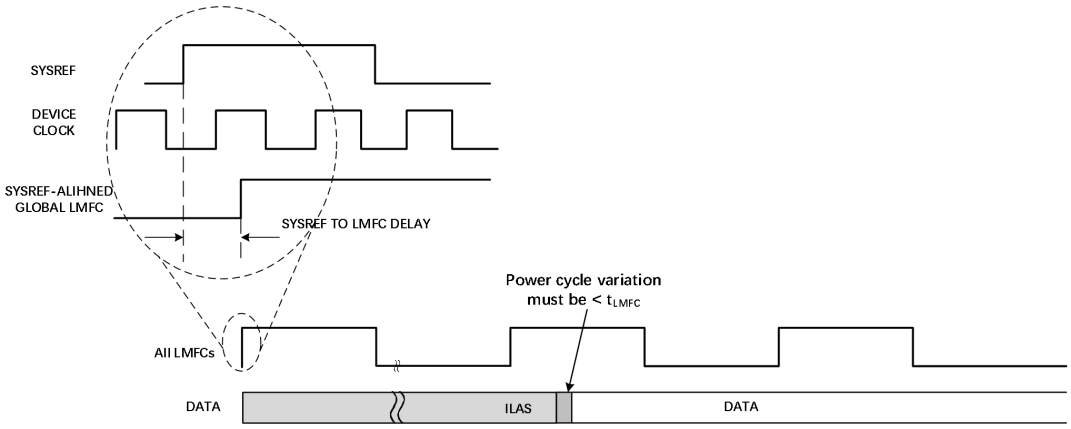

图 6-15 SYSREF±和 LMFC

如图 6-16 显示，在链路延迟接近 LMFC 边界的情况下，可以延迟 UIA4204 的本地 LMFC，从而延迟数据到达接收器的时间。如果系统中的总延迟不是 LMFC 周期的整数倍，或者如果时钟源对 LMFC 相位进行了适当的调整，则从一个电源周期到下一个电源周期的延迟仍然可能是可变的。在这种情况下，检查是否有可能不满足 SYSREF±信号的建立和保持时间要求。通过读取 SYSREF±setup 并保持监视器寄存器 0x128 来执行此检查。

这个函数在章节 6.13.4.2 SYSREF± Setup/Hold 窗口监控器中描述。

如果读取寄存器 0x128 表示时序问题，可以在 UIA4204 中进行调整。使用 SYSREF±过渡选择位（寄存器 0x120，位 4）可以改变用于校准的 SYSREF±水平。此外，可以使用时钟边缘选择位（寄存器 0x120，位 3）来改变用于捕获 SYSREF±的时钟边缘。这两个选项都在 SYSREF±控制功能部分中进行了描述。如果这些措施都不能帮助实现可接受的建立和保持时间，则可能需要调整 SYSREF±和/或设备时钟（CLK±）的相位。

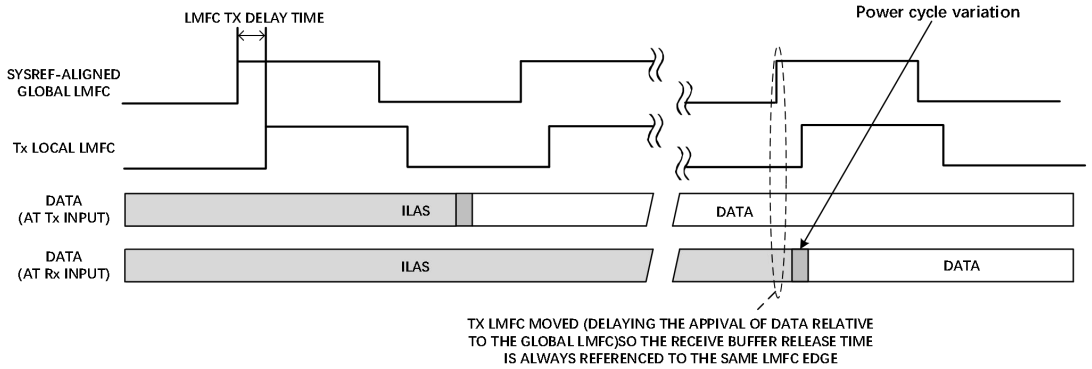

图 6-16 调整 JESD204B TxLMFC

6.13.3 多片同步

有两种方法可以实现多芯片同步，由芯片同步模式位（寄存器 0x1FF，位 0）决定。每种方法都涉及到 SYSREF±信号的不同应用。

6.13.3.1 正常模式

芯片同步模式位的默认状态为 0，表示 UIA4204 可以进行正常的芯片同步。JESD204B 标准指定使用 SYSREF±在单个链路内提供确定性延迟。同样，当应用于具有多个转换器和逻辑器件的系统时，也可以提供多芯片同步。

6.13.3.2 时间戳模式

对于所有 UIA4204 全带宽工作模式，SYSREF 输入也可用于时间戳采样。这是多通道和多设备实现同步的另一种方法。这在将多个设备同步到一个或多个逻辑设备时特别有效。逻辑设备只是缓冲数据流，识别时间戳样本并对齐它们。当芯片同步模式位（0x1FF[0]）设置为 1 时，使用时间戳方法进行多通道和/或设备的同步。在时间戳模式下，时钟不会重置，而是使用该样本的 JESD204B 控制位对一致样本进行时间戳。要在时间戳模式下操作，这些额外的设置是必要的：

- 连续或 N-shot SYSREF 使能（0x120[2:1] = 1 或 2）
- 必须至少使能一个控制位（CS > 0, Register 0x58F, bits [7:6] = 1,2 或 3）
- 设置其中一个控制位的功能为 SYSREF
  - 寄存器 0x559， Bits[2:0] = 5，如果使用控制位 0
  - 寄存器 0x559， Bits[6:4] = 5，如果使用控制位 1
  - 寄存器 0x55A， Bits[2:0] = 5，如果使用控制位 2

控制位必须首先使能 MSB。如果只使用一个控制位（CS = 1），则必须使能控制位 2。如果使用两个控制位，则必须启用控制位[2:1]。

请注意，任何使用十进制的操作模式都不支持时间戳。

6.13.4 SYSREF±输入

SYSREF±输入信号用作确定性延迟和多芯片同步的高精度系统参考。UIA4204 接受单次或周期输入信号。SYSREF±模式选择位（寄存器 0x120，位[1]）选择输入信号类型，并设置 SYSREF±状态机。脉冲宽度必须具有两个 CLK±周期的最小宽度。如果时钟分频器（寄存器 0x10B， Bits[2:0]）设置为除时钟分频比为 1 以外的值，则将该最小脉冲宽度乘以时钟分频比（例如，如果设置时钟分频比为 8，则最小脉冲宽度为 16 CLK±周期）。当使用连续的 SYSREF±信号时，SYSREF±信号的周期必须是 LMFC 的整数倍。使用以下公式推导 LMFC：

$$\mathrm{LMFC} = \mathrm{ADC\ Clock}/S \times K$$

其中：

- S：JESD204B 参数，表示每个转换器的采样数；
- K：JESD204B 参数，表示每多帧的帧数。

在正常同步模式下（寄存器 0x1FF， Bits[1:0] = 0），输入时钟分频器、DDCs、信号监视器块和 JESD204B 链路都使用 SYSREF±输入进行同步，SYSREF±输入还可以用于 ADC 采样时间戳，以实现在同一个系统中多个 UIA4204 的同步。对于最高级的定时精度，SYSREF±必须满足相对于 CLK±输入的建立和保持要求。UIA4204 中有几个功能可以确保满足这些要求。详细信息，请参考 6.13.4.1 SYSREF±控制。

6.13.4.1 SYSREF±控制

SYSREF±与输入时钟（CLK±）一起使用，作为源同步时序接口的一部分，要求相对于输入时钟的建立和保持时序要求分别为 52 ps 和 73 ps，如图 6-17 所示。UIA4204 具有多种特性来满足这些要求。首先，可以将 SYSREF±采样事件定义为同步低到高的转换或同步高到低的转换。其次，UIA4204 允许使用输入时钟的上升沿或下降沿对 SYSREF±信号进行采样。图 6-17、图 6-18、图 6-19 和图 6-20 显示了所有四种可能的组合。第三个可用的 SYSREF±相关特性是能够忽略一个可编程数目（到 16）的 SYSREF±事件。

通过将 SYSREF±模式寄存器，将 0x120[1]设置为 1 来启用 SYSREF±的忽略功能，这被标记为 N-shot 模式。UIA4204 能够忽略 N 个 SYSREF±事件，这对于处理启动后需要时间沉淀的周期性 SYSREF±信号非常有用。忽略 SYSREF±，直到系统中的时钟稳定，避免不准确的 SYSREF±触发。

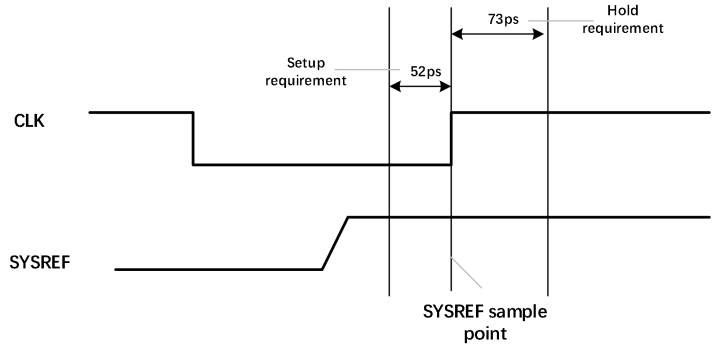

图 6-17 SYSREF±建立和保持时间要求；SYSREF±低到高转换使用上升沿时钟（默认）

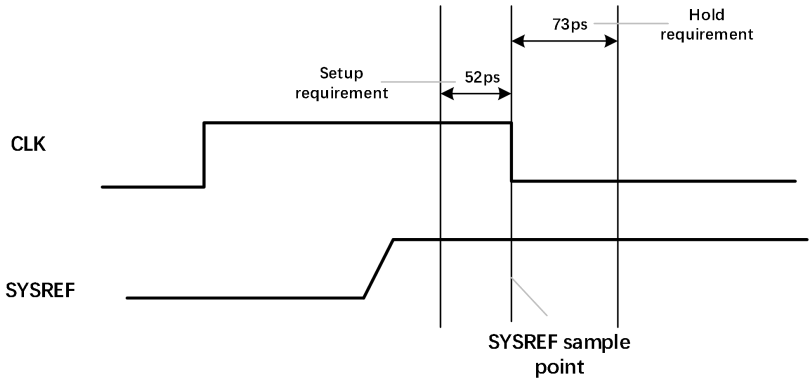

图 6-18 SYSREF±低到高的转换使用下降沿时钟捕获

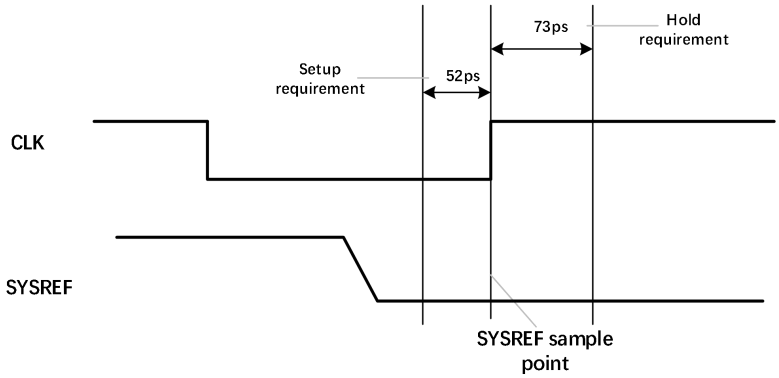

图 6-19 SYSREF±高到低转换使用上升沿时钟捕获

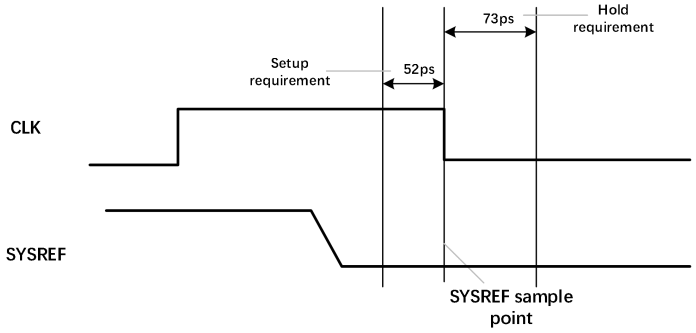

图 6-20 SYSREF±高到低转换使用下降沿时钟捕获

6.13.4.2 SYSREF± Setup/Hold 窗口监控器

在 1GHz 时钟下，为了确保有效的 SYSREF±信号捕获，UIA4204 具有 SYSREF± Setup/Hold 窗口监视器。该功能允许系统设计人员通过内存映射读取接口上的 Setup/Hold 余量，从而确定相对于 CLK±信号的 SYSREF±信号的位置。图 6-21 和图 6-22 显示了 SYSREF±的不同阶段的建立和保持状态值。setup 检测器返回在 CLK±沿之前的 YSREF±信号的状态，hold 检测器返回 CLK±沿之后的 SYSREF 信号的状态。寄存器 0x128 存储 SYSREF±的状态，并让用户知道是否 SYSREF±信号被 ADC 捕获。当 SYSREF hold 处于 0x00-0x08 之间，且 SYSREF setup 处于 0x08-0xF 之间时，SYSREF 的建立保持时间 margin 均较好，如表 6-3 所示。

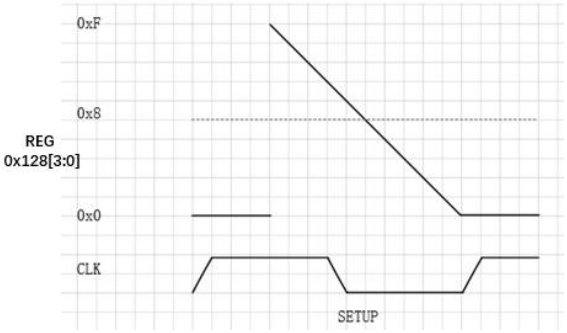

图 6-21 SYSREF± Setup 检测器

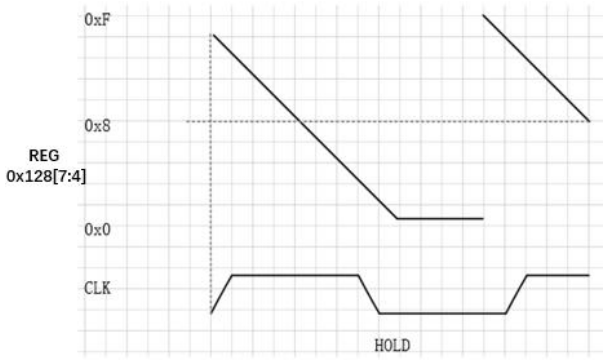

图 6-22 SYSREF± Hold 检测器

表 6-3 SYSREF monitor 描述

SETUP	HOLD	描述
0x0-0x4	0x1-0xF	Possible Setup error. The smaller this number, the smaller the setup margin.
/	0xF-0xC	Possible Hold error. The larger this number, the smaller the hold margin.
0x8-0xF	0x0-0x8	Safe
0x0	0x0	Safe (f_{CLK}<1G)

6.14 延迟

6.14.1 端到端总延迟

UIA4204 的总延迟取决于各种数字信号处理（DSP）和 JESD204B 配置模式。延迟通过 ADC 本身固定在 23 个编码时钟；但是，通过 DSP 和 JESD204B 块的延迟可能会有很大差异，这取决于配置。因此，总延迟必须根据所选择的 DSP 选项和 JESD204B 配置来计算。

表 6-4 显示了 UIA4204 支持的不同应用模式下通过 ADC 和 DSP 模块的综合延迟（包括数据格式化）。表 6-5 显示了每个 JESD204B 配置通过 JESD204B 块的延迟，以及这些模式支持的各种抽取模式。对于这两个表，延迟都以编码时钟为单位。在某些 JESD204B 配置中，通过 JESD204B 时钟的延迟也会受到抽取比率的影响。表 6-6 显示了每种可能抽取比率下这些模式的延迟。

6.14.2 延迟计算示例

对于 ADC 应用模式为全带宽的配置， L = 4，M = 2， F = 1， S = 1（JESD204B 模式）。

$$\text{Latency} = 23 + 36 = 59 \text{ encode clocks}$$

表 6-4 通过 ADC+DSP 模块的总延迟

ADC 应用模式	ADC+DSP 总共的延迟（采样时钟数）
Full Bandwidth	23
"DDC (HB1) real mixer, complex outputs"	122

"DDC (HB2+HB1) real mixer, complex outputs"	202
"DDC (HB3+HB2+HB1) real mixer, complex outputs"	334
"DDC (HB4+HB3+HB2+HB1) real mixer, complex outputs"	606

表 6-5 通过 JESD204B 块的延迟—全带宽模式，编码时钟=采样时钟/抽取比

JESD204B quick configuration (Register 0x570)	Decimation Ratio	JESD204B Transport Layer Settings							Latency(Encode CLK)
		L	M	F	S	HD	N	N'	
0x01	1	1	1	2	1	0	8 to 16	16	20
0x40	1	2	1	1	1	1	8 to 16	16	36
0x41	1	2	1	2	2	0	8 to 16	16	36
0x80	1	4	1	1	2	1	8 to 16	16	68
0x81	1	4	1	2	4	0	8 to 16	16	68
0x0A	1	1	2	4	1	0	8 to 16	16	12
0x49	1	2	2	2	1	0	8 to 16	16	20
0x88	1	4	2	1	1	1	8 to 16	16	36
0x89	1	4	2	2	2	0	8 to 16	16	36

表 6-6 通过 JESD204B 块的延迟—with Decimation

JESD204B quick configuration (Register 0x570)	Decimation Ratio	JESD204B Transport Layer Settings							Latency(Encode CLK)
		L	M	F	S	HD	N	N'	
0x88	2	4	2	1	1	1	8 to 16	16	36
0x89	2	4	2	2	2	0	8 to 16	16	36
0x13	2,4,8,16	1	4	8	1	0	8 to 16	16	8
0x52	2,4,8,16	2	4	4	1	0	8 to 16	16	12
0x91	2,4,8,16	4	4	2	1	0	8 to 16	16	20
0x1C	4,8,16	1	8	16	1	0	8 to 16	16	6
0x5B	4,8,16	2	8	8	1	0	8 to 16	16	8
0x9A	4,8,16	4	8	4	1	0	8 to 16	16	12

6.15 测试模式

6.15.1 ADC 测试模式

UIA4204 具有各种测试选项，有助于系统级实现。UIA4204 具有 ADC 测试模式，可在寄存器 0x550 中使用。当启用输出测试模式时，ADC 的模拟部分与数字后端块断开连接，并且测试模式通过输出格式化块运行。有些测试模式受输出格式的影响，有些则不受影响。通过设置寄存器 0x550 的第 4 位或第 5 位，可以重置 PN 序列测试中的伪随机数（PN）生成器。这些测试可以在有或没有模拟信号的情况下进行（如果存在，则忽略模拟信号）；然而，它们确实需要一个编码时钟。

如果应用模式设置为选择 DDC 工作模式，则必须为每个启用的 DDC 启用测试模式。测试模式可以通过寄存器 0x316 和寄存器 0x31D 的第 2 位和第 0 位启用，这取决于所选择的 DDC。(I) 数据使用为通道

A 选择的测试模式，（Q）数据使用为通道 B 选择的测试模式。仅对于 DDC3，（I）数据使用来自通道 A 的测试模式，（Q）数据不输出测试模式。寄存器 0x32b 的 0 位选择用于（I）数据的通道 A 测试模式。

6.15.2 JESD204B 测试模式

除了 ADC 流水线测试模式外，UIA4204 在 JESD204B 模块中还具有灵活的测试模式。这些测试模式列在寄存器 0x573 和寄存器 0x574 中。这些测试模式可以在输出数据路径的不同位置注入。表 6-7 描述了 JESD204B 块中可用的各种测试模式。对于 UIA4204，从测试模式（寄存器 0x573≠0x00）转换到正常模式（寄存器 0x573 = 0x00）需要 SPI 软复位。这是通过将 0x81 写入寄存器 0x000（自我清除）来完成的。

表 6-7 JESD204B 接口测试模式

输出测试模式位序列	模式名称	表述	默认
0000	正常模式	不适用	不适用
0001	交替棋盘格	0x5555, 0xAAAA, 0x5555, …	不适用
0010	1/0 字切换	0x0000, 0xFFFF, 0x0000, …	不适用
0011	31 位 PN 序列	$x^{31} + x^{28} + 1$	0x0003AFFF
0100	23 位 PN 序列	$x^{23} + x^{18} + 1$	0x003AFF
0101	15 位 PN 序列	$x^{15} + x^{14} + 1$	0x03AF
0110	9 位 PN 序列	$x^{9} + x^{5} + 1$	0x092
0111	7 位 PN 序列	$x^{7} + x^{6} + 1$	0x07
1000	斜坡输出	$(x) \% 2^{16}$	斜坡大小取决于测试注入点
1110	持续/重复用户测试	寄存器 0x551 到寄存器 0x558	用户模式 1 到用户模式 4，然后重复

6.15.3 传输层样本测试模式

UIA4204 传输层样本的实现方式是根据在 JEDEC JESD204B 规范的第 5.1.6.3 节中定义的。这些测试显示在寄存器 0x571 位 5 中。测试模式相当于来自 ADC 的原始样本。

6.15.4 接口测试模式

接口测试模式描述在寄存器 0x573，Bits[3:0]中。表 6-7 也解释了这些测试模式。接口测试可以在数据的不同点注入。寄存器 0x573，位[5:4]显示这些测试被注入的位置。

6.15.5 数据链路层测试模式

UIA4204 中的数据链路层的测试模式的实现方式是根据 JEDEC JESD204B 规范的第 5.3.3.8.2 节定义。这些测试显示在寄存器 0x574 位[2:0]中。此时插入的测试模式对于验证数据链路层的功能非常有用。当数据链路层测试模式开启时，通过写入 0xC0 到寄存器 0x572 来关闭 SYNCINB±。

6.16 串行端口接口

UIA4204 SPI 允许用户利用 ADC 内部的一个结构化寄存器空间来配置转换器，以满足特定功能和操作的需要。SPI 具有灵活性，可根据具体的应用进行定制。通过串行端口，可访问地址空间，以及对地址空间进行读写。存储空间以字节为单位进行组织，并且能进一步划分成多个区域。各个域的说明见章节 6.17 存储器映射。

6.16.1 使用 SPI 的配置

该 ADC 的 SPI 由三个引脚组成：SCLK 引脚、SDIO 引脚和 CSB 引脚(见表 6-6)。SCLK(串行时钟)引脚用于同步从 ADC 读出的数据和写入 ADC 的数据。SDIO(串行数据输入/输出)引脚是一个双功能引脚，可通过此引脚将数据发送至内部 ADC 存储器映射寄存器或从该寄存器中读出数据。CSB(片选信号)引脚是低电平有效控制引脚，它能够使能或者禁用读写周期。

表 6-8 串行端口接口引脚

引脚	功能
SCLK	串行时钟。串行移位时钟输入,用来同步串行接口的读、写操作。
SDIO	串行数据输入/输出。双功能引脚；通常用作输入或输出，具体取决于发送的指令和时序帧中的相对位置。
CSB	片选信号。低电平有效控制引脚,用来选通读写周期。

CSB 的下降沿与 SCLK 的上升沿共同决定帧的开始。图 3-3 为串行时序图示例，相应的定义见章节 3.6 时序规格。

CSB 可以在多种模式下工作。CSB 可始终维持在低电平状态，从而使器件一直处于使能状态；这称作流化。CSB 可以在字节之间停留在高电平，这样可以允许其他外部时序。CSB 引脚拉高时，SPI 功能处于高阻抗模式。在该模式下，可以开启 SPI 引脚的第二功能。

所有数据均由 8 位字组成。串行数据的每个字节的第一位表示发出的是读命令还是写命令。这样，就能将 SDIO 引脚的数据传输方向从输入改为输出。

除了字长，指令周期还决定串行帧是读操作还是写操作，从而通过串行端口对芯片编程以及读取片上存储器内的数据。如果指令是回读操作，则执行回读操作会使 SDIO 引脚在串行帧的适当位置由输入变为输出。

数据可通过 MSB 优先模式或 LSB 优先模式发送。芯片上电后，默认采用 MSB 优先的方式，可以通过 SPI 端口配置寄存器来更改数据发送方式。

6.16.2 硬件接口

表 6-8 中所描述的引脚包括用户编程器件与 UIA4204 的串行端口之间的物理接口。使用 SPI 接口时，SCLK 引脚和 CSB 引脚用作输入引脚。SDIO 引脚是双向引脚，在写入阶段，用作输入引脚；在回读阶段，用作输出引脚。

SPI 接口非常灵活，FPGA 或微控制器均可控制该接口。

当需要转换器充分发挥其全动态性能时，应禁用 SPI 端口。通常 SCLK 信号、CSB 信号和 SDIO 信号与 ADC 时钟是异步的，因此，这些信号中的噪声会降低转换器性能。如果其它器件使用板上 SPI 总线，则可能需要在该总线与 UIA4204 之间连接缓冲器，以防止这些信号在关键的采样周期内，在转换器的输入端发生变化。

6.16.3 SPI 访问特性

表 6-9 简要说明了可通过 SPI 访问的一般特性。UIA4204 特定器件特性详见章节 6.17 存储器映射。

表 6-9 可通过 SPI 访问的特性

特性名称	说明
模式	允许用户设置掉电模式或待机模式。
时钟	允许用户通过 SPI 访问时钟分频器。
DDC	允许用户设置不同应用的抽取滤波器。
测试输入/输出	允许用户设置测试模式,以便在输出位上获得已知数据。
输出模式	允许用户设置输出。
SERDES 输出设置	允许用户改变 SERDES 设置,如摆幅和加重等。

6.17 存储器映射

6.17.1 读取存储器映射寄存器表

存储器映射寄存器表的每一行有 8 位。存储器映射分为四个部分：SPI 寄存器（寄存器 0x000 至 0x007）、ADC 功能寄存器（寄存器 0x016 至 0x24C）、DDC 功能寄存器（寄存器 0x300 至 0x32B）以及数字输出和测试模式寄存器（寄存器 0x550 至 0x658）。

表 6-10 记录了所示每个十六进制地址的默认十六进制值。位 7（MSB）栏为给定十六进制默认值的起始位。例如，地址 0x561（输出模式寄存器）的十六进制默认值为 0x01。这表明，位 0 = 1，其余位均为 0。此设置是默认输出格式值（二进制补码）。有关该功能及其他功能的更多信息，参见表 6-10。

6.17.2 禁用位置和保留位置

此器件目前不支持表 6-10 中未包括的所有地址和位。有效地址位置的不使用位应写入 0，除非默认值是其他设置。仅当一个地址位置有一部分未分配时，才需要写入这些位置（例如地址 0x561）。如果整个地址（例如：地址 0x13）均禁用，则不应对该地址进行写操作。

6.17.3 默认值

UIA4204 复位后，关键寄存器将载入默认值。表 6-10 列出了各寄存器的默认值。

6.17.4 逻辑电平

以下是逻辑电平的术语说明：

- “置位”指“将某位设置为逻辑 1”或“向某位写入逻辑 1”。
- “清除位”指“将某位设置为逻辑 0”或“向某位写入逻辑 0”。
- X 表示无关位。

6.17.5 特定通道寄存器

对于某些通道设置功能，例如输入端接（寄存器 0x016），各通道可以使用不同的值。在这些情况下，可在内部为每个通道复制通道地址位置。这些寄存器及相应的位在表 6-10 中被称为局部寄存器。通过设置寄存器 0x007 的通道 A 位或通道 B 位，可访问这些局部寄存器及相应位。如果这两个位均置位，后续写操作将影响两个通道的寄存器。在一个读周期内，仅允许设置一个通道（通道 A 或通道 B）来读取两个寄存器中的一个。如果在一个 SPI 读周期内置位所有位，则器件返回通道 A 的值。表 6-10 给出的全局寄存器及相应位会影响整个器件和通道的特性，不允许分别设置每个通道。寄存器 0x005 中的设置不影响全局寄存器及相应位的值。

6.17.6 SPI 软复位

向寄存器 0x000 写入 0x81 以执行软复位时，UIA4204 需要 5 ms 时间来恢复。对 UIA4204 进行应用设置编程时，确保在置位软复位之后到启动器件设置之前，固件中写入了足够的延迟时间。

表 6-10 内存映射寄存器表

寄存器地址	寄存器名称	位宽	比特范围	字段名称	R/W 属性	复位值	说明
Global							
0x000	inter_config_a	8	[7]镜像	soft_rst_mir	RO	1'b0	
			[6]镜像	lsb_mir	RO	1'b0	
			[5]镜像	addr_ascen_mir	RO	1'b0	
			[4:3]	Reserved	NA	2'b0	
			[2]	addr_ascen	RW	1'b0	为 1 时控制地址位递增，为 0 地址位递减。
			[1]	lsb	RW	1'b0	LSB 拉高，下一个 cycle 立刻生效。
			[0]	soft_rst	W1C	1'b0	将其余寄存器全部清除回默认值，完成后该 bit 清零。
0x001	inter_config_b	8	[7]	single_insct	RW	1'b0	为 0 使能 stream mode，为 1 默认每次传输为 single。
			[6:3]	Reserved	NA	4'b0	
			[2]	efuse_wait_done_en	RW	1'b1	使能在 efuse_wait_done 生效前复位 datapath。
			[1]	datapath_soft_rst	RW	1'b0	soft_rst
			[0]	init_soft_rst	RW	1'b0	
0x003	type_chip	8	[7:0]	chip_type	RO	8'h3	011 = high speed ADC
0x004	chip_id_l	8	[7:0]	chip_id[7:0]	RO	8'hC5	
0x005	chip_id_m	8	[7:0]	chip_id[15:8]	RO	8'h00	
0x006	chip_grade	8	[7:4]	chip_grade_id	RO	4'hC	1010 = 1000 MSPS 1000 = 820 MSPS 0101 = 500 MSPS
			[3:0]	Reserved	NA	4'h0	
0x007	dev_idx	8	[7:2]	Reserved	NA	6'b0	
			[1]	data_bch	RW	1'b0	Local 选择 channel B。
			[0]	data_ach	RW	1'b0	Local 选择 channel A。
0x024	V_1PO_control	8	[7:1]	Reserved	NA	7'b0	
			[0]	v_1po_control	RW	1'b0	1.0 V reference select: 0 = internal 1 = external
0x028	Temperature_diode	8	[7:1]	Reserved	NA	7'b0	
			[0]	temp_sensor_pd	RW	1'b0	Power down temperature sensor: 1'b0: enable temperature sensor 1'b1: power down temperature sensor

寄存器地址	寄存器名称	位宽	比特范围	字段名称	R/W 属性	复位值	说明
0x040	pin_ctl	8	[7:6]	pdwn_stby_func	RW	2'b0	PDWN/STBY function: 00 = power down 01 = standby 10 = disabled
			[5:3]	fd_b	RW	3'b111	Fast Detect B (FD_B): 000 = Fast Detect B output 001 = JESD204B LMFC output (AD 时钟域) 010 = JESD204B internal SYNC output (AD 时钟域) 011 =数字内部 SYSREF 100 = LMFC (PHY 时钟域) 101 = SYNC (PHY 时钟域) 110 = channel B SYSREF 111 = disabled
			[2:0]	fd_a	RW	3'b111	Fast Detect A (FD_A): 000 = Fast Detect A output 001 = JESD204B LMFC output 010 = JESD204B internal SYNC output 011 = temperature diode 100 = LMFC (PHY 时钟域) 101 = SYNC (PHY 时钟域) 110 = channel A SYSREF 111 = disabled
0x0ff	transfer	8	[7:2]	Reserved	NA	7'b0	
			[1]	table_override	RW	1'b0	用于更新 table 与 dos_e。
			[0]	init_override	RW	1'b0	Transfer local 和 JESD test 信息至对应 ADC 中。
0x10b	clock_divider	8	[7:3]	Reserved	NA	5'b0	
			[2:0]	clk_div_ratio	RW	3'b0	000= divide by 1 001= divide by 2 011= divide by 4 111= divide by 8
0x117	clock_delay_control	8	[7:1]	Reserved	NA	7'b0	
			[0]	fine_delay_adj_en	RW	1'b0	Clock fine delay adjust enable: 0 = disabled 1 = enabled
0x120	sysref_ctrl_1	8	[7]	Reserved	NA	1'b0	
			[6]	Reserved	NA	1'b0	

寄存器地址	寄存器名称	位宽	比特范围	字段名称	R/W 属性	复位值	说明
			[5]	Reserved	NA	1'b0	
			[4]	Reserved	NA	1'b0	
			[3]	clk_edge_sel	RW	1'b0	CLK± edge select: 0 = rising 1 = falling
			[2]	Reserved	NA	1'b0	
			[1]	sysref_mode_sel	RW	1'b0	SYSREF± mode select: 0 = 连续 SYSREF，关断 ignore 模块 1 = 使用 ignore 模块
			[0]	Reserved	NA	1'b0	
0x121	sysref_ctrl_2	8	[7:4]	Reserved	NA	4'b0000	
			[3:0]	sysref_ignore_shot	RW	4'b0000	SYSREF N-shot ignore counter select: 0000 = next SYSREF± only 0001 = ignore the first SYSREF± transition 0010 = ignore the first two SYSREF± transitions … 1111 = ignore the first 16 SYSREF± transitions
0x123	sysref_timestamp_delay_ctrl	8	[7]	Reserved	NA	1'b0	
			[6:0]	sysref_timestamp_delay	RW	7'b00	SYSREF± timestamp delay, bits [6:0]: 0x00 = no delay 0x01 = 1 clock delay … 0x7F = 127 clocks delay
0x128	sysref_statue1	8	[7:4]	sysref_hold_statue	RO	4'b0	SYSREF± hold status, Register 0x128[7:4] (参考章节 6.13.4.2 SYSREF± Setup/Hold 窗口监控器)
			[3:0]	sysref_setup_statue	RO	4'b0	SYSREF± setup status, Register 0x128[3:0] (参考章节 6.13.4.2 SYSREF± Setup/Hold 窗口监控器)
0x1ff	chip_synchronization_mode	8	[7:2]	Reserved	NA	6'b0	
			[1:0]	chip_sync_mode	RW	2'b00	Synchronization mode: 00 = normal 01 = timestamp
0x200	chip_mode	8	[7:6]	Reserved	NA	2'b0	
			[5]	chip_q_ignore	RW	1'b0	Chip Q ignore: 0 = normal (I/Q) 1 = ignore (I only)
			[4:2]	Reserved	NA	3'b0	

寄存器地址	寄存器名称	位宽	比特范围	字段名称	R/W属性	复位值	说明
			[1:0]	chip_op_mode	RW	2'b0	Chip operating mode: 00 = full bandwidth mode 01 = DDC 0 on 10 = DDC 0 and DDC 1 on 11 = DDC 0, DDC 1, DDC 2, and DDC 3 on
0x201	chip_dec_ratio_ctrl	8	[7:3]	Reserved	NA	5'b0	
			[2:0]	chip_dec_ratio	RW	3'b0	Chip decimation ratio select: 000 = full sample rate (decimate = 1) 001 = decimate by 2 010 = decimate by 4 011 = decimate by 8 100 = decimate by 16
0x26F	signal_mon_sync	8	[7:2]	Reserved	NA	6'b0	
			[1:0]	sync_mode	RW	2'b00	Synchronization mode: 00 = disabled 01 = continuous 11 = one shot
0x300	ddc_syn_ctl	8	[7:5]	Reserved	NA	3'b0	
			[4]	nco_soft_rst	RW	1'b0	DDC NCO soft reset: 0 = normal operation 1 = reset
			[3:2]	Reserved	NA	2'b0	
			[1:0]	ddc_sync_mode	RW	2'b0	Synchronization mode (triggered by SYSREF±): 00 = disabled 01 = continuous 11 = one shot
0x310	ddc0_ctl	8	[7]	ddc0_mixer_sel	RW	1'b0	Mixer select: 0 = real mixer 1 = complex mixer
			[6]	ddc0_gain_sel	RW	1'b0	Gain select: 0 = 0 dB gain 1 = 6 dB gain
			[5:4]	ddc0_if_mode	RW	2'b0	IF (intermediate frequency) mode: 00 = variable IF mode (mixers and NCO enabled) 01 = 0 Hz IF mode (mixer bypassed, NCO disabled) 10 = f_S/4 Hz IF mode (fs/4 downmixing mode)

寄存器地址	寄存器名称	位宽	比特范围	字段名称	R/W属性	复位值	说明
							11 = test mode (mixer inputs forced to +f_S, NCO enabled)
			[3]	ddc0_c2r_en	RW	1'b0	Complex to real enable: 0 = disabled 1 = enabled
			[2]	Reserved	NA	1'b0	
			[1:0]	ddc0_rate_sel	RW	2'b0	Decimation rate select: (complex to real disabled) 11 = decimate by 2 00 = decimate by 4 01 = decimate by 8 10 = decimate by 16 (complex to real enabled) 11 = decimate by 1 00 = decimate by 2 01 = decimate by 4 10 = decimate by 8
0x311	ddc0_in_sel	8	[7:3]	Reserved	NA	5'b0	
			[2]	ddc0_q_sel	RW	1'b0	Q input select: 0 = Ch A 1 = Ch B
			[1]	Reserved	NA	1'b0	
			[0]	ddc0_i_sel	RW	1'b0	I input select: 0 = Ch A 1 = Ch B
0x312	ddc0_ftw_ctl_l	8	[7:0]	ddc0_ftw[7:0]	RW	8'b0	DDC 0 NCO frequency value, bits [7:0] twos complement.
0x313	ddc0_ftw_ctl_m	8	[7:4]	Reserved	NA	4'b0	
			[3:0]	ddc0_ftw[11:8]	RW	4'b0	DDC 0 NCO frequency value, bits [11:8] twos complement.
0x314	ddc0_pow_ctl_l	8	[7:0]	ddc0_pow[7:0]	RW	8'b0	DDC 0 NCO phase value, bits [7:0] twos complement.
0x315	ddc0_pow_ctl_m	8	[7:4]	Reserved	NA	4'b0	
			[3:0]	ddc0_pow[11:8]	RW	4'b0	DDC 0 NCO phase value, bits [11:8] twos complement.
0x316	ddc0_test_mode	8	[7:3]	Reserved	NA	5'b0	

寄存器地址	寄存器名称	位宽	比特范围	字段名称	R/W属性	复位值	说明
			[2]	ddc0_q_test_en	RW	1'b0	Q output test mode enable: 0 = disabled 1 = enabled from Channel B
			[1]	Reserved	NA	1'b0	
			[0]	ddc0_i_test_en	RW	1'b0	I output test mode enable: 0 = disabled 1 = enabled from Channel A
0x317	ddc1_ctl	8	[7]	ddc1_mixer_sel	RW	1'b0	Mixer select: 0 = real mixer 1 = complex mixer
			[6]	ddc1_gain_sel	RW	1'b0	Gain select: 0 = 0 dB gain 1 = 6 dB gain
			[5:4]	ddc1_if_mode	RW	2'b0	IF (intermediate frequency) mode: 00 = variable IF mode (mixers and NCO enabled) 01 = 0 Hz IF mode (mixer bypassed, NCO disabled) 10 = f_S/4 Hz IF mode (fs/4 downmixing mode) 11 = test mode (mixer inputs forced to +f_S, NCO enabled)
			[3]	ddc1_c2r_en	RW	1'b0	Complex to real enable: 0 = disabled 1 = enabled
			[2]	Reserved	NA	1'b0	
			[1:0]	ddc1_rate_sel	RW	2'b0	Decimation rate select: (complex to real disabled) 11 = decimate by 2 00 = decimate by 4 01 = decimate by 8 10 = decimate by 16 (complex to real enabled) 11 = decimate by 1 00 = decimate by 2 01 = decimate by 4 10 = decimate by 8
0x318	ddc1_in_sel	8	[7:3]	Reserved	NA	5'b0	
			[2]	ddc1_q_sel	RW	1'b1	

寄存器地址	寄存器名称	位宽	比特范围	字段名称	R/W 属性	复位值	说明
			[1]	Reserved	NA	1'b0	
			[0]	ddc1_i_sel	RW	1'b1	
0x319	ddc1_ftw_ctl_l	8	[7:0]	ddc1_ftw[7:0]	RW	8'b0	DDC1 NCO frequency value, bits [7:0] twos complement.
0x31A	ddc1_ftw_ctl_m	8	[7:4]	Reserved	NA	4'b0	
			[3:0]	ddc1_ftw[11:8]	RW	4'b0	DDC1 NCO frequency value, bits [11:8] twos complement.
0x31B	ddc1_pow_ctl_l	8	[7:0]	ddc1_pow[7:0]	RW	8'b0	DDC1 NCO phase value, bits [7:0] twos complement.
0x31C	ddc1_pow_ctl_m	8	[7:4]	Reserved	NA	4'b0	
			[3:0]	ddc1_pow[11:8]	RW	4'b0	DDC1 NCO phase value, bits [11:8] twos complement.
0x31D	ddc1_test_mode	8	[7:3]	Reserved	NA	5'b0	
			[2]	ddc1_q_test_en	RW	1'b0	Q output test mode enable: 0 = disabled 1 = enabled from Channel B
			[1]	Reserved	NA	1'b0	
			[0]	ddc1_i_test_en	RW	1'b0	I output test mode enable: 0 = disabled 1 = enabled from Channel A
0x31E	ddc2_ctl	8	[7]	ddc2_mixer_sel	RW	1'b0	Mixer select: 0 = real mixer 1 = complex mixer
			[6]	ddc2_gain_sel	RW	1'b0	Gain select: 0 = 0 dB gain 1 = 6 dB gain
			[5:4]	ddc2_if_mode	RW	2'b0	IF (intermediate frequency) mode: 00 = variable IF mode (mixers and NCO enabled) 01 = 0 Hz IF mode (mixer bypassed, NCO disabled) 10 = $f_S/4$ Hz IF mode ($f_S/4$ downmixing mode) 11 = test mode (mixer inputs forced to $+f_S$, NCO enabled)
			[3]	ddc2_c2r_en	RW	1'b0	Complex to real enable: 0 = disabled 1 = enabled
			[2]	Reserved	NA	1'b0	

寄存器地址	寄存器名称	位宽	比特范围	字段名称	R/W属性	复位值	说明
			[1:0]	ddc2_rate_sel	RW	2'b0	Decimation rate select: (complex to real disabled) 11 = decimate by 2 00 = decimate by 4 01 = decimate by 8 10 = decimate by 16 (complex to real enabled) 11 = decimate by 1 00 = decimate by 2 01 = decimate by 4 10 = decimate by 8
0x31F	ddc2_in_sel	8	[7:3]	Reserved	NA	5'b0	
			[2]	ddc2_q_sel	RW	1'b0	
			[1]	Reserved	NA	1'b0	
			[0]	ddc2_i_sel	RW	1'b0	
0x320	ddc2_ftw_ctl_l	8	[7:0]	ddc2_ftw[7:0]	RW	8'b0	DDC2 NCO frequency value, bits [7:0] twos complement.
0x321	ddc2_ftw_ctl_m	8	[7:4]	Reserved	NA	4'b0	
			[3:0]	ddc2_ftw[11:8]	RW	4'b0	DDC2 NCO frequency value, bits [11:8] twos complement.
0x322	ddc2_pow_ctl_l	8	[7:0]	ddc2_pow[7:0]	RW	8'b0	DDC2 NCO phase value, bits [7:0] twos complement.
0x323	ddc2_pow_ctl_m	8	[7:4]	Reserved	NA	4'b0	
			[3:0]	ddc2_pow[11:8]	RW	4'b0	DDC2 NCO phase value, bits [11:8] twos complement.
0x324	ddc2_test_mode	8	[7:3]	Reserved	NA	5'b0	
			[2]	ddc2_q_test_en	RW	1'b0	Q output test mode enable: 0 = disabled 1 = enabled from Channel B
			[1]	Reserved	NA	1'b0	
			[0]	ddc2_i_test_en	RW	1'b0	I output test mode enable: 0 = disabled 1 = enabled from Channel A
0x325	ddc3_ctl	8	[7]	ddc3_mixer_sel	RW	1'b0	Mixer select: 0 = real mixer 1 = complex mixer

寄存器地址	寄存器名称	位宽	比特范围	字段名称	R/W 属性	复位值	说明
			[6]	ddc3_gain_sel	RW	1'b0	Gain select: 0 = 0 dB gain 1 = 6 dB gain
			[5:4]	ddc3_if_mode	RW	2'b0	IF (intermediate frequency) mode: 00 = variable IF mode (mixers and NCO enabled) 01 = 0 Hz IF mode (mixer bypassed, NCO disabled) 10 = $f_S/4$ Hz IF mode ($f_S/4$ downmixing mode) 11 = test mode (mixer inputs forced to $+f_S$, NCO enabled)
			[3]	ddc3_c2r_en	RW	1'b0	Complex to real enable: 0 = disabled 1 = enabled
			[2]	Reserved	NA	1'b0	
			[1:0]	ddc3_rate_sel	RW	2'b0	Decimation rate select: (complex to real disabled) 11 = decimate by 2 00 = decimate by 4 01 = decimate by 8 10 = decimate by 16 (complex to real enabled) 11 = decimate by 1 00 = decimate by 2 01 = decimate by 4 10 = decimate by 8
0x326	ddc3_in_sel	8	[7:3]	Reserved	NA	5'b0	
			[2]	ddc3_q_sel	RW	1'b1	
			[1]	Reserved	NA	1'b0	
			[0]	ddc3_i_sel	RW	1'b1	
0x327	ddc3_ftw_ctl_l	8	[7:0]	ddc3_ftw[7:0]	RW	8'b0	DDC3 NCO frequency value, bits [7:0] twos complement.
0x328	ddc3_ftw_ctl_m	8	[7:4]	Reserved	NA	4'b0	
			[3:0]	ddc3_ftw[11:8]	RW	4'b0	DDC3 NCO frequency value, bits [11:8] twos complement.
0x329	ddc3_pow_ctl_l	8	[7:0]	ddc3_pow[7:0]	RW	8'b0	DDC3 NCO phase value, bits [7:0] twos complement.
0x32A	ddc3_pow_ctl_m	8	[7:4]	Reserved	NA	4'b0	

寄存器地址	寄存器名称	位宽	比特范围	字段名称	R/W属性	复位值	说明
			[3:0]	ddc3_pow[11:8]	RW	4'b0	DDC3 NCO phase value, bits [11:8] twos complement.
0x32B	ddc3_test_mode	8	[7:3]	Reserved	NA	5'b0	
			[2]	ddc3_q_test_en	RW	1'b0	Q output test mode enable: 0 = disabled 1 = enabled from Channel B
			[1]	Reserved	NA	1'b0	
			[0]	ddc3_i_test_en	RW	1'b0	I output test mode enable: 0 = disabled 1 = enabled from Channel A
0x551	user_pattern1_l	8	[7:0]	user_pattern_1_lsb	RW	8'b0	
0x552	user_pattern1_m	8	[7:0]	user_pattern_1_msb	RW	8'b0	
0x553	user_pattern2_l	8	[7:0]	user_pattern_2_lsb	RW	8'b0	
0x554	user_pattern2_m	8	[7:0]	user_pattern_2_msb	RW	8'b0	
0x555	user_pattern3_l	8	[7:0]	user_pattern_3_lsb	RW	8'b0	
0x556	user_pattern3_m	8	[7:0]	user_pattern_3_msb	RW	8'b0	
0x557	user_pattern4_l	8	[7:0]	user_pattern_4_lsb	RW	8'b0	
0x558	user_pattern4_m	8	[7:0]	user_pattern_4_msb	RW	8'b0	
0x559	output_mode_ctl1	8	[7]	Reserved	NA	1'b0	
			[6:4]	cs1_sel	RW	3'b0	Converter Control Bit 1 selection: 000 = tie low (1'b0) 001 = overrange bit 011 = fast detect (FD) bit 101 = SYSREF± 111 = Signal monitor (SM) bit Only used when CS (Register 0x58F) = 2 or 3
			[3]	Reserved	NA	1'b0	
			[2:0]	cs0_sel	RW	3'b0	Converter Control Bit 0 selection: 000 = tie low (1'b0) 001 = overrange bit 011 = fast detect (FD) bit 101 = SYSREF± 111 = Signal monitor (SM) bit Only used when CS (Register 0x58F) = 3
0x55a	output_mode_ctl2	8	[7:3]	Reserved	NA	5'b0	

寄存器地址	寄存器名称	位宽	比特范围	字段名称	R/W属性	复位值	说明
			[2:0]	cs2_sel	RW	3'b001	Converter Control Bit 2 selection: 000 = tie low (1'b0) 001 = overrange bit 011 = fast detect (FD) bit 101 = SYSREF 111 = Signal monitor (SM) bit Used when CS (Register 0x58F) = 1, 2, or 3
0x561	output_mode	8	[7:3]	Reserved	NA	5'b0	
			[2]	sample_inv	RW	1'b0	
			[1:0]	out_format	RW	2'b01	Data format select: 00 = offset binary 01 = twos complement
0x562	output_or_clr	8	[7]	ch7_or_clr	RW	1'b0	Virtual Converter 7 OR: 0 = OR bit enabled 1 = OR bit cleared
			[6]	ch6_or_clr	RW	1'b0	Virtual Converter 6 OR: 0 = OR bit enabled 1 = OR bit cleared
			[5]	ch5_or_clr	RW	1'b0	Virtual Converter 5 OR: 0 = OR bit enabled 1 = OR bit cleared
			[4]	ch4_or_clr	RW	1'b0	Virtual Converter 4 OR: 0 = OR bit enabled 1 = OR bit cleared
			[3]	ch3_or_clr	RW	1'b0	Virtual Converter 3 OR: 0 = OR bit enabled 1 = OR bit cleared
			[2]	ch2_or_clr	RW	1'b0	Virtual Converter 2 OR: 0 = OR bit enabled 1 = OR bit cleared
			[1]	ch1_or_clr	RW	1'b0	Virtual Converter 1 OR: 0 = OR bit enabled 1 = OR bit cleared
			[0]	ch0_or_clr	RW	1'b0	Virtual Converter 0 OR: 0 = OR bit enabled 1 = OR bit cleared

寄存器地址	寄存器名称	位宽	比特范围	字段名称	R/W属性	复位值	说明
0x563	output_or_status	8	[7]	ch7_or	RO	1'b0	Virtual Converter 7 OR: 0 = no OR 1 = OR occurred
			[6]	ch6_or	RO	1'b0	Virtual Converter 6 OR: 0 = no OR 1 = OR occurred
			[5]	ch5_or	RO	1'b0	Virtual Converter 5 OR: 0 = no OR 1 = OR occurred
			[4]	ch4_or	RO	1'b0	Virtual Converter 4 OR: 0 = no OR 1 = OR occurred
			[3]	ch3_or	RO	1'b0	Virtual Converter 3 OR: 0 = no OR 1 = OR occurred
			[2]	ch2_or	RO	1'b0	Virtual Converter 2 OR: 0 = no OR 1 = OR occurred
			[1]	ch1_or	RO	1'b0	Virtual Converter 1 OR: 0 = no OR 1 = OR occurred
			[0]	ch0_or	RO	1'b0	Virtual Converter 0 OR: 0 = no OR 1 = OR occurred
0x564	output_chl_sel	8	[7:1]	Reserved	NA	7'b0	
			[0]	cov_chl_swap	RW	1'b0	Converter channel swap: 0 = normal channel ordering 1 = channel swap enabled
0x56f	jesd204b_pll_lock_status	8	[7]	jesd_pll_lock	RO	1'b0	PLL lock: 0 = not locked 1 = locked
			[6:0]	Reserved	NA	7'b0	
0x570	jesd204b_quick_config	8	[7:0]	reg_quick_config	RW	8'b10001000	JESD204B quick configuration: L = 2^[7:6] M = 2^[5:3] F = 2^[2:0]

寄存器地址	寄存器名称	位宽	比特范围	字段名称	R/W属性	复位值	说明
0x571	link_mode_ctl1	8	[7]	reg_cgs_en	RW	1'b0	Standby mode: 0 = all converter outputs 0 1 = CGS (/K28.5/)
			[6]	tail_en	RW	1'b0	Tail bit (t) PN: 0 = disable 1 = enable T = N′ − N − CS
			[5]	Reserved	NA	1'b0	
			[4]	reg_faci_mode	RW	1'b1	Lane synch-ronization: 0 = disable FACI uses /K28.7/ 1 = enable FACI uses /K28.3/ and /K28.7/
			[3:2]	reg_ilas_ctrl	RW	2'b01	ILAS sequence mode: 00 = ILAS disabled 01 = ILAS enabled 11 = ILAS always on test mode
			[1]	reg_faci_disable	RW	1'b0	FACI: 0 = enabled 1 = disabled
			[0]	reg_link_ctrl	RW	1'b0	Link control: 0 = active 1 = digital reset
0x572	link_mode_ctl2	8	[7:6]	reg_ignore_sync	RW	2'b0	SYNCINB± pin control: 00 = normal 10 = ignore SYNCINB± (force CGS) 11 = ignore SYNCINB± (force ILAS/user data)
			[5]	reg_sync_inv	RW	1'b0	SYNCINB± pin invert: 0 = active low 1 = active high
			[4]	Reserved	NA	1'b0	
			[3]	Reserved	NA	1'b0	
			[2]	reg_bypass_8b10b	RW	1'b0	8-bit/10-bit bypass: 0 = normal 1 = bypass
			[1]	reg_lane_polarity	RW	1'b0	8-bit/10-bit bit invert: 0 = normal 1 = invert the abcd efghij symbols

寄存器地址	寄存器名称	位宽	比特范围	字段名称	R/W属性	复位值	说明
			[0]	Reserved	NA	1'b0	
0x573	link_mode_ctl3	8	[7:6]	reg_chksum_mode	RW	2'b0	CHKSUM mode: 00 = sum of all 8bit link config registers 01 = sum of individual link config fields 10 = checksum set to zero
			[5:4]	reg_test_point	RW	2'b0	Test injection point: 00 = N' sample input 01 = 10bit data at 8b/10boutput(for PHY testing) 10 = 8bit data at scrambler input
			[3:0]	reg_test_mode	RW	4'b0	JESD204B test mode patterns: 0000 = normal operation(test mode disabled) 0001 = alternating checker board 0010 = 1/0 word toggle 0011 = 31bit PN sequence 0100 = 23bit PN sequence 0101 = 15bit PN sequence 0110 = 9bit PN sequence 0111 = 7bit PN sequence 1000 = ramp output 1110 = continuous/repeat user test
0x574	link_mode_ctl4	8	[7:4]	reg_ilas_delay	RW	4'b0	ILAS delay: 0000 = transmit ILAS on first LMFC after SYNCINB± deasserted 0001 = transmit ILAS on second LMFC after SYNCINB± deasserted … 1111 = transmit ILAS on 16th LMFC after SYNCINB± deasserted
			[3]	Reserved	NA	1'b0	
			[2:0]	reg_link_test	RW	3'b0	Link layer test mode: 000 = normal operation (link layer test mode disabled) 100 = modified RPAT test sequence 101 = JSPAT test sequence
0x575	lmfc_offset_ctl	8	[7:5]	Reserved	NA	3'b0	
			[4:0]	reg_lmfc_offset	RW	5'b0	LMFC phase offset value[4:0]

寄存器地址	寄存器名称	位宽	比特范围	字段名称	R/W属性	复位值	说明
0x580	did_config	8	[7:0]	reg_ila_did	RW	8'b0	
0x581	bid_config	8	[7:4]	Reserved	NA	4'b0	
			[3:0]	reg_ila_bid	RW	4'b0	
0x583	lid_config1	8	[7:5]	Reserved	NA	3'b0	
			[4:0]	reg_ila_lid0	RW	5'b0	
0x584	lid_config2	8	[7:5]	Reserved	NA	3'b0	
			[4:0]	reg_ila_lid1	RW	5'b1	
0x585	lid_config3	8	[7:5]	Reserved	NA	3'b0	
			[4:0]	reg_ila_lid2	RW	5'b1	
0x586	lid_config4	8	[7:5]	Reserved	NA	3'b0	
			[4:0]	reg_ila_lid3	RW	5'h3	
0x58b	JESD204B_scrl	8	[7]	reg_scramble_en	RW	1'b1	JESD204B scrambling (SCR): 0 = disabled 1 = enabled
			[6:2]	Reserved	NA	5'b0	
			[1:0]	reg_L	RO	2'b11	JESD204B lanes (L): 00 = 1 lane 01 = 2 lanes 11 = 4 lanes. Read only, see Register JESD204B_con_ctl.
0x58c	f_config	8	[7:0]	reg_F	RO	8'h00	Number of octets per frame, F = Register 0x58C[7:0] + 1
0x58d	k_config	8	[7:5]	Reserved	NA	3'b0	
			[4:0]	reg_K	RW	5'h1f	Number of frames per multiframe, K = Register 0x58D[4:0] + 1 Only values where (F × K) mod 4 = 0 are supported
0x58e	m_config	8	[7:0]	reg_M	RO	8'h01	Number of Converters per Link[7:0]: 0x00 = link connected to one virtual converter (M = 1) 0x01 = link connected to two virtual converters (M = 2) 0x03 = link connected to four virtual converters (M = 4) 0x07 = link connected to eight virtual converters (M = 8)

寄存器地址	寄存器名称	位宽	比特范围	字段名称	R/W属性	复位值	说明
0x58f	csn_config	8	[7:6]	cs_num	RW	2'b0	Number of control bits (CS) per sample: 00 = no control bits (CS = 0) 01 = 1 control bit (CS = 1); Control Bit 2 only 10 = 2 control bits (CS = 2); Control Bit 2 and 1 only 11 = 3 control bits (CS = 3); all control bits (2, 1, 0)
			[5]	Reserved	NA	1'b0	
			[4:0]	reg_N	RW	5'h0f	ADC converter resolution (N): 0x06 = 7-bit resolution 0x07 = 8-bit resolution 0x08 = 9-bit resolution 0x09 = 10-bit resolution 0x0A = 11-bit resolution 0x0B = 12-bit resolution 0x0C = 13-bit resolution 0x0D = 14-bit resolution 0x0E = 15-bit resolution 0x0F = 16-bit resolution
0x590	n_config	8	[7:6]	Reserved	NA	2'b0	
			[5]	reg_ila_subclassV	RW	1'b1	Subclass support (Subclass V): 0 = Subclass 0 (no deter-ministic latency) 1 = Subclass 1
			[4:0]	reg_ila_Nbar	RW	5'h0f	ADC number of bits per sample (N'): 0x7 = 8 bits 0xF = 16 bits
0x591	s_config	8	[7:5]	Reserved	NA	3'h1	
			[4:0]	reg_S	RO	5'h00	Samples per converter frame cycle (S) S value = Register 0x591[4:0] + 1
0x592	hdcf_config	8	[7]	reg_ila_HD	RO	1'b1	HD value: 0 = disabled 1 = enabled
			[6:5]	Reserved	NA	2'b0	
			[4:0]	reg_ila_CF	RO	5'b0	Control words per frame clock cycle per link (CF) CF value = Register 0x592, bits [4:0]
0x5a0	chksum0_data	8	[7:0]	chksum0	RO	8'h81	CHKSUM value for SERDOUT0±, bits [7:0]
0x5a1	chksum1_data	8	[7:0]	chksum1	RO	8'h82	CHKSUM value for SERDOUT1±, bits [7:0]
0x5a2	chksum2_data	8	[7:0]	chksum2	RO	8'h82	CHKSUM value for SERDOUT2±, bits [7:0]

寄存器地址	寄存器名称	位宽	比特范围	字段名称	R/W属性	复位值	说明
0x5a3	chksum3_data	8	[7:0]	chksum3	RO	8'h84	CHKSUM value for SERDOUT3±, bits [7:0]
0x5a4	jesd_status	8	[7:6]	Reserved	NA	2'b0	
			[5]	fifo_status_clear	RW	1'b0	
			[4]	fifo_empty	RO	1'b0	
			[3]	fifo_full	RO	1'b0	
			[2:0]	jtx_state	RO	3'bx	
0x5a5	jesd_op_mode	8	[7:3]	Reserved	NA	5'b0	
			[2:1]	reset_sequence	RW	2'b11	
			[0]	robust	RW	1'b1	
0x5a6	jesd_data	8	[7:2]	Reserved	NA	6'b0	
			[1]	reg_bit_order	RW	1'b0	
			[0]	reg_byte_order	RW	1'b0	
0x5b0	lane_pwd	8	[7]	Reserved	NA	1'b1	
			[6]	serdout3_off	RW	1'b0	SERD-OUT3±: 0 = on 1 = off
			[5]	Reserved	NA	1'b1	
			[4]	serdout2_off	RW	1'b0	SERD-OUT2±: 0 = on 1 = off
			[3]	Reserved	NA	1'b1	
			[2]	serdout1_off	RW	1'b0	SERD-OUT1±: 0 = on 1 = off
			[1]	Reserved	NA	1'b1	
			[0]	serdout0_off	RW	1'b0	SERD-OUT0±: 0 = on 1 = off
0x5b2	lane_serdout0	8	[7:3]	Reserved	NA	5'b0	
			[2:0]	lane_serdout0_assign	RW	3'h0	SERDOUT0± lane assignment: 000 = Logical Lane 0 001 = Logical Lane 1 010 = Logical Lane 2 011 = Logical Lane 3
0x5b3	lane_serdout1	8	[7:3]	Reserved	NA	5'b0	

寄存器地址	寄存器名称	位宽	比特范围	字段名称	R/W 属性	复位值	说明
			[2:0]	lane_serdout1_assign	RW	3'h1	SERDOUT1± lane assignment: 000 = Logical Lane 0 001 = Logical Lane 1 010 = Logical Lane 2 011 = Logical Lane 3
0x5b5	lane_serdout2	8	[7:3]	Reserved	NA	5'b0	
			[2:0]	lane_serdout2_assign	RW	3'h2	SERDOUT2± lane assignment: 000 = Logical Lane 0 001 = Logical Lane 1 010 = Logical Lane 2 011 = Logical Lane 3
0x5b6	lane_serdout3	8	[7:3]	Reserved	NA	5'b0	
			[2:0]	lane_serdout3_assign	RW	3'h3	SERDOUT3± lane assignment: 000 = Logical Lane 0 001 = Logical Lane 1 010 = Logical Lane 2 011 = Logical Lane 3
0x60a	sysref_monitor_enable	8	[7:1]	Reserved	NA	7'b0	
			[0]	sysref_monitor_en	RW	1'b0	SYSREF monitor enable.
0x613	serdes_tx_ctl	8	[7:4]	Reserved	NA	5'b0	
			[3]	pwd11_rd	RO	1'b0	
			[2]	pwd11	RW	1'b0	4 通道 Tx 整体开关： 1：关闭 Tx 0：打开 Tx
			[1]	serdes_soft_rst	RW	1'b0	4 通道 Tx 复位： 0：复位释放 1：复位有效
			[0]	tx_mode204b_ctl	RW	1'b0	204B 模式选择： 0：10b 模式 1：8b 模式
0x614	serdes_tx_cmlen_ctl	8	[7:4]	Reserved	NA	4'b0	
			[3]	tx_ch0_cmlen_ctl	RW	1'b1	TX_CH0 CML driver 使能。
			[2]	tx_ch1_cmlen_ctl	RW	1'b1	TX_CH1 CML driver 使能。
			[1]	tx_ch2_cmlen_ctl	RW	1'b1	TX_CH2 CML driver 使能。
			[0]	tx_ch3_cmlen_ctl	RW	1'b1	TX_CH3 CML driver 使能。

寄存器地址	寄存器名称	位宽	比特范围	字段名称	R/W属性	复位值	说明
0x615	serdes_tx_ch0_cmldrive_ctl	8	[7:5]	Reserved	NA	3'b0	
			[4:0]	tx_ch0_cmldrive_ctl	RW	5'b10000	TX_CH0 CML driver 驱动能力调节。值越大，电流越大。
0x616	serdes_tx_ch1_cmldrive_ctl	8	[7:5]	Reserved	NA	3'b0	
			[4:0]	tx_ch1_cmldrive_ctl	RW	5'b10000	TX_CH1 CML driver 驱动能力调节。值越大，电流越大。
0x617	serdes_tx_ch2_cmldrive_ctl	8	[7:5]	Reserved	NA	3'b0	
			[4:0]	tx_ch2_cmldrive_ctl	RW	5'b10000	TX_CH2 CML driver 驱动能力调节。值越大，电流越大。
0x618	serdes_tx_ch3_cmldrive_ctl	8	[7:5]	Reserved	NA	3'b0	
			[4:0]	tx_ch3_cmldrive_ctl	RW	5'b10000	TX_CH3 CML driver 驱动能力调节。值越大，电流越大。
0x619	serdes_tx_cmlde_en_ctl	8	[7:4]	Reserved	NA	4'b0	
			[3]	tx_ch0_cmlde_en_ctl	RW	1'b0	TX_CH0 去加重功能使能： 1：使能 0：关闭
			[2]	tx_ch1_cmlde_en_ctl	RW	1'b0	TX_CH1 去加重功能使能： 1：使能 0：关闭
			[1]	tx_ch2_cmlde_en_ctl	RW	1'b0	TX_CH2 去加重功能使能： 1：使能 0：关闭
			[0]	tx_ch3_cmlde_en_ctl	RW	1'b0	TX_CH3 去加重功能使能： 1：使能 0：关闭
0x61a	serdes_tx_ch0_cmlde_ctl	8	[7:5]	Reserved	NA	3'b0	
			[4:0]	tx_ch0_cmlde_ctl	RW	5'b10000	TX_CH 0 去加重权重调节。值越大，权重越高。
0x61b	serdes_tx_ch1_cmlde_ctl	8	[7:5]	Reserved	NA	3'b0	
			[4:0]	tx_ch1_cmlde_ctl	RW	5'b10000	TX_CH 1 去加重权重调节。值越大，权重越高。
0x61c	serdes_tx_ch2_cmlde_ctl	8	[7:5]	Reserved	NA	3'b0	
			[4:0]	tx_ch2_cmlde_ctl	RW	5'b10000	TX_CH 2 去加重权重调节。值越大，权重越高。
0x61d	serdes_tx_ch3_cmlde_ctl	8	[7:5]	Reserved	NA	3'b0	
			[4:0]	tx_ch3_cmlde_ctl	RW	5'b10000	TX_CH 3 去加重权重调节。值越大，权重越高。
0x623	serdes_tx_ch0_restune_ctl	8	[7:5]	Reserved	NA	3'b0	

寄存器地址	寄存器名称	位宽	比特范围	字段名称	R/W 属性	复位值	说明
			[4:0]	tx_ch0_restune_ctl	RW	5'b01011	TX_CH 0 CML driver 负载电阻阻值调节，用于 trim 输出电阻阻值。
0x624	serdes_tx_ch1_restune_ctl	8	[7:5]	Reserved	NA	3'b0	
			[4:0]	tx_ch1_restune_ctl	RW	5'b01011	TX_CH 1 CML driver 负载电阻阻值调节，用于 trim 输出电阻阻值。
0x625	serdes_tx_ch2_restune_ctl	8	[7:5]	Reserved	NA	3'b0	
			[4:0]	tx_ch2_restune_ctl	RW	5'b01011	TX_CH 2 CML driver 负载电阻阻值调节，用于 trim 输出电阻阻值。
0x626	serdes_tx_ch3_restune_ctl	8	[7:5]	Reserved	NA	3'b0	
			[4:0]	tx_ch3_restune_ctl	RW	5'b01011	TX_CH 3 CML driver 负载电阻阻值调节，用于 trim 输出电阻阻值。
0x62d	txpll_prediv	8	[7:2]	Reserved	NA	6'b0	
			[1:0]	txpll_prediv_ctl	RW	2'b11	预分频调节,默认 8。
0x62e	txpll_divtune	8	[7:3]	Reserved	NA	5'b0	
			[1:0]	txpll_divtune_ctl	RW	2'b11	环路分频器分频比调节，默认 40。
0x62f	txpll_txdiv	8	[7:2]	Reserved	NA	6'b0	
			[1:0]	txpll_txdiv_ctl	RW	2'00	Tx 时钟分频器,默认 1。
0x64d	tx_rca	8	[7:3]	tx_rcalin_ch_ctl	RW	5'h08	Tx 电阻校准手动寄存器值。
			[2]	tx_rcalen	RW	1'b0	Tx 电阻校准功能使能。
			[1]	tx_rcal_memctl	RW	1'b0	
			[0]	tx_rca_sel_ctl	RW	1'b0	Tx 电阻寄存器值选择： 0：校准模块自动生成寄存器配置值 1：手动配置值
0x64e	tx_rcalin_time_ctl_l	8	[7:0]	tx_rcalin_time_ctl[7:0]	RW	8'h0	Tx 电阻校准定时器，设置定时器长度。
0x64f	tx_rcalin_time_ctl_m	8	[7:2]	Reserved	NA		
			[1:0]	tx_rcalin_time_ctl[9:8]	RW	2'h2	Tx 电阻校准定时器，设置定时器长度。
0x650	tx_rsvd1_ctl0	8	[7:1]	tx_rsvd1_ctl[7:1]	RW	7'h0	备用预留 32bits 寄存器。
			[0]	tx_rcal_out_offset_en	RW	1 ‘b0	1：电阻校准输出使用使能时的 offset 值 0：电阻校准输出使用计算值
0x651	tx_rsvd1_ctl1	8	[7:0]	tx_rsvd1_ctl[15:8]	RW	8'h0	
0x652	tx_rsvd1_ctl2	8	[7:0]	tx_rsvd1_ctl[23:16]	RW	8'hff	
0x653	tx_rsvd1_ctl3	8	[7:0]	tx_rsvd1_ctl[31:24]	RW	8'hff	
0x654	tx_rsvd2_ctl0	8	[7:0]	tx_rsvd2_ctl[7:0]	RW	8'h0	
0x655	tx_rsvd2_ctl1	8	[7:0]	tx_rsvd2_ctl[15:8]	RW	8'h0	
0x656	tx_rsvd2_ctl2	8	[7:0]	tx_rsvd2_ctl[23:16]	RW	8'hff	

寄存器地址	寄存器名称	位宽	比特范围	字段名称	R/W 属性	复位值	说明
0x657	tx_rsvd2_ctl3	8	[7:0]	tx_rsvd2_ctl[31:24]	RW	8'hff	
0x658	tx_rcalin	8	[7:6]	Reserved	NA		
			[5:1]	TX_RCALIN_OST_CH_CTL	RW	5'b0	电阻校准 offset 值。
			[0]	TX_RCALIN_OSTSIGN_CH_CTL	RW	1'b0	电阻校准 offset 符号位： 0：正 1：负
Local							
0x002	dev_config	8	[7:2]	Reserved	NA	6'b0	
			[1:0]	op_mode	RW	2'b0	00 = normal operation 10 = standby 11 = power-down
0x016	input_termination	8	[7:3]	Revered	NA	5'b0	
			[2:0]	inbuf_ctrl_rt	RW	3'b100	Analog input differential termination: 3'b000= 400 Ω 3'b001 = 200 Ω 3'b010 = 100 Ω 3'b100 = 50 Ω
0x018	buffer_control_1	8	[7:4]	inbuf_ctrl_bias	RW	4'b1000	Control bias of input buffer: 4'b0000: x1 4'b0001: x1.5 4'b0010: x2 ... 4'b1111: x8.5
			[3]	INBUF_CTRL_CAP	RW	1'd0	
			[2:0]	INBUF_CTRL_LS	RW	3'b110	
0x025	input_full_scale_range	8	[7:4]	Reserved	NA	4'h0	
			[3:0]	fullscale_tune	RW	4'b1010	ADC Fullscale tuning: 推荐配置 4'b0011:1.46V 4'b1000:1.70V 4'b1111:2.05V
0x03f	ext_pin_ctrl	8	[7]	ex_pin_dis	RW	1'b0	External pin PDWN/STBY disable: 1'b0: external pin enable 1'b1: external pin disable
			[6:0]	Reserved	NA	7'b0	
0x10c	clock_divider_phase	8	[7:4]	Reserved	NA	4'b0	

寄存器地址	寄存器名称	位宽	比特范围	字段名称	R/W属性	复位值	说明
			[3:0]	clk_div_phase_delay	RW	4'b0	Independently controls Channel A and Channel B clock divider phase offset: 0000 = 0 input clock cycles delayed 0001 = ½ input clock cycles delayed 0010 = 1 input clock cycles delayed 0011 = 1½ input clock cycles delayed 0100 = 2 input clock cycles delayed 0101 = 2½ input clock cycles delayed … 1111 = 7½ input clock cycles delayed
0x118	clock_fine_delay	8	[7:0]	clk_fine_delay	RW	8'h00	Twos complement coded control to adjust the fine sample clock skew in 1.1 ps steps: -128: 140.8ps skew 0: 0ps skew 127: 138.7ps skew
0x245	fast_detect_control	8	[7:4]	Reserved	NA	4'b0	
			[3]	fd_pin_func	RW	1'b0	Function of fast detect pin: 1 = force value 0 = normal function
			[2]	fd_force_value	RW	1'b0	Force value of FD_A/FD_B
			[1]	Reserved	NA	1'b0	
			[0]	fd_output_en	RW	1'b0	Enable fast detect output: 1 = enabled 0 = disabled
0x247	fd_upper_threshold_lsb	8	[7:0]	fd_upper_data_lsb	RW	8'b0	Fast detect upper threshold, bits [7:0].
0x248	fd_upper_threshold_msb	8	[7:5]	Reserved	NA	3'b0	
			[4:0]	fd_upper_data_msb	RW	5'b0	Fast detect upper threshold, bits [12:8].
0x249	fd_lower_threshold_lsb	8	[7:0]	fd_lower_data_lsb	RW	8'b0	Fast detect lower threshold, bits [7:0].
0x24a	fd_lower_threshold_msb	8	[7:5]	Reserved	NA	3'b0	
			[4:0]	fd_lower_data_msb	RW	5'b0	Fast detect lower threshold, bits [12:8].
0x24b	fd_dwell_time_lsb	8	[7:0]	fd_dwell_data_lsb	RW	8'b0	Fast detect dwell time, bits [7:0].
0x24c	fd_dwell_time_msb	8	[7:0]	fd_dwell_data_msb	RW	8'b0	Fast detect dwell time, bits [15:8].
0x270	signal_mon_ctl	8	[7:2]	Reserved	NA	6'b0	
			[1]	peak_detect	RW	1'b0	Peak detector: 0 = disabled 1 = enabled

寄存器地址	寄存器名称	位宽	比特范围	字段名称	R/W属性	复位值	说明
			[0]	Reserved	NA	1'b0	
0x271	signal_mon_period0	8	[7:0]	signal_mon_period[7:0]	RW	8'h80	In decimated output clock cycles.
0x272	signal_mon_period1	8	[7:0]	signal_mon_period[15:8]	RW	8'h00	In decimated output clock cycles.
0x273	signal_mon_period2	8	[7:0]	signal_mon_period[23:16]	RW	8'h00	In decimated output clock cycles.
0x274	signal_mon_result_ctl	8	[7:5]	Reserved	NA	3'b0	
			[4]	result_update	RW	1'b0	Result update: 1 = update results (self clear)
			[3:1]	Reserved	NA	3'b0	
			[0]	result_slc	RW	1'b1	Result selection: 0 = reserved 1 = peak detector
0x275	signal_mon_result0	8	[7:0]	signal_mon_result[7:0]	RO	8'h00	
0x276	signal_mon_result1	8	[7:0]	signal_mon_result[15:8]	RO	8'h00	
0x277	signal_mon_result2	8	[7:4]	Reserved	NA	4'h0	
			[3:0]	signal_mon_result[19:16]	RO	4'h0	
0x278	signal_mon_period_cnt	8	[7:0]	period_cnt	RO	8'h00	
0x279	sport2jesd_ctl	8	[7:2]	Reserved	NA	6'b0	
			[1:0]	sport_en	RW	2'b00	00 = disabled 11 = enable
0x27A	sport2jesd_input_slc	8	[7:2]	Reserved	NA	6'b0	
			[1]	peak_detect_jesd	RW	1'b0	Peak detector: 0 = disabled 1 = enabled
			[0]	Reserved	NA	1'b0	
0x550	adc_test_mode	8	[7]	user_pattern_slc	RW	1'b0	User pattern selection: 0 = continuous repeat 1 = single pattern
			[6]	Reserved	NA	1'b0	
			[5]	rst_pn23	RW	1'b0	Reset PN long gen: 0 = long PN enable 1 = long PN reset
			[4]	rst_pn9	RW	1'b0	Reset PN short gen: 0 = short PN enable 1 = short PN reset
			[3:0]	test_mode	RW	4'b0	Test mode selection:

寄存器地址	寄存器名称	位宽	比特范围	字段名称	R/W属性	复位值	说明
							0000 = off, normal operation 0001 = midscale short 0010 = positive full scale 0011 = negative full scale 0100 = alternating checker board 0101 = PN sequence long 0110 = PN sequence short 0111 = 1/0 word toggle 1000 = the user pattern test mode (used with Register 0x550, Bit 7 and User Pattern 1 to User Pattern 4 registers) 1111 = ramp output
0x934	input_capacitance	8	[7:1]	Reserved	NA	7'b0	
			[0]	inbuf_ctrl_ct	RW	1'b0	1 = 3 pF to GND (default) 0 = 1.5 pF to GND
0x5d4	input_buffer_biasing	8	[7:3]	Reserved	NA	5'b0	
			[2:0]	inbuf_ib_tune	RW	3'b100	Input buffer biasing current tuning: 3'b000: 1X 3'b001: 2X 3'b010: 3X 3'b011: 4X (100μA) 3'b100: 5X 3'b101: 6X 3'b110: 7X 3'b111: 8X
0x5db	stage1_opamp_bias_tuning	8	[7:3]	Reserved	NA	5'b0	
			[2:0]	s10pa_ib_tune	RW	3'b100	Stage1 OPAMP biasing current tuning: 3'b000: 1X 3'b001: 2X 3'b010: 3X 3'b011: 4X (100μA) 3'b100: 5X 3'b101: 6X 3'b110: 7X 3'b111: 8X
0x5ed	sha_opamp_bias_tuning	8	[7:3]	Reserved	NA	5'b0	

寄存器地址	寄存器名称	位宽	比特范围	字段名称	R/W属性	复位值	说明
			[2:0]	sha_ib_tune	RW	3'b100	SHA OPAMP biasing current tuning: 3'b000: 1X 3'b001: 2X 3'b010: 3X 3'b011: 4X (100μA) 3'b100: 5X 3'b101: 6X 3'b110: 7X 3'b111: 8X
0x5ee	sha_vcmi_adjustment	8	[7:2]	Reserved	NA	6'b0	
			[1:0]	sha_vcmi_adj	RW	2'b01	SHA VCMI adjustment: 2'b00: 0.756V 2'b01: 0.794V 2'b10: 0.852V 2'b11: 0.960V
0x5f8	dither		[7]	Reserved	NA	1'b0	
			[6]	dither_test_en	R/W	1'b0	
		8	[5:0]	dit_en[5:0]	R/W	6'b00_0000	
0x5f9	a2d_test	8	[7:4]	delay_pg	RW	4'd8	
			[3:1]	pg_en	RW	3'b0	
			[0]	a2d_test_en	R/W	1'b0	analog to digital test enable: 1'b0: disable, work in normal mode 1'b1: enable PRBS15 sequence
0x5fa	vcminbuf	8	[7:3]	Reserved	NA		
			[2:0]	vcminbuf_tune	RW	3'b101	VCMI tuning of Input buffer: 3'b000: 1.20V 3'b001: 1.25V 3'b010: 1.30V 3'b011: 1.35V 3'b100: 1.40V 3'b101: 1.45V (default) 3'b110: 1.50V 3'b111: 1.55V
0x5fb	REG_RSVD_L	8	[7:0]	reg_rsvd[7:0]	RW	8b0001_1111	
0x5fc	REG_RSVD_M	8	[7:2]	Reserved	NA		
			[1:0]	reg_rsvd[9:8]	RW	2'b00	

寄存器地址	寄存器名称	位宽	比特范围	字段名称	R/W属性	复位值	说明
0x228	calib_dos_s_full	8	[7:0]	calib_dos_s	RW	8'b0	

7 应用信息

7.1 电源建议

UIA4204 必须由以下 7 个电源供电：AVDD1 = 1.15 V，AVDD2 =2.5 V，AVDD3 = 3.3 V，AVDD1_SR = 1.15 V，DVDD = 1.15 V，DRVDD = 1.15 V，SPIVDD = 1.8 V。对于要求高电源效率和低噪声性能的应用，建议使用开关稳压器 ADP2164 和 ADP2384 来将 3.3 V、12 V 输入轨转换为中间电压轨（1.8 V 和 3.8 V），然后用超低噪声、低压差（LDO）稳压器（ADP1741、ADP171 和 ADP125）再调节这些中间电压轨。图 7-1 显示了 UIA4204 的推荐电源方案。

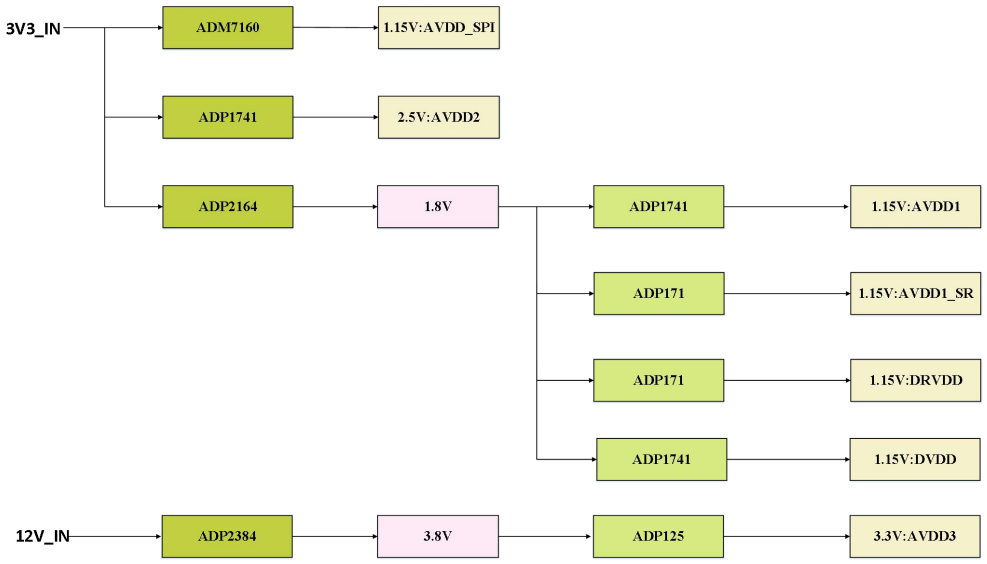

图 7-1 UIA4204 的高效率、低噪声电源解决方案

无需在任何情况下都将所有电源域分离。图 7-1 所示的推荐解决方案可为 UIA4204 提供最低噪声、最高效率的电源输送系统。如果仅有一个 1.15 V 电源可用，应先连接到 AVDD1，然后分接出来，并用铁氧体磁珠或滤波扼流圈及去耦电容隔离，再按顺序连接到 AVDD1_SR、SPIVDD、DVDD 和 DRVDD。用户可以使用多个不同的去耦电容以适用于高频和低频。去耦电容必须放置在接近 PCB 入口点和接近器件的位置，尽可能地缩短走线长度。

7.2 裸露焊盘散热建议

为获得最佳的电气性能和热性能，必须将 ADC 底部的裸露焊盘连接至 AGND。PCB 上裸露的连续铜层应与 UIA4204 的裸露焊盘（引脚 0）连接。铜层上必须有多个过孔，获得尽可能低的热阻路径以通过 PCB 底部进行散热。这些过孔必须填满或插入焊料。

为了最大化地实现 ADC 与 PCB 之间的覆盖与连接，应在 PCB 上覆盖一个丝印层，以便将 PCB 上的连续铜平面划分为多个均等的部分。这样，在回流焊过程中，可在 ADC 与 PCB 之间提供多个连接点，而一个连续的、无分割的平面只能保证一个连接点。

7.3 AVDD1_SR 和 AGND

AVDD1_SR（引脚 57）和 AGND（引脚 56 和引脚 60）可用来为 UIA4204 的 SYSREF±电路提供单独的电源节点。若以子类 1 运行，UIA4204 可支持周期性单次或带隙信号。为了最大程度地降低此电源与 AVDD1 电源节点的耦合，必须提供充分的电源旁路。

8 封装信息

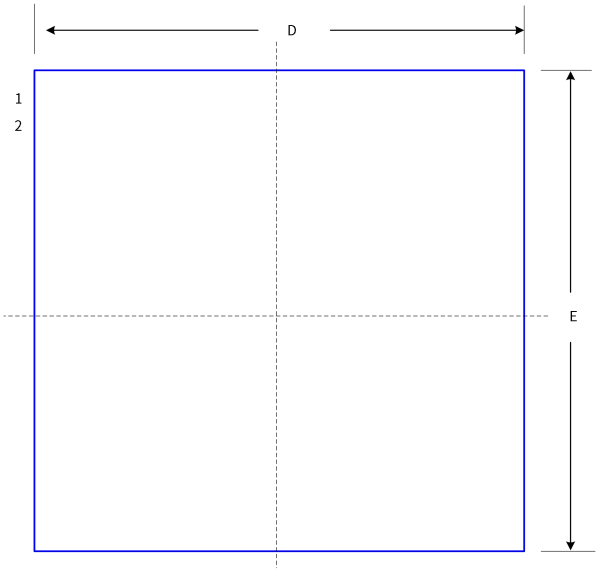

图 8-1 顶视图

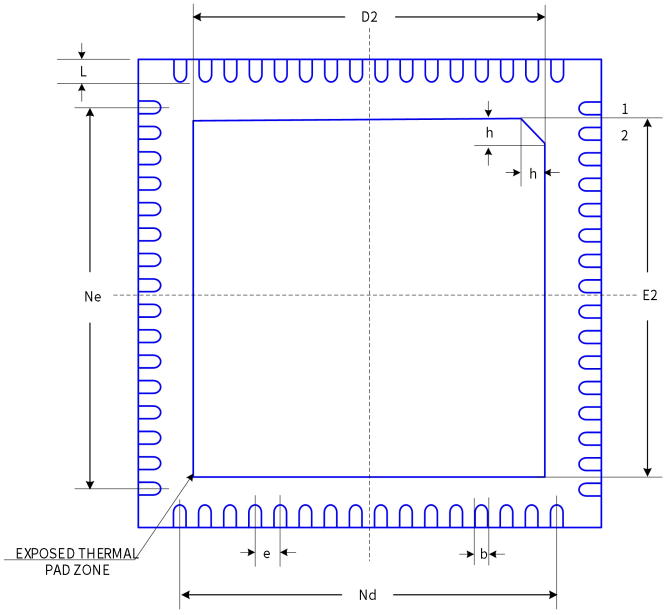

图 8-2 底视图

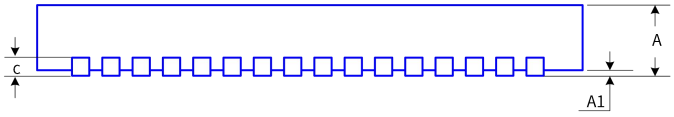

图 8-3 侧视图

表 8-1 封装尺寸

标尺	最小值	典型值	最大值	单位
A	0.70	0.75	0.80	mm
A1	--	0.02	0.05	mm
b	0.18	0.25	0.30	mm
c	0.18	0.20	0.25	mm
D	8.90	9.00	9.10	mm
D2	7.00	7.10	7.20	mm
e	0.50BSC			mm
Ne	7.50BSC			mm
Nd	7.50BSC			mm
E	8.90	9.00	9.10	mm
E2	7.00	7.10	7.20	mm
L	0.35	0.40	0.45	mm
h	0.30	0.35	0.40	mm
载体尺寸	289*289			mil

9 订购信息

订购型号	封装类型	包装类型	包装数量	温度范围
UIA4204-EST-1000	QFN64	Tray	260	-40°C~85°C
UIA4204-EST-820	QFN64	Tray	260	-40°C~85°C
UIA4204-EST-500	QFN64	Tray	260	-40°C~85°C