TLV904xD 适合功率敏感型应用的 3.1MHz、16µA 微功耗、1.2V 低压、解补偿 RRIO 放大器

1 特性

- 宽增益带宽积：3.1MHz
- 低静态电流：每通道 16µA
- 可在电源电压低至 1.2V 的情况下运行
- 低集成噪声 (0.1Hz - 10Hz)：4.5μV_{p-p}
- 低输入失调电压：±0.5mV
- 低输入偏置电流：1pA
- 轨到轨输入和输出
- 解补偿，增益 ≥ 10V/V（稳定）
- 集成式 RFI 和 EMI 滤波器
- 工业级工作温度范围：-40°C 至 125°C
- 对于单位增益稳定版本，请参阅：TLV9041、TLV9042、TLV9044

2 应用

- 便携式电子产品
- 流量变送器
- 烟雾探测器
- 有源滤波器
- 音频麦克风前置放大器
- 低侧电流检测
- 温度变送器
- 压力变送器
- 运动检测器（PIR、uWave 等）
- 脉搏血氧仪

3 说明

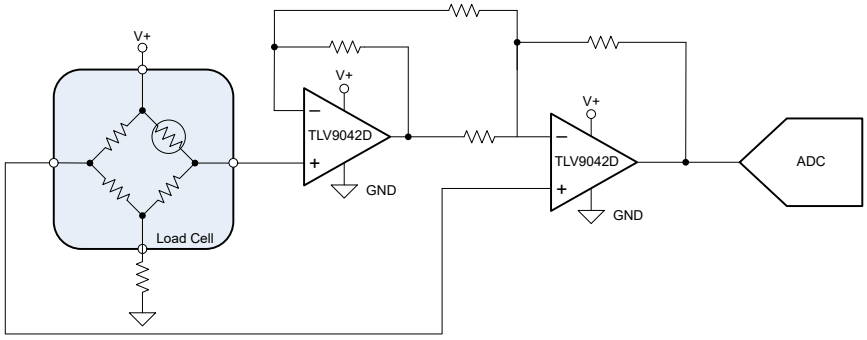
TLV904xD 系列包括单通道 (TLV9041D) 和双通道 (TLV9042D) 解补偿运算放大器，经优化可在超低电压应用中实现高效率。此系列放大器的工作电压范围为 1.2V 至 5.5V，具有轨到轨输入和输出摆幅，仅提供 16µA 的静态电流即可提供出色的 3.1MHz 增益带宽。TLV904xD 可在电池供电系统中实现高增益电路配置并且延长使用寿命。得益于采用微型封装，该放大器系列还能够有效地用于高密度电路板应用。

TLV904xD 是业内为数不多的能够在低至 1.2V 的电源电压下运行的放大器，因此非常适合 1.5V 纽扣电池应用。高增益带宽消除了在信号调节和滤波应用（例如现场变送器、运动检测器和个人电子产品）中对级联放大器级的需求，从而简化设计，同时减小布板空间和降低整体系统功耗。

器件信息

器件型号	通道数	封装(2)	封装尺寸(3)
TLV9041D	单通道	DBV（SOT-23，5）	2.9mm × 2.8mm
		DCK（SC70，5）	2mm × 1.25mm
		DQN（SOT-5X3，5）(1)	1mm × 1mm
TLV9042D	双通道	D（SOIC，8）	4.9mm × 6mm
		DSG（WSON，8）(1)	2mm × 2mm
		DGK（VSSOP，8）	3mm × 4.9mm

(1) 产品预发布（非量产数据）。
(2) 有关更多信息，请参阅 节 10。
(3) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。



桥式放大器电路

本资源的原文使用英文撰写。为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性.....1
2 应用.....1
3 说明.....1
4 引脚配置和功能.....3
5 规格.....5
5.1 绝对最大额定值.....5
5.2 ESD 等级.....5
5.3 建议运行条件.....5
5.4 单通道器件的热性能信息.....5
5.5 双通道器件的热性能信息.....6
5.6 电气特性.....7
5.7 典型特性.....9
6 详细说明.....15
6.1 概述.....15
6.2 功能方框图.....15
6.3 特性说明.....16
6.4 器件功能模式.....20
7 应用和实施.....21
7.1 应用信息.....21
7.2 典型应用.....21
7.3 电源相关建议.....25
7.4 布局.....27
8 器件和文档支持.....29
8.1 文档支持.....29
8.2 接收文档更新通知.....29
8.3 支持资源.....29
8.4 静电放电警告.....29
8.5 术语表.....29
9 修订历史记录.....29
10 机械、封装和可订购信息.....29

Copyright © 2026 Texas Instruments Incorporated

4 引脚配置和功能

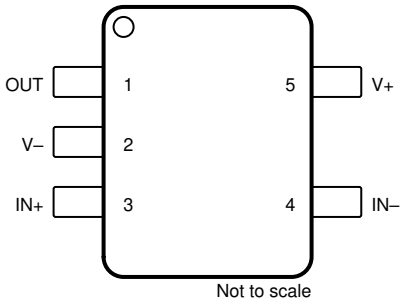


图 4-1. TLV9041D DBV 封装
5 引脚 SOT-23
顶视图

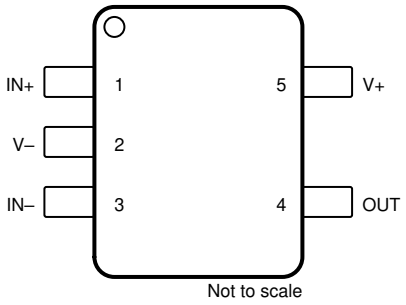


图 4-2. TLV9041 DCK 封装
5 引脚 SC70
顶视图

表 4-1. 引脚功能：TLV9041D

引脚			类型(1)	说明
名称	编号			
	SOT-23	SC70		
IN –	4	3	I	反相输入
IN+	3	1	I	同相输入
OUT	1	4	O	输出
V –	2	2	I	负（低）电源或接地（对于单电源供电）
V+	5	5	I	正（高）电源

(1) I = 输入，O = 输出

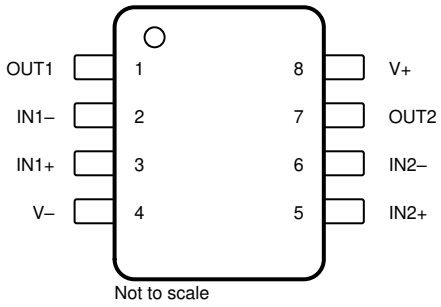
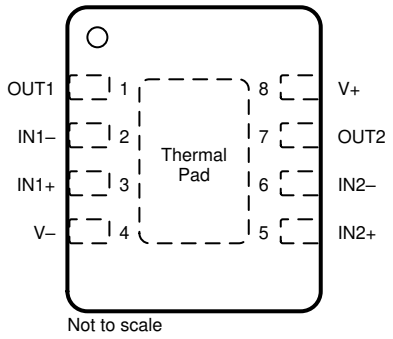


图 4-3. TLV9042D D 和 DGK 封装
8 引脚 SOIC 和 VSSOP
顶视图



将外露散热焊盘连接至 V – 。有关更多信息，请参阅图 4-4。

图 4-4. TLV9042D DSG 封装
8 引脚 WSON（带有外露散热焊盘）
顶视图

Copyright © 2026 Texas Instruments Incorporated

表 4-2. 引脚功能：TLV9042D

引脚		类型(1)	说明
名称	编号		
IN1 –	2	I	反相输入，通道 1
IN1+	3	I	同相输入，通道 1
IN2 –	6	I	反相输入，通道 2
IN2+	5	I	同相输入，通道 2
OUT1	1	O	输出，通道 1
OUT2	7	O	输出，通道 2
V –	4	I	负（低）电源或接地（对于单电源供电）
V+	8	I	正（高）电源

(1) I = 输入，O = 输出

Copyright © 2026 Texas Instruments Incorporated

5 规格

5.1 绝对最大额定值

在工作环境温度范围内测得（除非另有说明）(1)

		最小值	最大值	单位
电源电压，V_S = (V+) – (V–)		0	6.0	V
信号输入引脚	共模电压(2)	(V–) – 0.5	(V+) + 0.5	V
	差分电压(2)		V_S + 0.2	V
	电流(2)	-10	10	mA
输出短路(3)		持续		
工作环境温度，T_A		-55	150	°C
结温，T_J			150	°C
贮存温度，T_{stg}		-65	150	°C

(1) 超出*绝对最大额定值*范围操作可能会导致器件永久损坏。绝对最大额定值并不表示器件在这些条件下或在*建议运行条件*以外的任何其他条件下能够正常运行。如果超出“建议运行条件”但在“绝对最大额定值”范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。
(2) 输入引脚被二极管钳制至电源轨。对于摆幅超过电源轨 0.5V 以上的输入信号，其电流必须限制在 10mA 或者更低。
(3) 接地短路，每个封装对应一个放大器。

5.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准(1)	±3000	V
		充电器件模型 (CDM)，符合 ANSI/ESDA/JEDEC JS-002 标准(2)	±1000	

(1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。
(2) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。

5.3 建议运行条件

在工作环境温度范围内测得（除非另有说明）

		最小值	最大值	单位
V_S	电源电压，(V+) – (V–)	1.2	5.5	V
V_I	输入电压范围	(V–)	(V+)	V
T_A	额定温度	-40	125	°C

5.4 单通道器件的热性能信息

热指标 (1)		TLV9041D DBV (SOT-23) 5 引脚	TLV9041D DCK (SC70) 5 引脚	单位
$R_{\theta JA}$	结至环境热阻	228.0	259.4	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	127.7	159.2	°C/W
$R_{\theta JB}$	结至电路板热阻	93.6	107.2	°C/W
ψ_{JT}	结至顶部特征参数	63.3	63.7	°C/W
ψ_{JB}	结至电路板特征参数	93.4	106.9	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	不适用	不适用	°C/W

(1) 有关新旧热指标的更多信息，请参阅半导体和 IC 封装热指标应用手册。

Copyright © 2026 Texas Instruments Incorporated

5.5 双通道器件的热性能信息

热指标 (1)		TLV9042D			单位
		D (SOIC)	DSG (WSON)	DGK (VSSOP)	
		8 引脚	8 引脚	8 引脚	
$R_{\theta JA}$	结至环境热阻	147.0	98.9	160.9	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	86.5	117.7	77.5	°C/W
$R_{\theta JB}$	结至电路板热阻	92.3	35.5	97.9	°C/W
ψ_{JT}	结至顶部特征参数	32.2	11.5	14.7	°C/W
ψ_{JB}	结至电路板特征参数	91.7	60.1	97.2	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	不适用	41.5	不适用	°C/W

(1) 有关新旧热指标的更多信息，请参阅半导体和 IC 封装热指标应用手册。

Copyright © 2026 Texas Instruments Incorporated

5.6 电气特性

T_A = 25°C 时，V_S = (V+) – (V–) = 1.2 V 至 5.5 V (±0.6 V to ±2.75 V)、R_F = 180kΩ、G = 10 V/V、R_L = 100 kΩ 连接至 V_S / 2、V_{CM} = V_S / 2 且 V_{OUT} = V_S / 2（除非另有说明）。

参数		测试条件		最小值	典型值	最大值	单位
失调电压							
V_{OS}	输入偏移电压				±0.5	±1.8	mV
			T_A = -40°C 至 125°C			±2	
dV_{OS}/dT	输入失调电压漂移		T_A = -40°C 至 125°C		±0.4		µV/℃
PSRR	输入失调电压与电源间的关系	V_S = ±0.6V 至 ±2.75V，V_{CM} = V–		80	95		dB
输入偏置电流							
I_B	输入偏置电流 (1)				±0.5	±3	pA
I_{OS}	输入失调电流(1)				±0.5	±2.5	pA
噪声							
E_N	输入电压噪声	f = 0.1Hz 至 10Hz			4.5		µV_{PP}
e_N	输入电压噪声密度	f = 100Hz			55		nV/√Hz
		f = 1kHz			36		
		f = 10kHz			33		
i_N	输入电流噪声(2)	f = 1kHz			10		fA/√Hz
输入电压范围							
V_{CM}	共模电压范围			(V–)		(V+)	V
CMRR	共模抑制比	(V–) < V_{CM} < (V+) – 0.7V，V_S = 1.2V	T_A = -40°C 至 125°C	65	80		dB
		(V–) < V_{CM} < (V+) – 0.7V，V_S = 5.5V		76	89		
		(V–) < V_{CM} < (V+)，V_S = 1.2V			60		
		(V–) < V_{CM} < (V+)，V_S = 5.5V		58	72		
输入阻抗							
Z_{ID}	差分				80 || 2		GΩ || pF
Z_{ICM}	共模				100 || 1		GΩ || pF
开环增益							
A_{OL}	开环电压增益	V_S = 1.2V，(V–) + 0.2V < V_O < (V+) – 0.2V，R_L = 10kΩ（连接至 V_S/2）	T_A = -40°C 至 125°C		100		dB
		V_S = 5.5V，(V–) + 0.2V < V_O < (V+) – 0.2V，R_L = 10kΩ（连接至 V_S/2）			127		
		V_S = 1.2V，(V–) + 0.1V < V_O < (V+) – 0.1V，R_L = 100kΩ（连接至 V_S/2）			110		
		V_S = 5.5V，(V–) + 0.1V < V_O < (V+) – 0.1V，R_L = 100kΩ（连接至 V_S/2）		109	125		
频率响应							
THD+N	总谐波失真 + 噪声 (3)	V_S = 5.5V，V_{CM} = 2.75V，V_O = 1V_{RMS}，G = +10，f = 1kHz，R_L = 100kΩ（连接至 V_S/2）			0.02		%
GBW	增益带宽积	G = 100V/V，R_F = 1.8MΩ，R_L = 1MΩ（连接至 V_S/2）			3.1		MHz
SR	压摆率	V_S = 5.5V，G = +10，C_L = 10pF，TLV9041D	V_S = 5.5V，G = +10，C_L = 10pF		1.5		V/µs
SR	压摆率	V_S = 5.5 V，G = +10，C_L = 10 pF，TLV9042D			0.8		V/µs
t_S	趋稳时间	精度达 0.1%，V_S = 5.5V，V_{STEP} = 400mV，G = +10，C_L = 10pF			23		µs
		精度达到 0.1%，V_S = 5.5V，V_{STEP} = 200mV，G = +10，C_L = 10pF			22		
		精度达到 0.01%，V_S = 5.5V，V_{STEP} = 400mV，G = +10，C_L = 10pF			32		
		精度达到 0.01%，V_S = 5.5V，V_{STEP} = 200mV，G = +10，C_L = 10pF			31		
	相位裕度	C_L = 10pF			72		°
	过载恢复时间	V_{IN} × 增益 > V_S (TLV9041D)	V_{IN} × 增益 > V_S		5		µs
	过载恢复时间	V_{IN} × 增益 > V_S (TLV9042D)			11		µs

Copyright © 2026 Texas Instruments Incorporated

5.6 电气特性（续）

T_A = 25°C 时，V_S = (V+) – (V–) = 1.2 V 至 5.5 V (±0.6 V to ±2.75 V)、R_F = 180kΩ、G = 10 V/V、R_L = 100 kΩ 连接至 V_S / 2、V_{CM} = V_S / 2 且 V_{OUT} = V_S / 2（除非另有说明）。

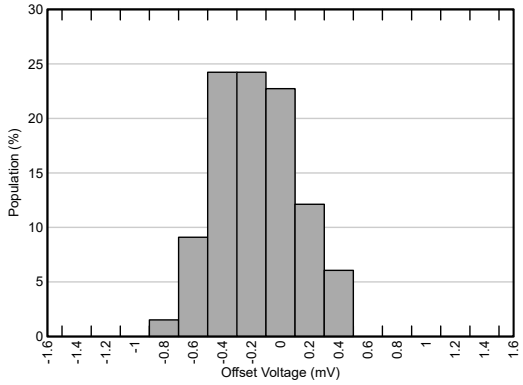
参数		测试条件		最小值	典型值	最大值	单位
EMIRR	电磁干扰抑制比	f = 1GHz，V_{IN_EMIRR} = 100mV			89		dB
输出							
	相对于电源轨的电压输出摆幅	正电源轨余量	V_S = 1.2V、R_L = 100kΩ（连接至 V_S/2）		0.75	7	mV
			V_S = 5.5V、R_L = 10kΩ（连接至 V_S/2）		9	21	
			V_S = 5.5V、R_L = 100kΩ（连接至 V_S/2）		1	8	
		负电源轨余量	V_S = 1.2V、R_L = 100kΩ（连接至 V_S/2）		0.75	5	
			V_S = 5.5V、R_L = 10kΩ（连接至 V_S/2）		8	21	
			V_S = 5.5V、R_L = 100kΩ（连接至 V_S/2）		0.85	8	
I_{SC}	短路电流(4)	V_S = 5.5V			±40		mA
Z_O	开环输出阻抗	f = 10kHz			8250		Ω
电源							
I_Q	每个放大器的静态电流	V_S = 5.5V，I_O = 0A，TLV9041D			16.5	21.4	μA
			T_A = -40°C 至 125°C			22	
	每个放大器的静态电流	V_S = 5.5V，I_O = 0A，TLV9042D			16	19.5	
			T_A = -40°C 至 125°C			20	
	加电时间	T_A = 25°C，V_S = 5.5V，V_S 升降速率 > 0.3V/μs			90		μs

(1) 根据表征结果指定最大 I_B 和 I_{OS} 限制。大于 2.5V 的输入差分电压会导致 I_B 增加
(2) 典型的输入电流噪声数据是根据设计仿真结果指定的
(3) 三阶滤波器；-3dB 时的带宽 = 80kHz。
(4) 短路电流是拉出和吸收短路电流的平均值

Copyright © 2026 Texas Instruments Incorporated

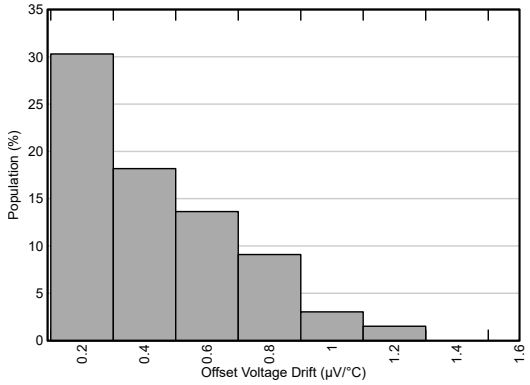
5.7 典型特性

在 T_A = 25°C、V+ = 2.75V、V – = – 2.75V、G = 10V/V、R_F= 180kΩ、R_L = 100kΩ 连接到 V_S / 2、V_{CM} = V_S / 2 和 V_{OUT} = V_S / 2 条件下测得（除非另有说明）



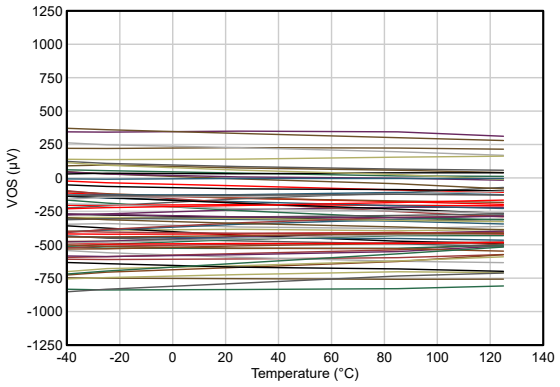
33 个单元　　均值 = -268 µ V　　Σ = 270 µ V

图 5-1. 失调电压分布直方图



33 个单元　　均值 = 0.43 µ V/°C　　Σ = 0.29 µ V/°C

图 5-2. 失调电压漂移分布直方图



V_{CM} = V –

图 5-3. 输入失调电压与温度间的关系

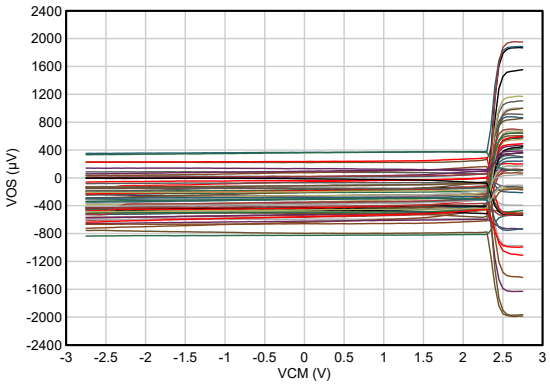
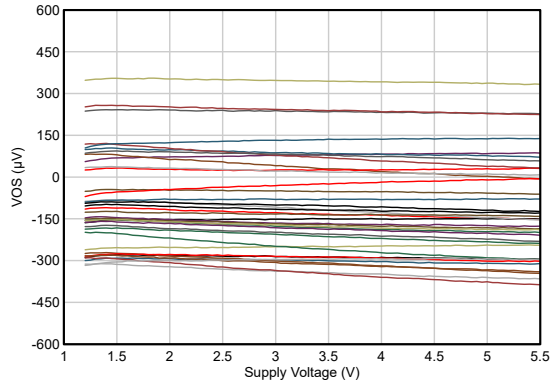


图 5-4. 失调电压与共模间的关系



V_{CM} = (V –)

图 5-5. 偏移电压与电源电压间的关系

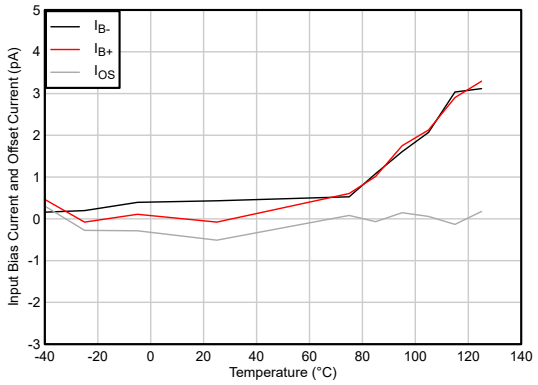


图 5-6. I_B 和 I_{OS} 与温度间的关系

Copyright © 2026 Texas Instruments Incorporated

5.7 典型特性（续）

在 T_A = 25°C、V+ = 2.75V、V– = –2.75V、G = 10V/V、R_F= 180kΩ、R_L = 100kΩ 连接到 V_S / 2、V_{CM} = V_S / 2 和 V_{OUT} = V_S / 2 条件下测得（除非另有说明）

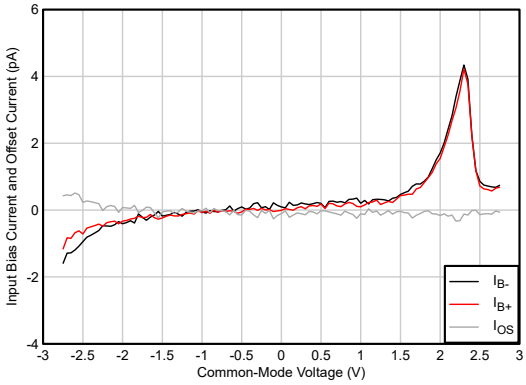


图 5-7. I_B 和 I_{OS} 与共模电压间的关系

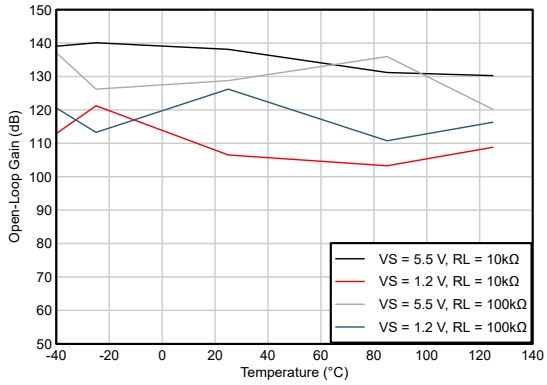
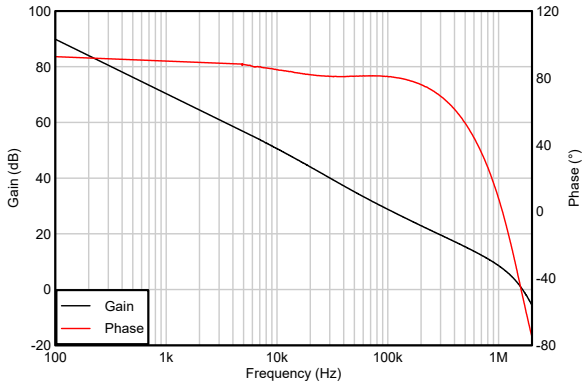


图 5-8. 开环增益与温度间的关系



R_L = 1MΩ，C_L = 20pF

图 5-9. 开环增益和相位与频率间的关系

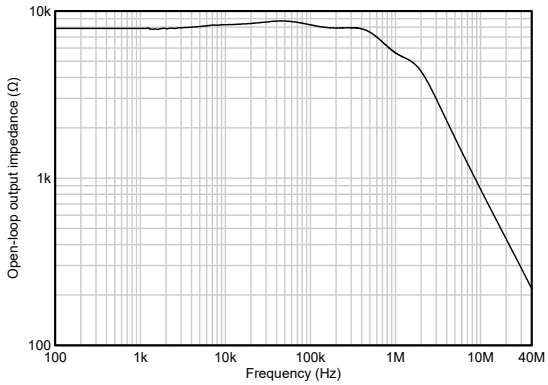
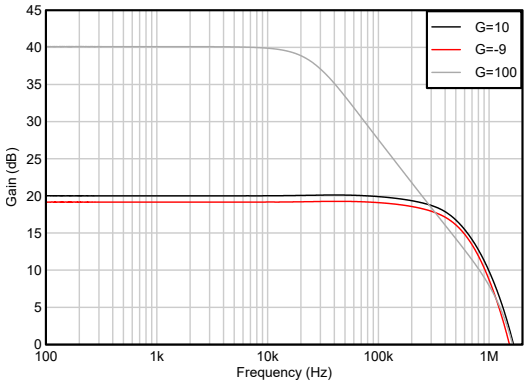
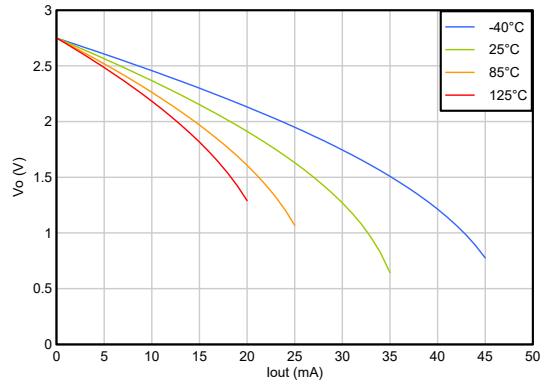


图 5-10. 开环输出阻抗与频率间的关系



R_L = 100kΩ，C_L = 20pF

图 5-11. 闭环增益与频率间的关系



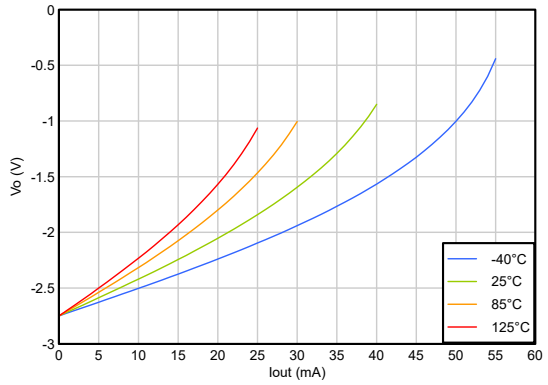
V+ = 2.75V，V– = –2.75V

图 5-12. 输出电压与输出电流间的关系（爪形）

Copyright © 2026 Texas Instruments Incorporated

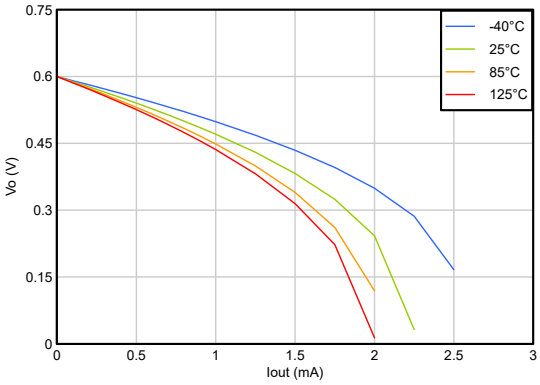
5.7 典型特性（续）

在 T_A = 25°C、V+ = 2.75V、V– = –2.75V、G = 10V/V、R_F= 180kΩ、R_L = 100kΩ 连接到 V_S / 2、V_{CM} = V_S / 2 和 V_{OUT} = V_S / 2 条件下测得（除非另有说明）



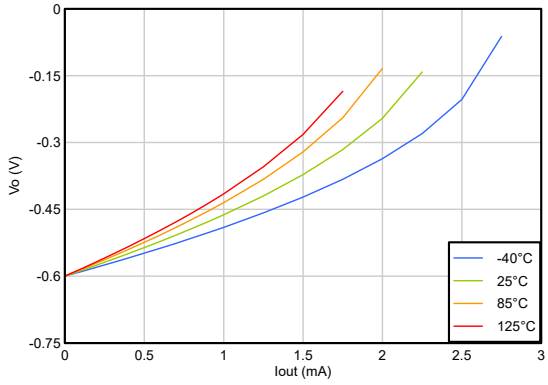
V+ = 2.75V，V– = –2.75V

图 5-13. 输出电压与输出电流间的关系（爪形）



V+ = 0.6V，V– = –0.6V

图 5-14. 输出电压与输出电流间的关系（爪形）



V+ = 0.6V，V– = –0.6V

图 5-15. 输出电压与输出电流间的关系（爪形）

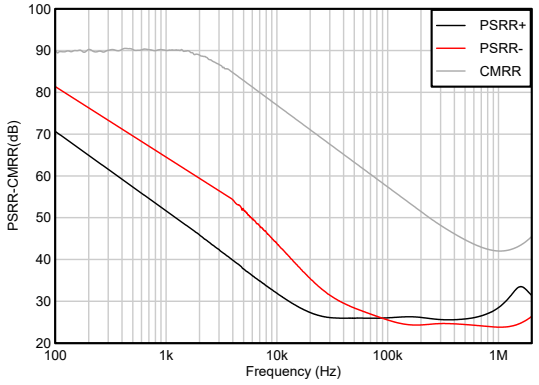
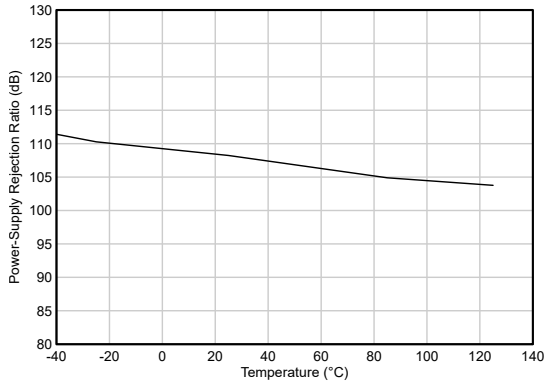


图 5-16. CMRR 和 PSRR 与频率间的关系



V_S = 1.2V 至 5.5V

图 5-17. 直流 PSRR 与温度间的关系

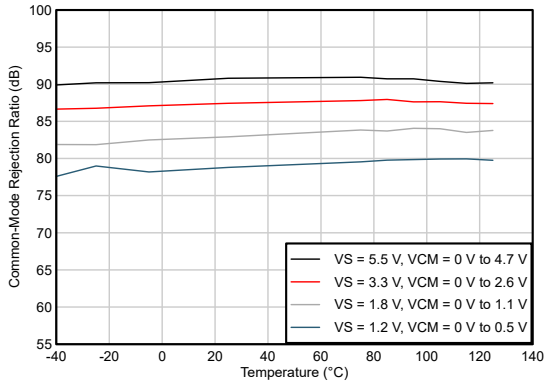


图 5-18. 直流 CMRR 与温度间的关系

Copyright © 2026 Texas Instruments Incorporated

5.7 典型特性（续）

在 T_A = 25°C、V+ = 2.75V、V– = –2.75V、G = 10V/V、R_F= 180kΩ、R_L = 100kΩ 连接到 V_S / 2、V_{CM} = V_S / 2 和 V_{OUT} = V_S / 2 条件下测得（除非另有说明）

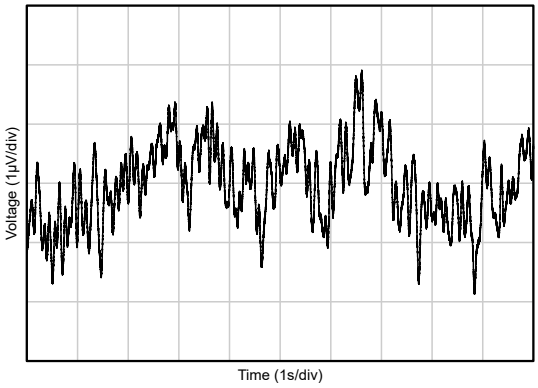


图 5-19. 0.1Hz 至 10Hz 时域电压噪声

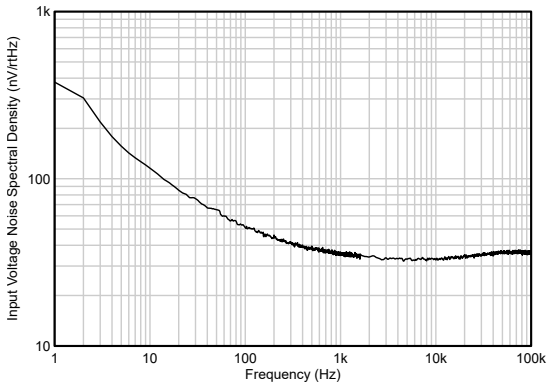
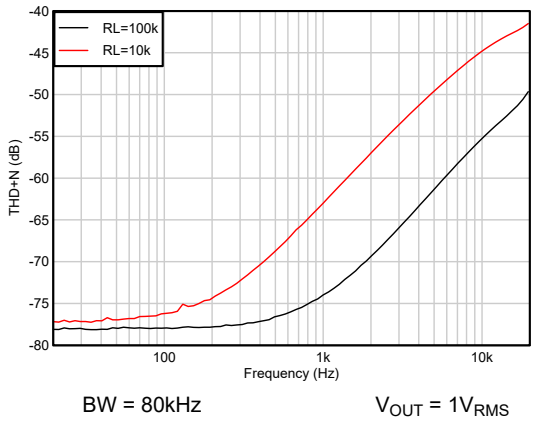
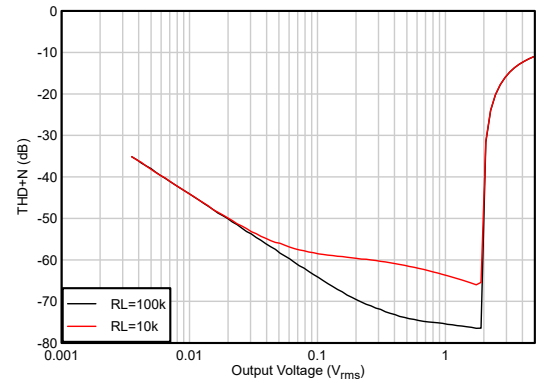


图 5-20. 输入电压噪声频谱密度



BW = 80kHz V_{OUT} = 1V_{RMS}

图 5-21. THD+N 与频率间的关系



BW = 80kHz f = 1kHz

图 5-22. THD + N 与幅度间的关系

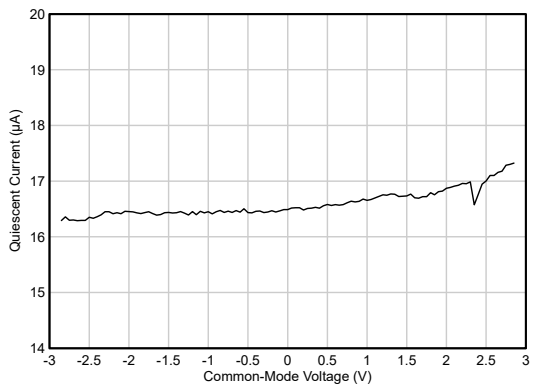


图 5-23. 静态电流与共模间的关系

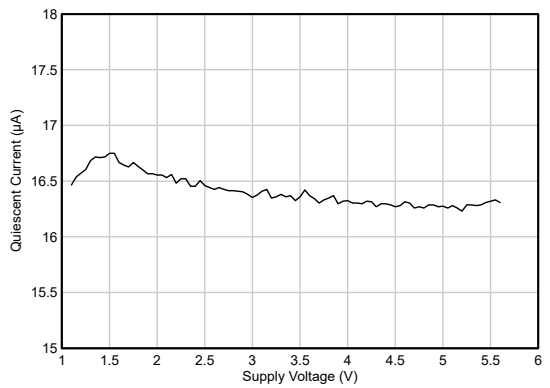


图 5-24. 静态电流与电源电压间的关系

Copyright © 2026 Texas Instruments Incorporated

5.7 典型特性（续）

在 T_A = 25°C、V+ = 2.75V、V– = –2.75V、G = 10V/V、R_F= 180kΩ、R_L = 100kΩ 连接到 V_S / 2、V_{CM} = V_S / 2 和 V_{OUT} = V_S / 2 条件下测得（除非另有说明）

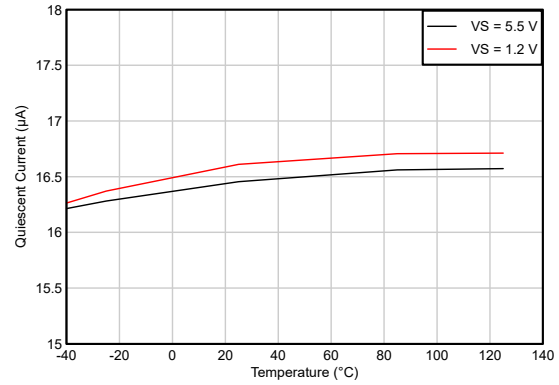


图 5-25. 静态电流与温度间的关系

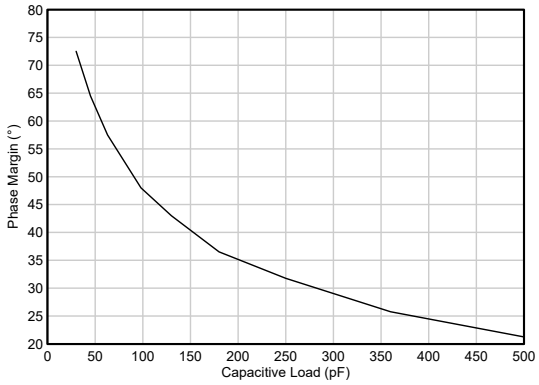
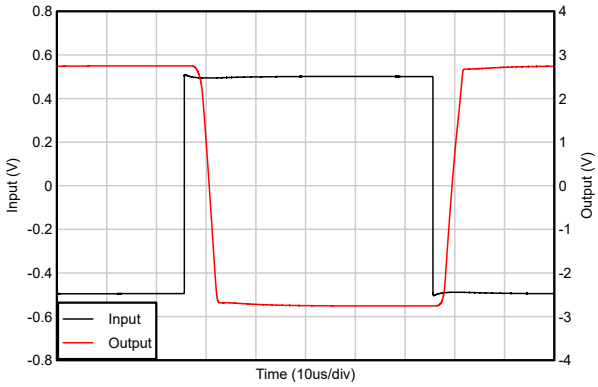
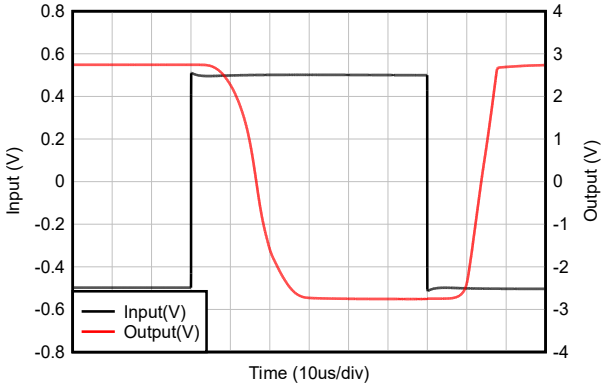


图 5-26. 相位裕度与容性负载间的关系



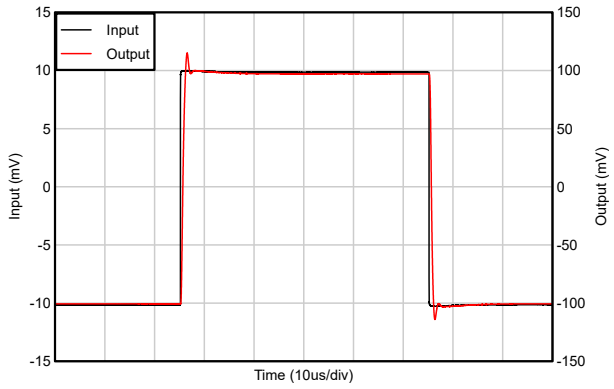
G = -10　　V_{IN} = 500mV_{PP}

图 5-27. 过载恢复 (TLV9041D)



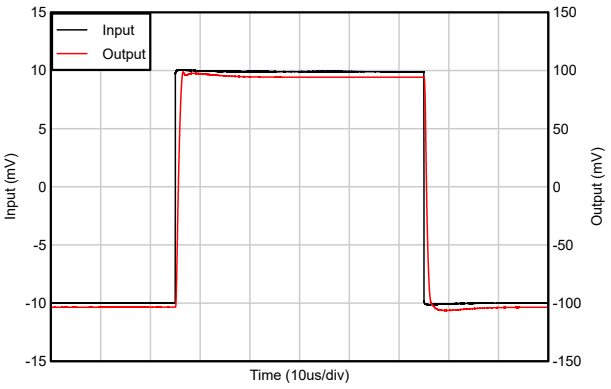
G = -10　　V_{IN} = 500mV_{PP}

图 5-28. 过载恢复 (TLV9042D)



V_{IN} = 20mV_{PP}

图 5-29. 小信号阶跃响应 (TLV9041D)



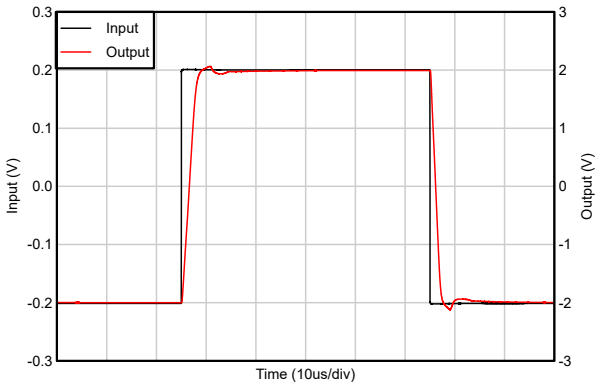
V_{IN} = 20mV_{PP}

图 5-30. 小信号阶跃响应 (TLV9042D)

Copyright © 2026 Texas Instruments Incorporated

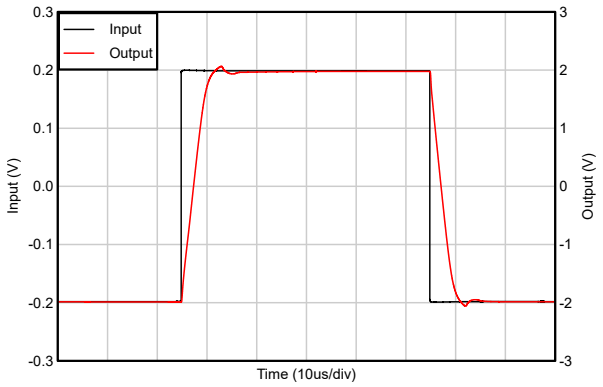
5.7 典型特性（续）

在 T_A = 25°C、V+ = 2.75V、V– = –2.75V、G = 10V/V、R_F= 180kΩ、R_L = 100kΩ 连接到 V_S / 2、V_{CM} = V_S / 2 和 V_{OUT} = V_S / 2 条件下测得（除非另有说明）



V_{IN} = 4V_{PP}

图 5-31. 大信号阶跃响应 (TLV9041D)



V_{IN} = 4V_{PP}

图 5-32. 大信号阶跃响应 (TLV9042D)

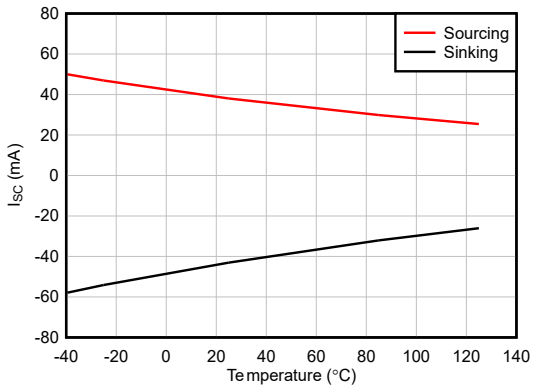


图 5-33. 短路电流与温度间的关系

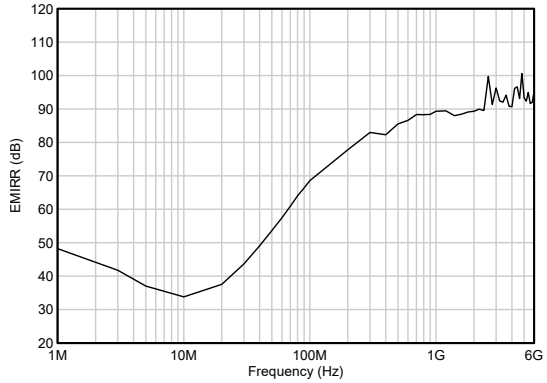


图 5-34. 以同相输入为基准的电磁干扰抑制比 (EMIRR+) 与频率间的关系

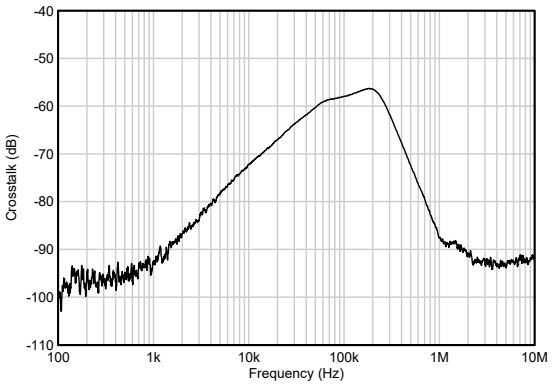


图 5-35. 通道隔离

Copyright © 2026 Texas Instruments Incorporated

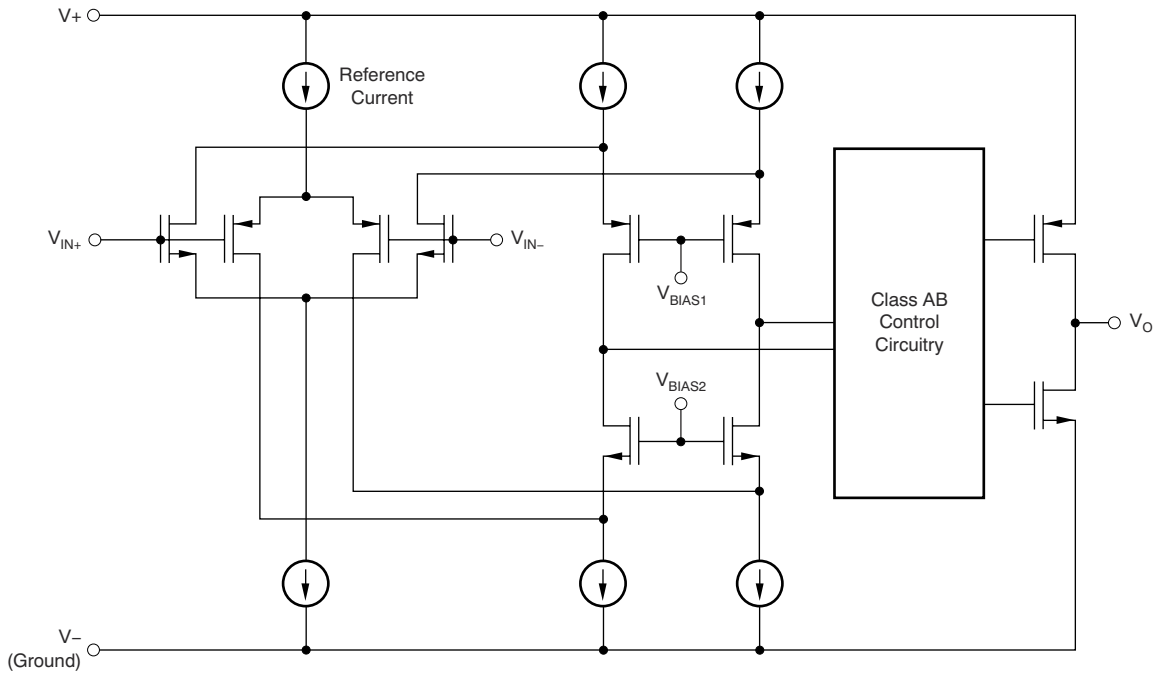
6 详细说明

6.1 概述

TLV904xD 系列低功耗轨到轨输入和输出运算放大器是专为高增益、电池供电应用而设计的。此系列放大器采用解补偿架构，能够在 1.2V 的超低电源电压到 5.5V 的标准电源电压范围内运行，并针对 10V/V 或更高的噪声增益进行了优化。这种失衡架构提供了 3.1MHz 的增益带宽积，并且具有高达 1.5V/μs 的上升/下降速率，每个通道的静态电流约为 16μA，与具有类似功耗的单位增益稳定架构相比，其交流性能更为出色。这样就不需要在传感器信号调节和滤波应用中使用多个级联放大器级，从而减少元件数量和系统总功耗。

输入共模电压范围包括两个电源轨，并支持将 TLV904xD 系列用于许多单电源或双电源配置。TLV904xD 能够在增益为 10V/V 时驱动高达 100pF 的容性负载，并具有 4.5μVp-p 的集成噪声（0.1Hz 至 10Hz），使设计人员能够实现更高的交流性能和更低的功耗。该设计还提供良好的直流性能，具有 0.5mV 的输入失调电压（典型值）和 0.5pA 的输入偏置电流（典型值），以及良好的 PSRR、CMRR 和 AOL，并具有集成的 RFI 和 EMI 抑制滤波器，可在电气噪声环境中可靠运行。

6.2 功能方框图



6.3 特性说明

6.3.1 工作电压

TLV904xD 系列运算放大器已完全指定并确保在 1.2V 至 5.5V 的电压范围运行。此外，许多规格在 –40°C 至 125°C 的温度范围内都适用。节 5.7 中提供了随工作电压或温度的变化而显著变化的参数。强烈建议使用至少 0.01 µF 的陶瓷电容器来旁路电源引脚。

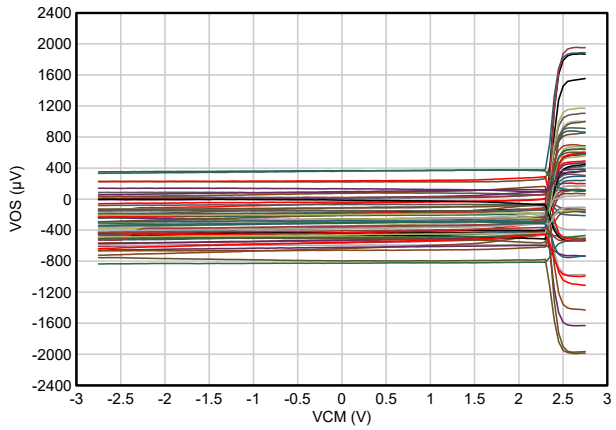
6.3.2 轨到轨输入和输出

TLV904xD 的输入共模电压范围可扩展到任一电源轨，即使在低至 1.2V 的超低电源电压下工作也是如此。此性能由一个互补输入级实现：一个 N 通道输入差分对和一个 P 通道差分对并联。有关更多详细信息，请参阅节 6.2。

对于 TLV904xD，P 通道对通常对从负电源轨到 (V+) – 0.4V 的输入电压有效，而 N 通道对通常对从正电源到 (V+) – 0.4V 的输入电压有效。过渡区域通常出现在 (V+) – 0.5V 到 (V+) – 0.3V 之间，在过滤区域内时，两对均开启。这些电压电平会随着工艺的变化而变化，低端的过渡区范围可以从 (V+) – 0.7V 到 (V+) – 0.5V，高端的过渡区可以从 (V+) – 0.3V 到 (V+) – 0.1V。

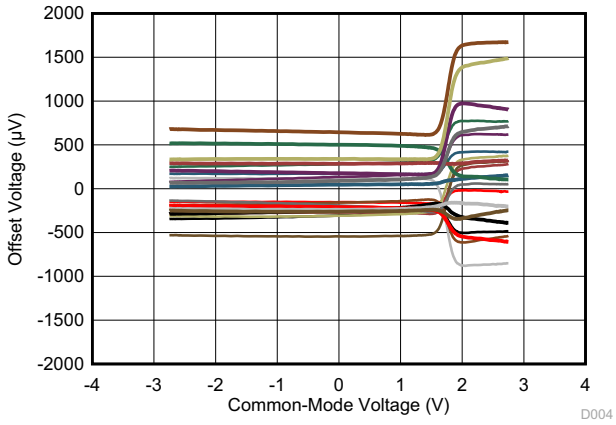
对于大多数具有互补输入级的放大器，P 通道输入对设计用于在输入失调电压、N 通道对上的温漂方面提供更好的性能。与器件在此区域外运行相比，器件在转换区域内运行时，PSRR、CMRR、失调电压、温漂和 THD 会降级。TLV904xD 可指定 P 通道对在距正轨 0.7V 之前运行，与大多数互补输入放大器相比，可提供更宽的 P 通道输入范围。当在较低的电源电压（1.2V、1.8V 等等）下运行时，这种扩展范围特别有用，允许在 P 通道输入对内容纳输入信号的宽共模摆幅，同时避免过渡区域并保持线性度。

TLV904xD 器件设计为一种微功耗、低噪声运算放大器，也可提供强大的输出驱动能力。它采用一个具有共源晶体管的 AB 类输出级来实现完全的轨到轨输出摆幅功能。对于高达 5kΩ 的电阻负载，无论施加的电源电压是多少，输出摆幅通常在两个电源轨的 20mV 以内。不同的负载情况会改变放大器在靠近电源轨范围内摆动的能力。



V+ = 2.75V，V– = –2.75V

图 6-1. TLV904xD 失调电压与共模间的关系



V+ = 2.75V，V– = –2.75V

图 6-2. TLV900x 失调电压与共模间的关系

Copyright © 2026 Texas Instruments Incorporated

6.3.3 具有宽增益带宽积的解补偿架构

TLV904xD 系列等非单位增益稳定放大器称为*解补偿放大器*。与静态电流相似的单位增益稳定放大器相比，解补偿架构通常能实现更高的 GBW、更高的转换率和更低的噪声。增加的可用带宽可缩短运算放大器的上升时间和稳定时间，从而能够在基于 ADC 的信号链中以更快的速率进行采样。

如图 6-3 所示，在解补偿运算放大器的情况下，单位增益稳定放大器的主极点 f_d 移至频率 f_1。实心 A_{OL} 图是传统单位增益稳定运算放大器的开环增益图。TLV904xD 等解补偿放大器的内部补偿变化可以在相同功率下增加带宽。除了上述参数中的优势外，由于可用的环路增益比单位增益更高，因此还可以提高压摆率并获得更好的失真值。要考虑的最重要因素是确保运算放大器的噪声增益 (NG) 大于 G_{min}。如果 NG 值低于 G_{min}，则会导致不稳定，如图 6-3 中所示，因为 1/ß 曲线与 A_{OL} 曲线以 40dB/十倍频程相交。这种分析稳定性的方法被称做*闭合速率方法*。观看 TI 高精度实验室，以便更好地了解器件稳定性和不同的确保稳定性技术。

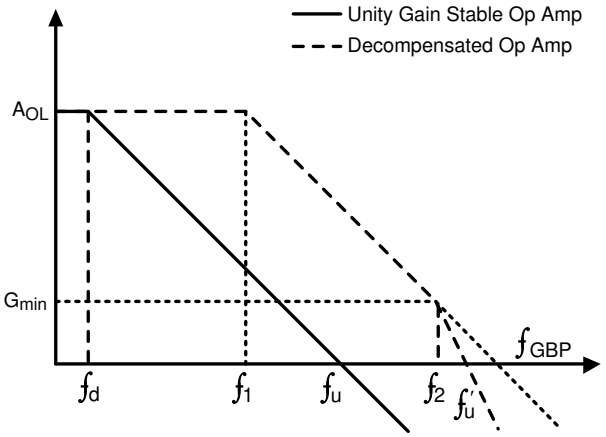


图 6-3. 单位增益稳定运算放大器和解补偿运算放大器的增益同频率特性间的关系

在传统增益电路中，TLV904xD 系列在 10V/V (20dB) 或更高的噪声增益下是稳定的。在该增益配置中，该器件具有 3.1MHz 的小信号带宽 (SSBW)，相位裕度大约为 72°。TLV904xD 器件具有高 GBW 和低功耗特性，适用于功耗敏感型高增益应用。

6.3.4 容性负载和稳定性

TLV904xD 被设计用于需要驱动容性负载的应用中。与所有运算放大器一样，可能存在会使 TLV904xD 变得不稳定的特定情况。在确定特定运算放大器的运行是否稳定时，需要考虑放大器电路配置、布局、增益和输出负载等因素。容性负载与运算放大器开环输出阻抗相结合后，在反馈环路内产生一个使相位裕度降级的极点。当容性负载增加时，相位裕度的降级会增大。在 10V/V 增益下运行时，TLV904xD 具有良好的相位裕度（典型值为 48°），在高约 100pF 的纯容性负载下仍能保持稳定。某些超大电容器（C_L 大于 1 µ F）的等效串联电阻足够改变反馈环路内的相位特性，从而使放大器保持稳定。增加放大器闭环增益使得放大器能够驱动更大的电容。如果在电压增益更高时测量放大器的过冲响应，放大器驱动能力的提升会非常明显。

要提升放大器的容性负载驱动能力，一种方法是插入一个与输出串联的小型电阻器（一般为 10Ω 到 20Ω），（如图 6-4 中所示）。这个电阻器大大减少了与大容性负载相关的过冲和振铃。不过，该方法可能存在的问题是，这个新增的串联电阻和任一与容性负载并联的电阻负载会生成一个分压器。此分压器在输出上引入一个减少输出摆幅的增益误差。

Copyright © 2026 Texas Instruments Incorporated

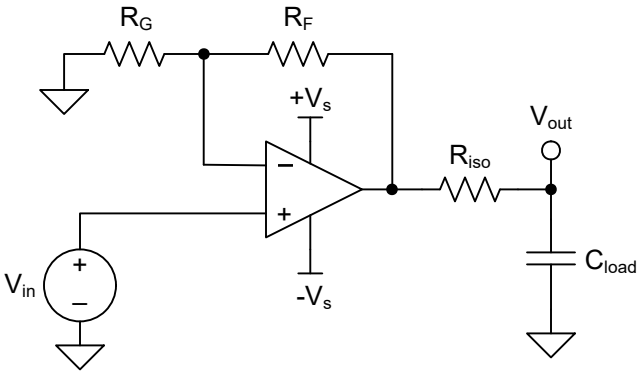


图 6-4. 增强容性负载驱动能力

6.3.5 过载恢复

过载恢复定义为运算放大器输出从饱和状态恢复到线性状态所需的时间。当输出电压由于高输入电压或高增益而超过额定工作电压时，运算放大器的输出器件进入饱和区。一旦其中一个输出器件进入饱和区，输出级需要额外的时间才能恢复到线性工作状态，这被称为过载恢复时间。在输出级返回其线性工作状态后，放大器开始以指定的转换率转换。因此，传播延迟（过载情况下）等于过载恢复时间与转换时间之和。TLV9041D 和 TLV9042D 的过载恢复时间分别约为 5µs 和 11µs。

6.3.6 EMI 抑制

TLV904xD 通过集成电磁干扰 (EMI) 滤波降低无线通信设备、混合使用模拟信号链和数字元件的高密度电路板等干扰源产生的 EMI 效应。利用电路设计技术可以提高 EMI 抗扰度；TLV904xD 从这些设计改进中受益。德州仪器 (TI) 已具备在 10MHz 至 6GHz 宽频谱范围内准确测量和量化运算放大器抗扰度的能力。图 6-5 展示了对 TLV904xD 执行此测试的结果。表 6-1 展示了 TLV904xD 在实际应用中常见特定频率下的 EMIRR IN+ 值。*运算放大器的 EMI 抑制比*应用手册包含了与运算放大器相关的 EMIRR 性能主题，该报告可从 www.ti.com 下载。

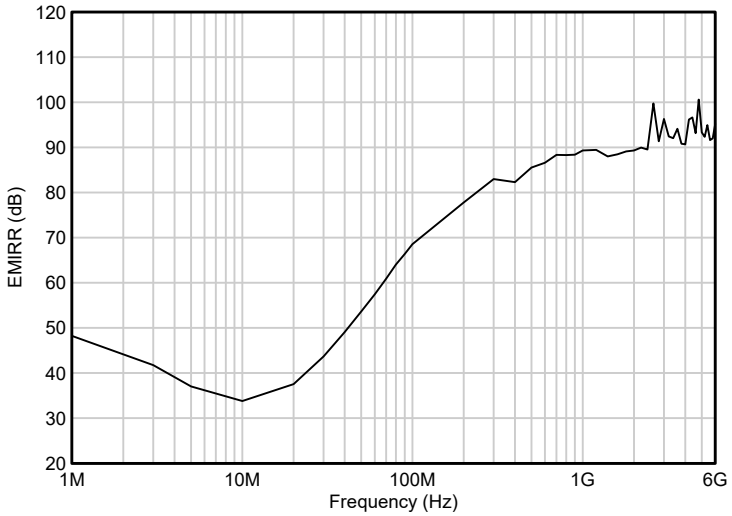


图 6-5. EMIRR 测试

表 6-1. TLV904xD 在相关频率下的 EMIRR IN+

频率	应用或分配	EMIRR IN+
400MHz	移动无线广播、移动卫星、太空操作、气象、雷达、超高频 (UHF) 应用	60dB
900MHz	全球移动通信系统 (GSM) 应用、无线电通信、导航、GPS（最高可达 1.6GHz）、GSM、航空移动通信及 UHF 应用	70dB
1.8GHz	GSM 应用、个人移动通信、宽带、卫星和 L 波段（1GHz 至 2GHz）	75dB

Copyright © 2026 Texas Instruments Incorporated

表 6-1. TLV904xD 在相关频率下的 EMIRR IN+（续）

频率	应用或分配	EMIRR IN+
2.4GHz	802.11b、802.11g、802.11n、Bluetooth®、个人移动通信、工业、科学和医疗 (ISM) 无线频段、业余无线电通信和卫星、S 波段（2GHz 至 4GHz）	79.0dB
3.6GHz	无线电定位、航空通信和导航、卫星、移动通信、S 波段	82dB
5GHz	802.11a、802.11n、航空通信和导航、移动通信、太空和卫星运行、C 波段（4GHz 至 8GHz）	85dB

6.3.7 电过应力

设计人员经常会问到关于运算放大器耐受电过应力的问题。这些问题侧重于器件输入，同时也会涉及电源引脚甚至输出引脚。这些不同引脚功能的每一个功能具有由独特的半导体制造工艺和连接到引脚的特定电路确定的电气过载限值。此外，这些电路均内置内部静电放电 (ESD) 保护功能，可在产品组装之前和组装过程中保护电路不受意外 ESD 事件的影响。

能够充分了解该基本 ESD 电路以及与电气过载事件的关联性会有所帮助。图 6-6 显示了 TLV904xD 器件中包含的 ESD 电路。ESD 保护电路中涉及多个导流二极管，这些二极管从输入引脚和输出引脚连接回内部供电线路，并且它们均连接到运算放大器内部的吸收器件。该保护电路在电路正常工作时处于未运行状态。

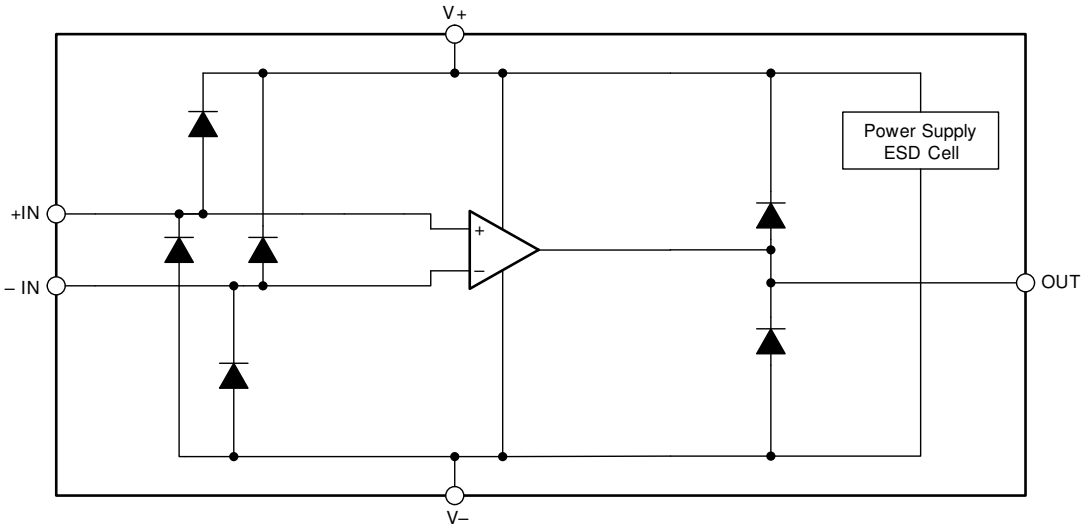


图 6-6. 等效内部 ESD 电路

6.3.8 输入和 ESD 保护

TLV904xD 系列在所有引脚上均整合了内部 ESD 保护电路。对于输入和输出引脚，这种保护主要包括输入和电源引脚之间连接的导流二极管。只要电流不超过 10mA，这些 ESD 保护二极管就能提供电路内输入过驱保护。图 6-7 展示了如何通过将串联输入电阻器添加到被驱动的输入端来限制输入电流。添加的电阻器会增加放大器输入端的热噪声，在对噪声敏感的应用中，该值必须保持在最低。

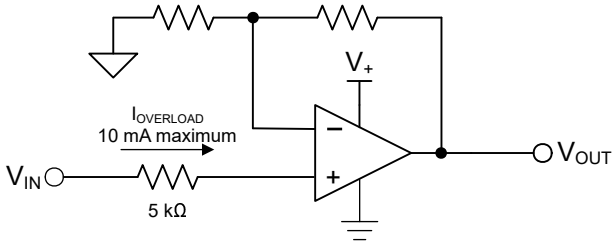


图 6-7. 输入电流保护

6.4 器件功能模式

TLV904xD 系列具有单功能模式。只要电源电压在 1.2V (±0.6V) 与 5.5V (±2.75V) 之间，这些器件就处于通电状态。

Copyright © 2026 Texas Instruments Incorporated

7 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

7.1 应用信息

TLV904xD 系列低功耗轨到轨输入和输出运算放大器是专为便携式高增益应用而设计的。该系列器件的工作电压范围为 1.2V 至 5.5V，稳定在 10V/V 以上，适合各种通用型应用。AB 类输出级能够驱动连接至 V+ 和 V– 之间任一点的大于 2kΩ 的电阻负载。输入共模电压范围包括两个电源轨，并支持将 TLV904xD 系列用于许多单电源或双电源配置。

7.2 典型应用

7.2.1 TLV904xD 低侧电流检测应用

图 7-1 展示了低侧电流检测应用中配置的 TLV904xD。

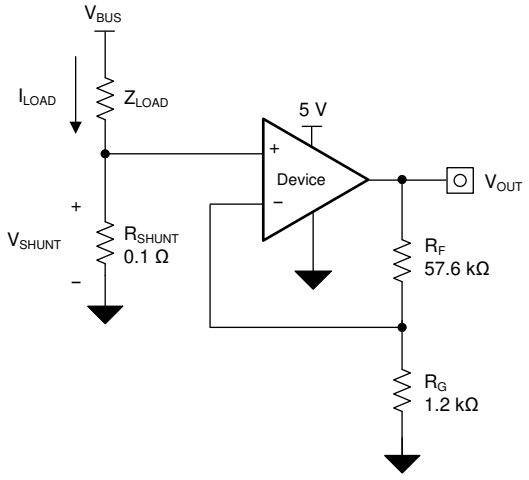


图 7-1. 低侧电流检测应用中的 TLV904xD

7.2.1.1 设计要求

此设计的设计要求如下：

- 负载电流：0A 至 1A
- 输出电压最大值：4.9V
- 最大分流电压：100mV

7.2.1.2 详细设计过程

方程式 1 提供了图 7-1 中的电路传递函数。

$$V_{OUT} = I_{LOAD} \times R_{SHUNT} \times Gain \quad (1)$$

负载电流 (I_{LOAD}) 在分流电阻器 (R_{SHUNT}) 上产生压降。负载电流设置为 0A 至 1A。为了在最大负载电流下保持分流电压低于 100mV，使用方程式 2 计算最大分流电阻。

$$R_{SHUNT} = \frac{V_{SHUNT_MAX}}{I_{LOAD_MAX}} = \frac{100mV}{1A} = 100m\Omega \quad (2)$$

使用方程式 2 计算出的 R_{SHUNT} 为 100mΩ。I_{LOAD} 和 R_{SHUNT} 产生的压降由 TLV904xD 放大，从而产生约 0V 至 4.9V 的输出电压。TLV904xD 产生必要输出电压时所需的增益根据方程式 3 算出。

$$Gain = \frac{V_{OUT_MAX} - V_{OUT_MIN}}{V_{IN_MAX} - V_{IN_MIN}} \quad (3)$$

使用方程式 3 计算出的所需增益为 49V/V，该值由电阻器 R_F 和 R_G 设置。方程式 4 可确定 R_F 和 R_G 电阻器的大小，从而将 TLV904xD 的增益设置为 49V/V。

$$Gain = 1 + \frac{R_F}{R_G} \quad (4)$$

选择 R_F 为 57.6kΩ 和 R_G 为 1.2kΩ 的组合，可得到 49V/V。图 7-2 展示了图 7-1 中所示电路测得的传递函数。请注意，增益只是反馈和增益电阻器的函数。通过改变电阻器的比率来调整该增益，并且实际电阻器值由设计人员想要建立的阻抗水平确定。阻抗水平决定了电流损耗、杂散电容的影响以及其他一些行为。并不存在适用于每个系统的理想阻抗选择；您必须选择适合您的系统参数的阻抗。

7.2.1.3 应用曲线

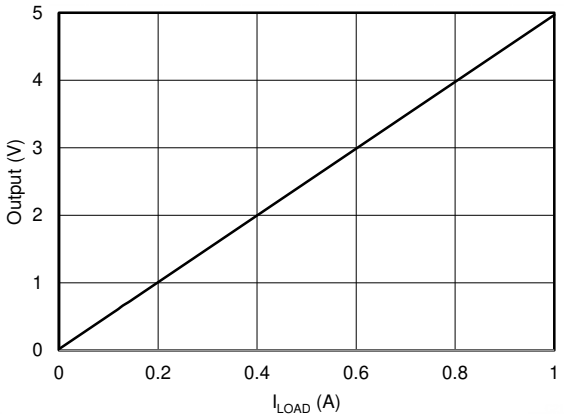


图 7-2. 低侧电流检测传递函数

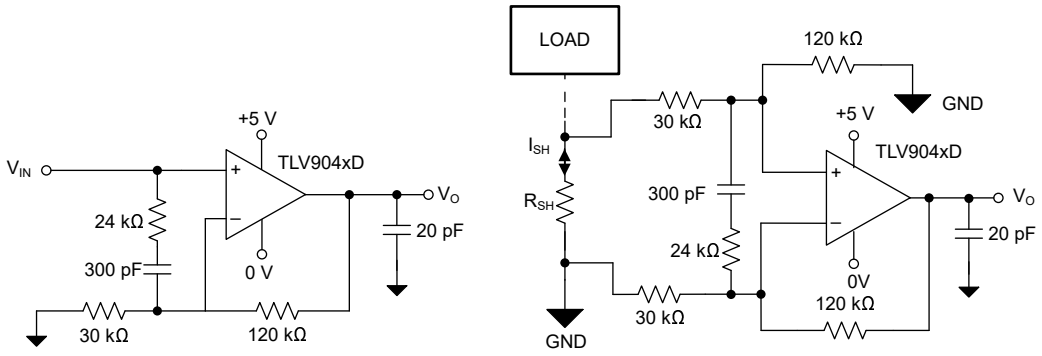
Copyright © 2026 Texas Instruments Incorporated

7.2.2 3V/V 非反相增益

当使用传统反馈网络时，TLV904xD 器件通常在噪声增益大于 10V/V 的配置下保持稳定。通过在反馈路径中和输入之间使用电容器，TLV904xD 器件可配置为具有小于 10V/V 的噪声增益，从而在较低频率下保持所需的增益，并在较高频率下增加大于 10V/V 的增益，以使放大器保持稳定。图 7-3 中的配置 (a) 显示了 TLV904xD 器件配置为 5V/V 增益，配置方法是使用电容器和电阻器调整噪声增益并实现约为 60° 的目标相位裕度（如图 7-3 所示）。

使用低于最小稳定增益的解补偿放大器（如 TLV904xD）的主要好处是，它利用了比可比单位增益稳定架构更小的静态功率下的低噪声、低失真和高转换率性能。通过减小 300pF 输入电容器，可以实现更高的闭环带宽和改善总噪声，但代价是增加了峰值和降低了相位裕度。确保 IN – 引脚上的低寄生电容布局技术可小至 1pF 至 2pF 的反相输入寄生电容，这需要调整噪声整形元件值，从而获得平坦的频率响应和所需的相位裕度。图 7-3 中的配置未考虑此寄生电容，但在实际应用中必须予以考虑。*解补偿运算放大器* 中详细讨论了这种稳定技术以及解补偿架构的优势。

在差分放大器电路中，通常用于低侧电流检测应用，（噪声增益）=（信号增益 + 1）。



(a) G = 5 V/V　　(c) G = 4 V/V

图 7-3. 5V/V 的同相增益和 4V/V 信号增益的差分放大器

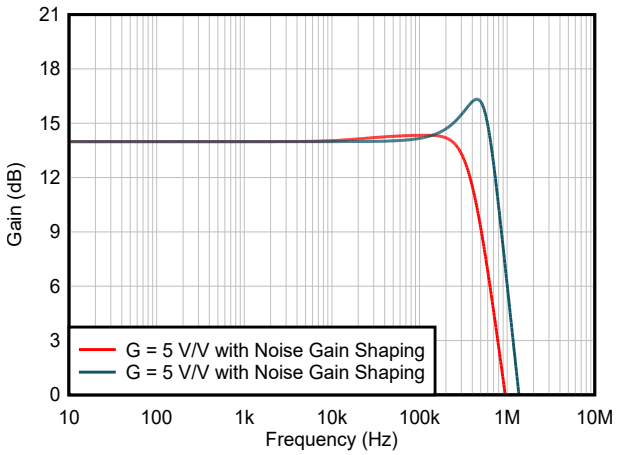


图 7-4. 增益为 5V/V 的微小信号频率响应

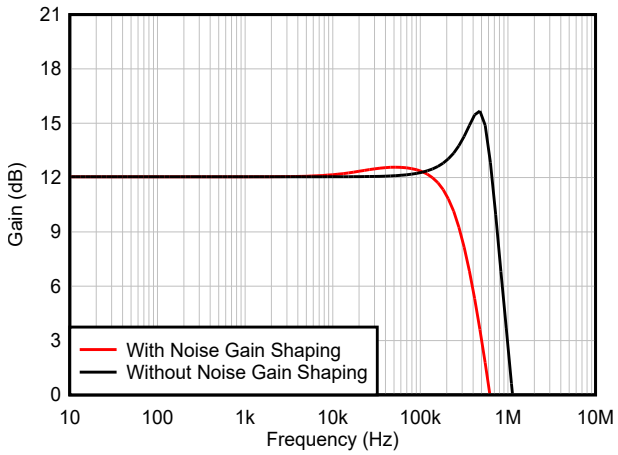


图 7-5. 差分放大器具有和不具有噪声增益整形功能的微小信号频率响应

7.2.3 250kΩ 增益跨阻设计

TLV904xD 器件的 GBW 低输入失调电压及电流噪声组合使其非常适合中速跨阻放大器应用。

Copyright © 2026 Texas Instruments Incorporated

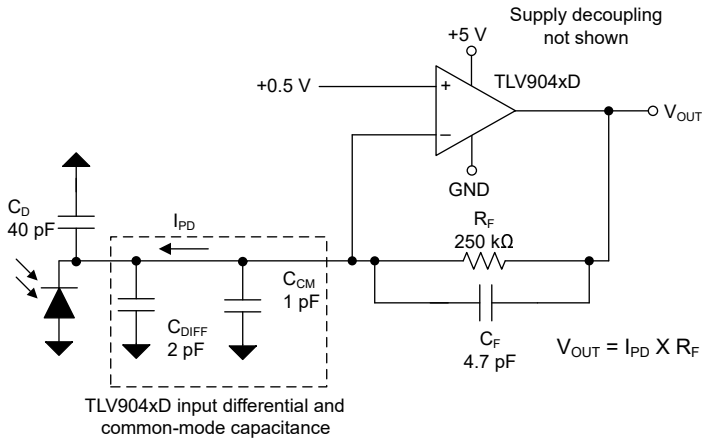


图 7-6. 低功耗、高灵敏度跨阻放大器

7.2.3.1 设计要求

根据 表 7-1 中所示的设计要求，设计 200kHz 高互阻抗增益放大器。

表 7-1. 设计要求

目标带宽 (kHz)	互阻抗增益 (kΩ)	光电二极管电容 (pF)
200	250	40

Copyright © 2026 Texas Instruments Incorporated

7.2.3.2 详细设计过程

对于需要低功耗设计且具有较高跨阻增益的电路，可以选用 TLV904xD 系列产品。使用*跨阻抗放大器须知* 中的 Excel™ 计算器，根据总输入电容和 C_{TOT} 帮助选择元件。在计算器中，C_{TOT} 被称为 C_{IN}。C_{TOT} 是 C_D、C_{DIFF} 和 C_{CM} 之和，为 43pF。使用此 C_{TOT} 值，以及 200kHz 的目标闭环带宽 (f_{-3dB}) 和 250kΩ 的跨阻抗增益，可以得到约 3MHz 的放大器 GBW 和 4.4pF 的反馈电容 (C_F)，如图 7-7 所示。这些结果对应的是一个巴特沃兹响应，其 Q = 0.707，相位裕度约为 65°。

Closed-loop TIA Bandwidth (f_{-3dB})	0.200	***MHz***
Feedback Resistance (R_F)	250.000	***kOhm***
Input Capacitance (C_{IN})	43.000	***pF***
Opamp Gain Bandwidth Product (GBP)	2.9807	***MHz***
Feedback Capacitance (C_F)	4.4395	***pF***

图 7-7. 在 TIA 计算器中输入设计参数的结果

TLV904xD 3.1MHz GBW 正是为满足上述设计要求而设计的。如果得出所需的反馈电容 C_F 值非常低而无法实现，则可以使用如下所示的 T 网络电容电路。使用 T 网络电路中的标准值电容器，可以在端口 $_1$ 和端口 $_2$ 之间实现非常低的电容值 (C_{EQ})，如图 7-8 所示。

$$C_{EQ} = \frac{C_1 \times C_2}{C_1 + C_2 + C_T} \tag{5}$$

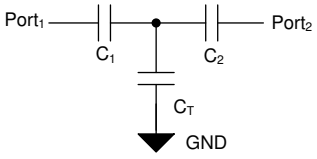


图 7-8. T 网络

7.2.3.3 应用曲线

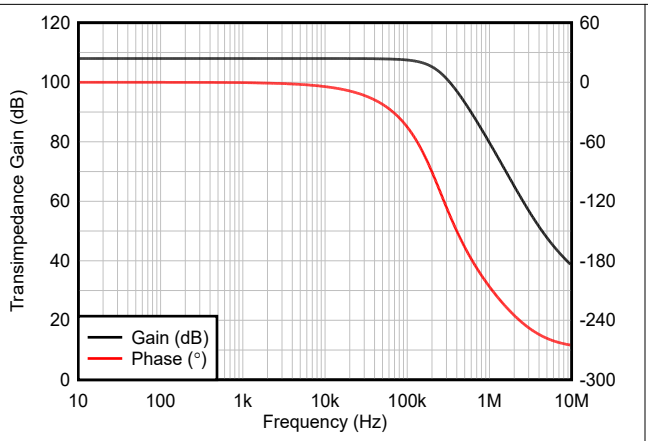


图 7-9. TIA 的仿真闭环带宽

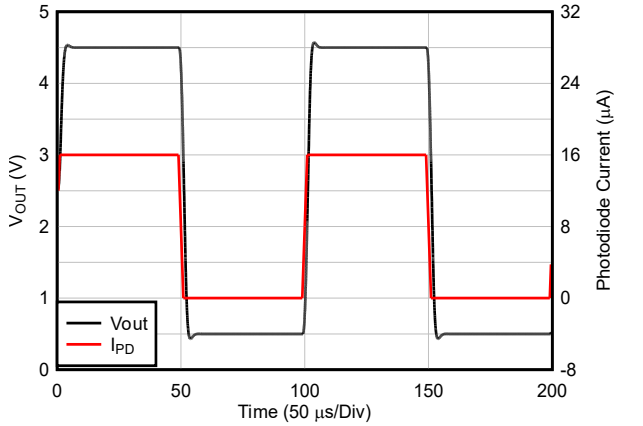


图 7-10. 仿真时域响应

7.3 电源相关建议

TLV904xD 系列的额定工作范围为 1.2V 至 5.5V（±0.6V 至 ±2.75V）；多种规格适用于 –40°C 至 125°C 的温度范围。*节 5.6* 中介绍了可以随工作电压或温度的变化而显著变化的参数。

Copyright © 2026 Texas Instruments Incorporated

小心

电源电压超过 6V 可能会对器件造成损坏；请参阅 *节 5.1* 表。

将 0.1µF 旁路电容器置于电源引脚附近，以减少来自高噪声电源或高阻抗电源的耦合误差。有关旁路电容器放置的更多详细信息，请参阅 *节 7.4.1*。

Copyright © 2026 Texas Instruments Incorporated

7.4 布局

7.4.1 布局指南

为了使器件具有出色的运行性能，请使用良好的印刷电路板 (PCB) 布局实践，包括：

- 噪声可以通过电路板的电源连接传播到模拟电路中，并传播到运算放大器的电源引脚。旁路电容器用于通过提供低阻抗接地路径来降低耦合噪声。
  - 在每个电源引脚和接地端之间连接低等效串联电阻 (ESR) 0.1µF 陶瓷旁路电容器，并尽量靠近器件放置。从 V+ 到接地端的单个旁路电容器足以满足单电源应用的需求。
- 将电路中模拟和数字部分单独接地是最简单和最有效的噪声抑制方法之一。多层 PCB 上的一层或多层通常专门用于作为接地平面。接地层有助于散热和降低电磁干扰 (EMI) 噪声拾取。请小心地对数字接地和模拟接地进行物理隔离，同时应注意接地电流。
- 为了减少寄生耦合，应让输入走线尽可能远离电源或输出走线。如果这些走线不能保持分开，则以 90 度角穿过敏感走线比平行于噪声走线来排布走线要好得多。
- 外部元件的位置应尽量靠近器件，如图 7-12 中所示。使 R_F 和 R_G 接近反相输入可最大限度地减小寄生电容。
- 尽可能缩短输入走线的长度。切记，输入走线是电路中最敏感的部分。
- 考虑在关键布线周围设定驱动型低阻抗保护环。这样可显著减少附近布线在不同电势下产生的漏电流。
- 为获得卓越性能，建议在组装 PCB 板后进行清洁。
- 任何精密集成电路都可能因湿气渗入塑料封装中而出现性能变化。在执行任何 PCB 水清洁流程之后，建议将 PCB 组件烘干，以去除清洁时渗入器件封装中的水分。大多数情形下，清洗后在 85°C 下低温烘干 30 分钟即可。

7.4.2 布局示例

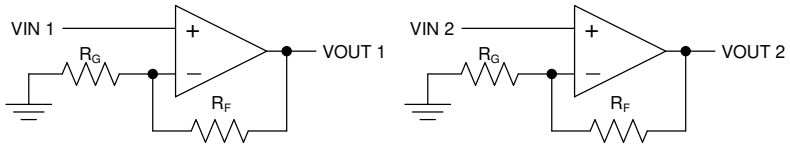


图 7-11. 原理图表示

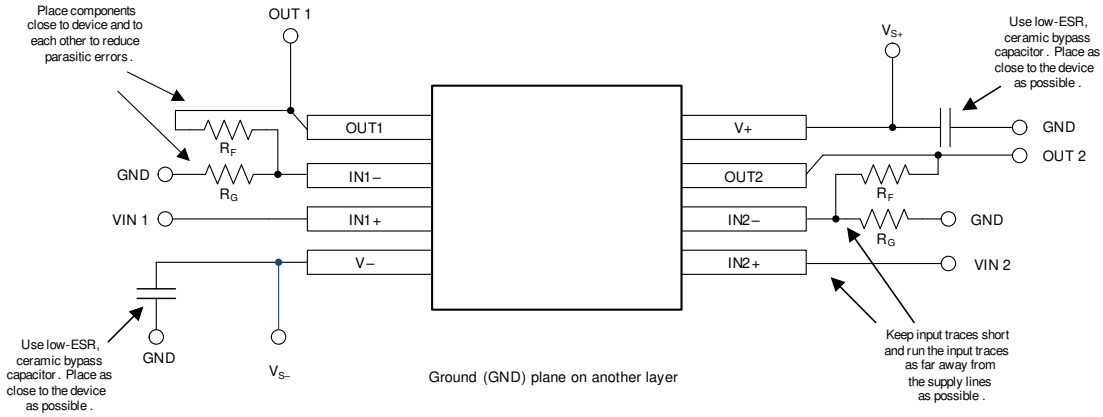


图 7-12. 布局示例

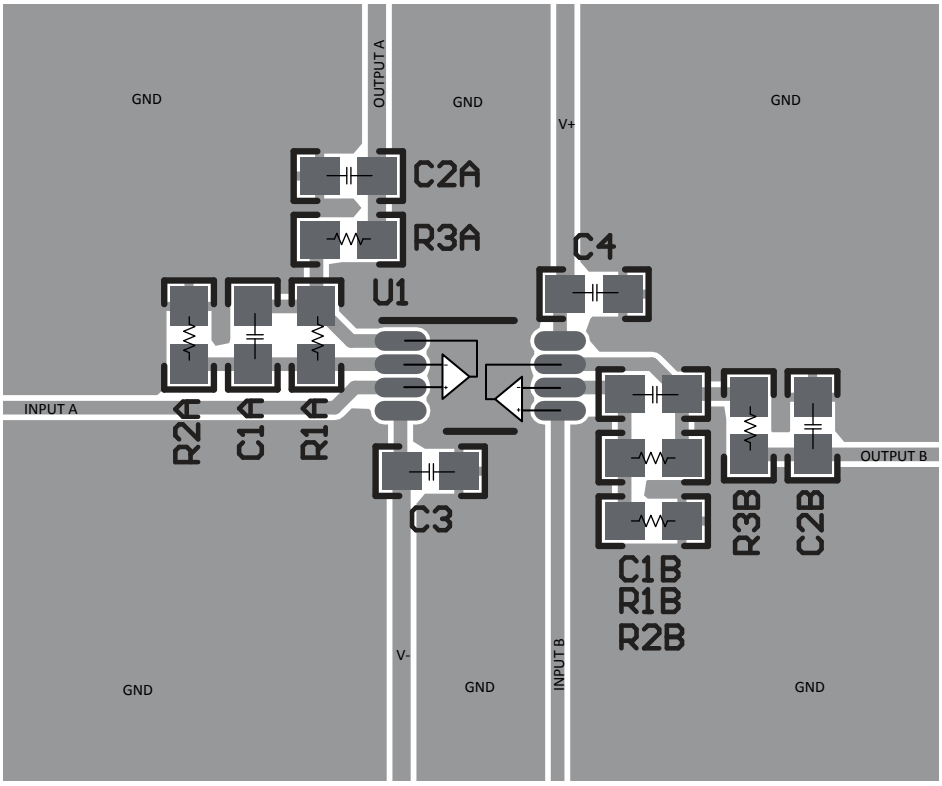


图 7-13. VSSOP-8 (DGK) 封装的布局示例

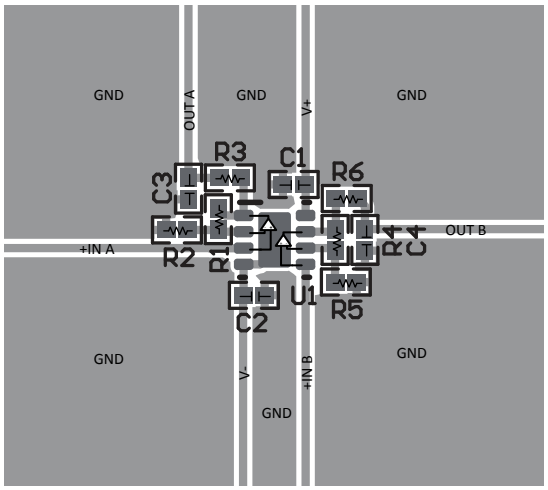


图 7-14. WSON-8 (DSG) 封装的布局示例

Copyright © 2026 Texas Instruments Incorporated

8 器件和文档支持

8.1 文档支持

8.1.1 相关文档

请参阅以下相关文档：

- 德州仪器 (TI)，*运算放大器的 EMI 抑制比*应用手册
- 德州仪器 (TI)，*QFN/SON PCB 连接*应用手册
- 德州仪器 (TI)，*Quad Flatpack No-Lead 逻辑封装*应用手册

8.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

8.3 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

商标

Excel™ is a trademark of Microsoft Coproration.
TI E2E™ is a trademark of Texas Instruments.
Bluetooth® is a registered trademark of Bluetooth SIG, Inc.
所有商标均为其各自所有者的财产。

8.4 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

8.5 术语表

TI 术语表	本术语表列出并解释了术语、首字母缩略词和定义。

9 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision * (December 2025) to Revision A (March 2026)	Page
• 已将 DBV (SOT-23, 5) TLV9041D 状态从预发布更改为正在供货	1
• 将 ESD CDM 模型从规范 JESD22-C101 更改为 JS-002	5
• 将最大输入偏置电流从 ±12pA 更改为 ±3pA	7
• 将 TLV9041D 的最大静态电流从 21uA 更新为 21.4uA	7

10 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TLV9041DDBVR	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	3Z5F
TLV9041DDCKR	Active	Production	SC70 (DCK) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	3Z3H
TLV9042DDGKR	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	3XRS
TLV9042DDR	Active	Production	SOIC (D) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	3XPT

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

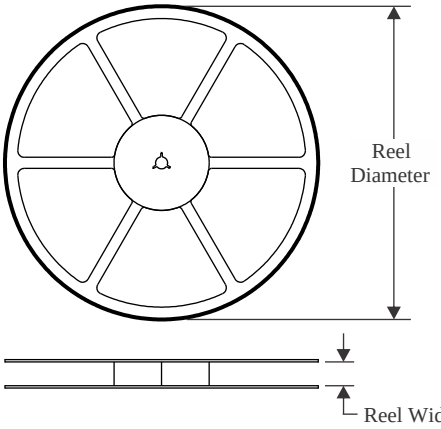
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

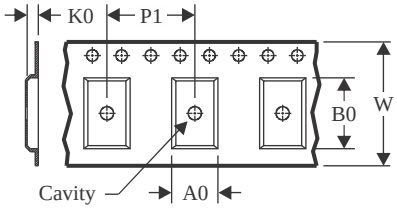
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

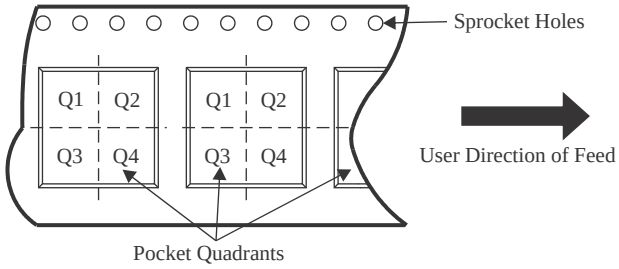


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

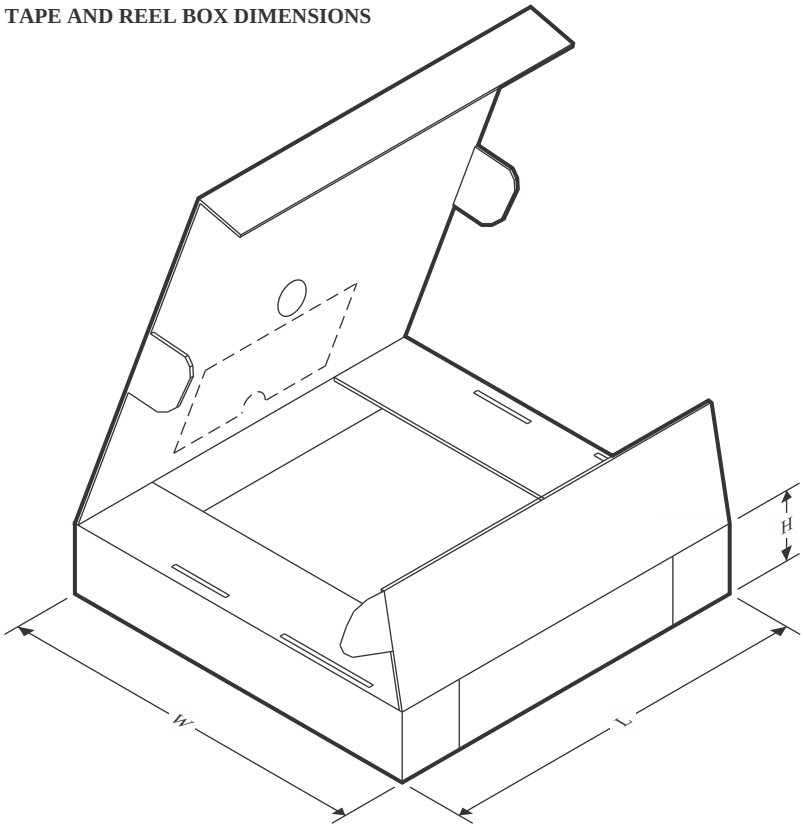
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TLV9041DDBVR	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TLV9041DDCKR	SC70	DCK	5	3000	180.0	8.4	2.3	2.55	1.2	4.0	8.0	Q3
TLV9042DDGKR	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
TLV9042DDR	SOIC	D	8	3000	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

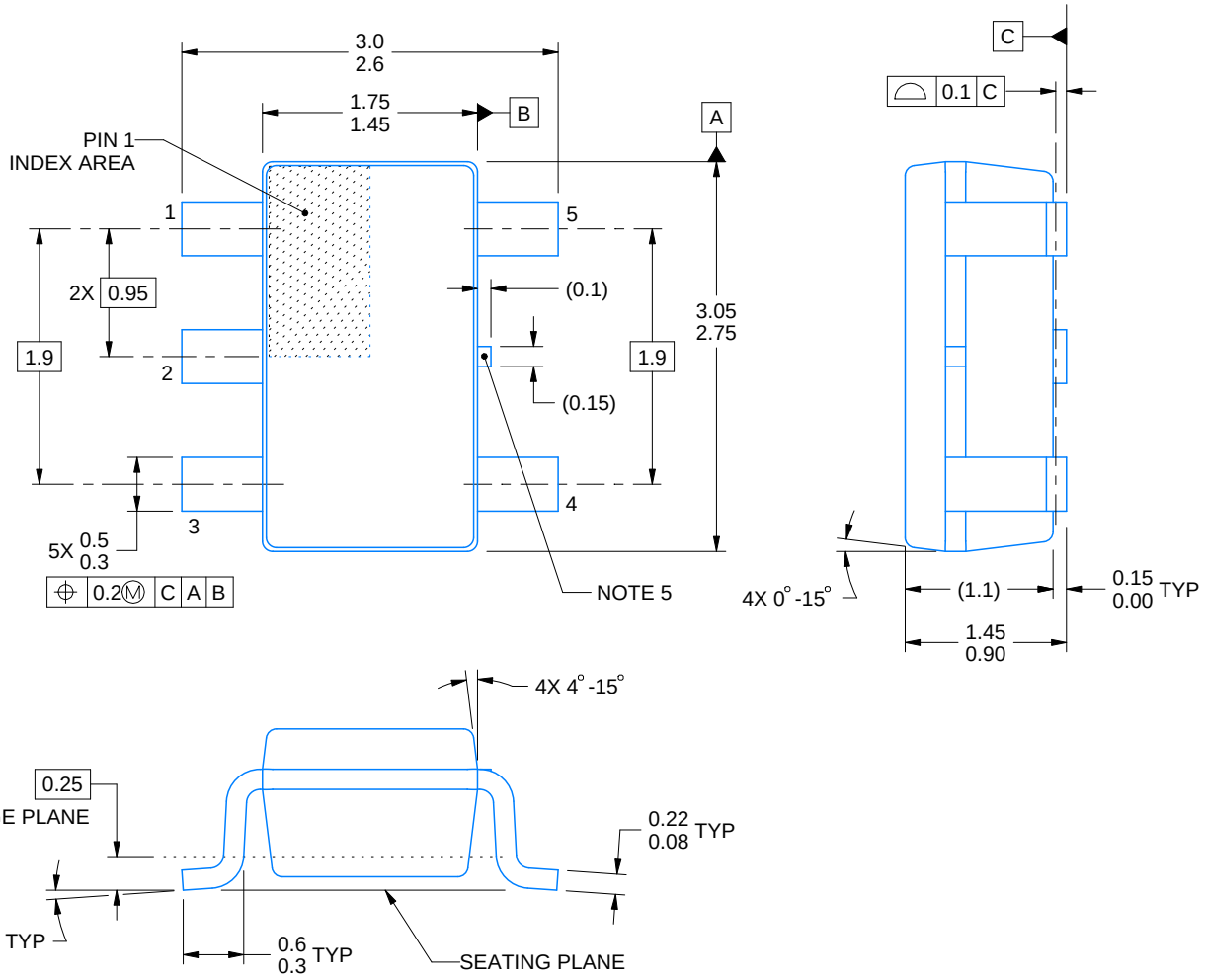
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TLV9041DDBVR	SOT-23	DBV	5	3000	210.0	185.0	35.0
TLV9041DDCKR	SC70	DCK	5	3000	210.0	185.0	35.0
TLV9042DDGKR	VSSOP	DGK	8	2500	353.0	353.0	32.0
TLV9042DDR	SOIC	D	8	3000	353.0	353.0	32.0

PACKAGE OUTLINE

DBV0005A

SOT-23 - 1.45 mm max height

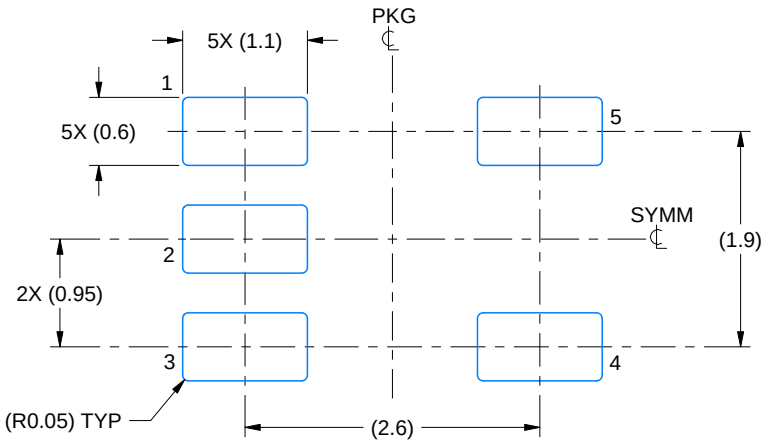
SMALL OUTLINE TRANSISTOR



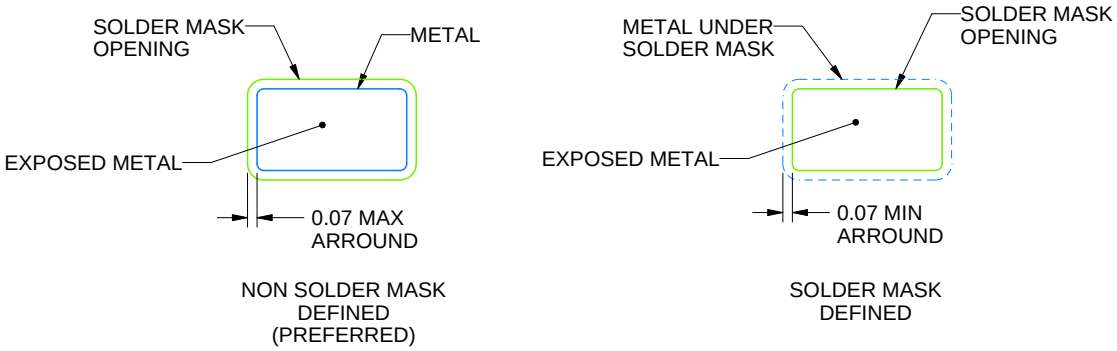
4214839/K 08/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Refernce JEDEC MO-178.
4. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25 mm per side.
5. Support pin may differ or may not be present.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X

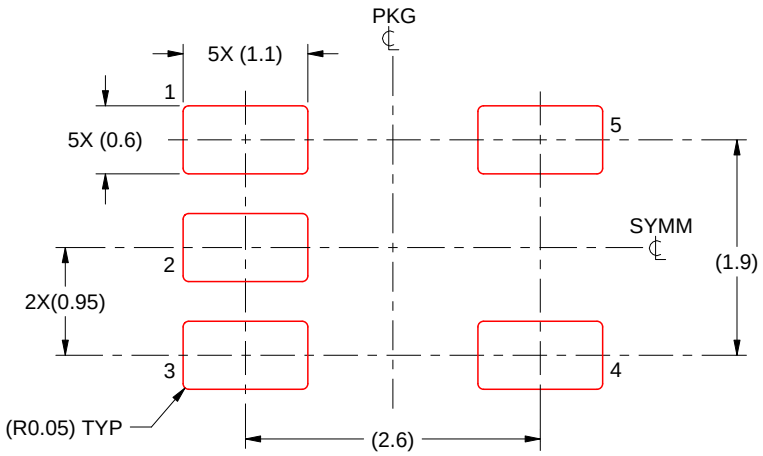


SOLDER MASK DETAILS

4214839/K 08/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214839/K 08/2024

NOTES: (continued)

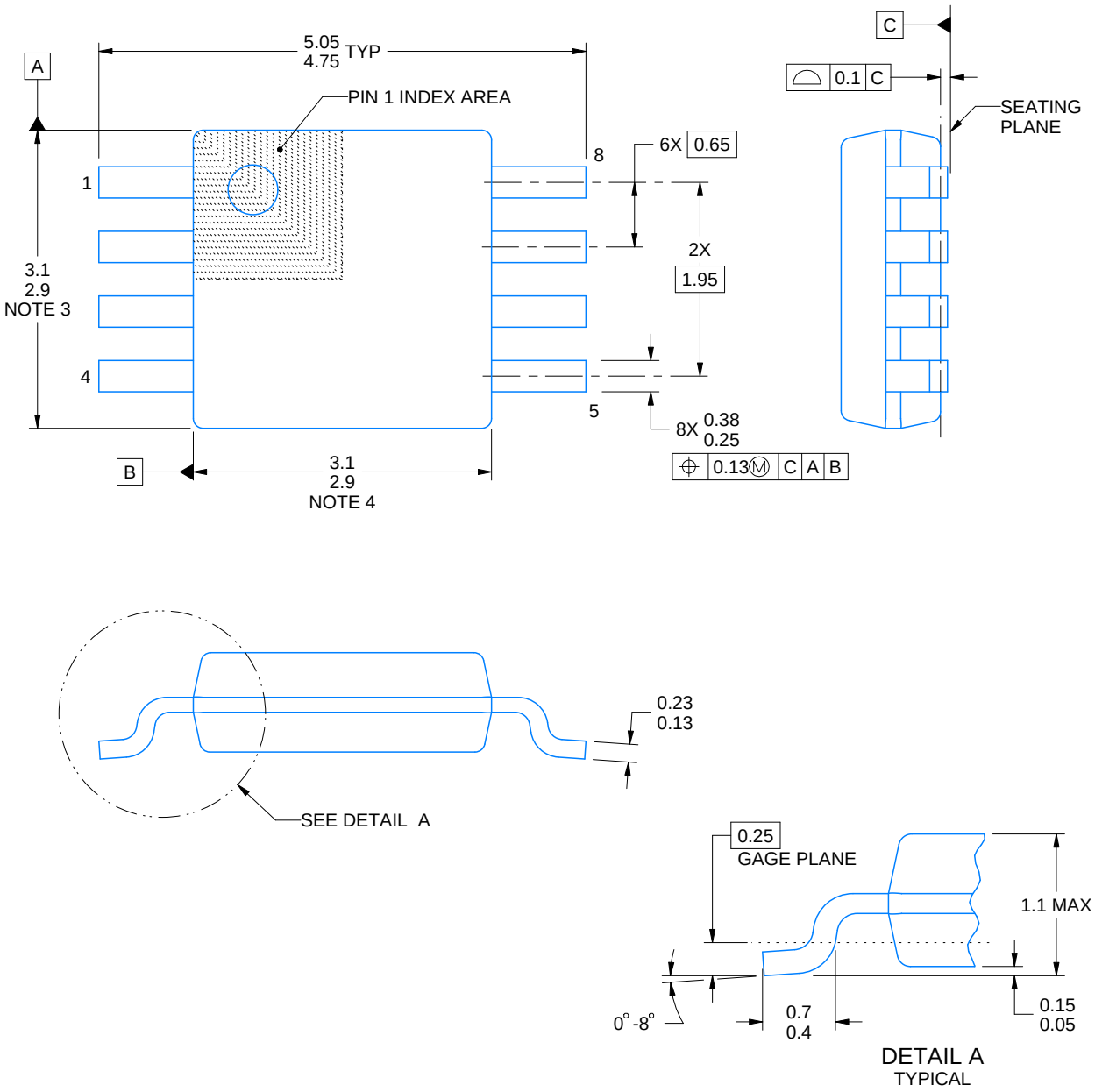
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

DGK0008A

VSSOP - 1.1 mm max height

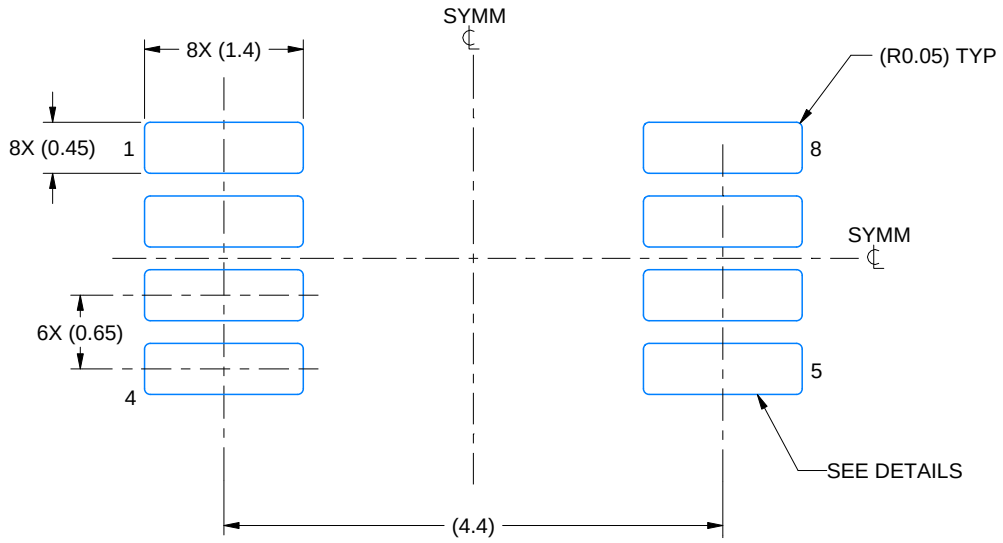
SMALL OUTLINE PACKAGE



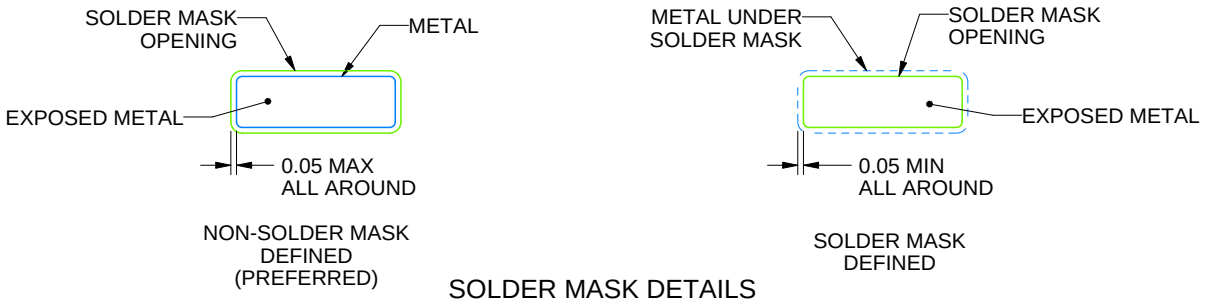
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X

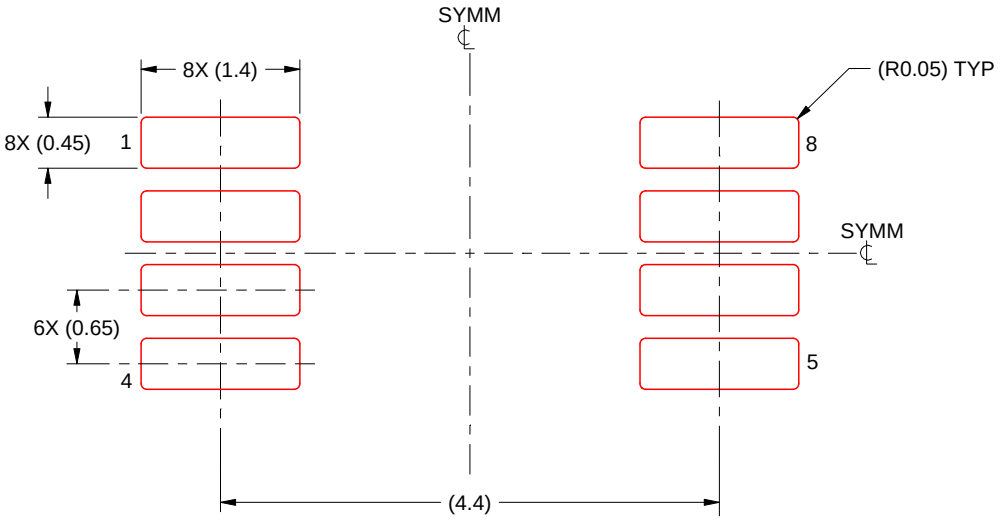


SOLDER MASK DETAILS

4214862/A 04/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
9. Size of metal pad may vary due to creepage requirement.



SOLDER PASTE EXAMPLE
SCALE: 15X

4214862/A 04/2023

NOTES: (continued)

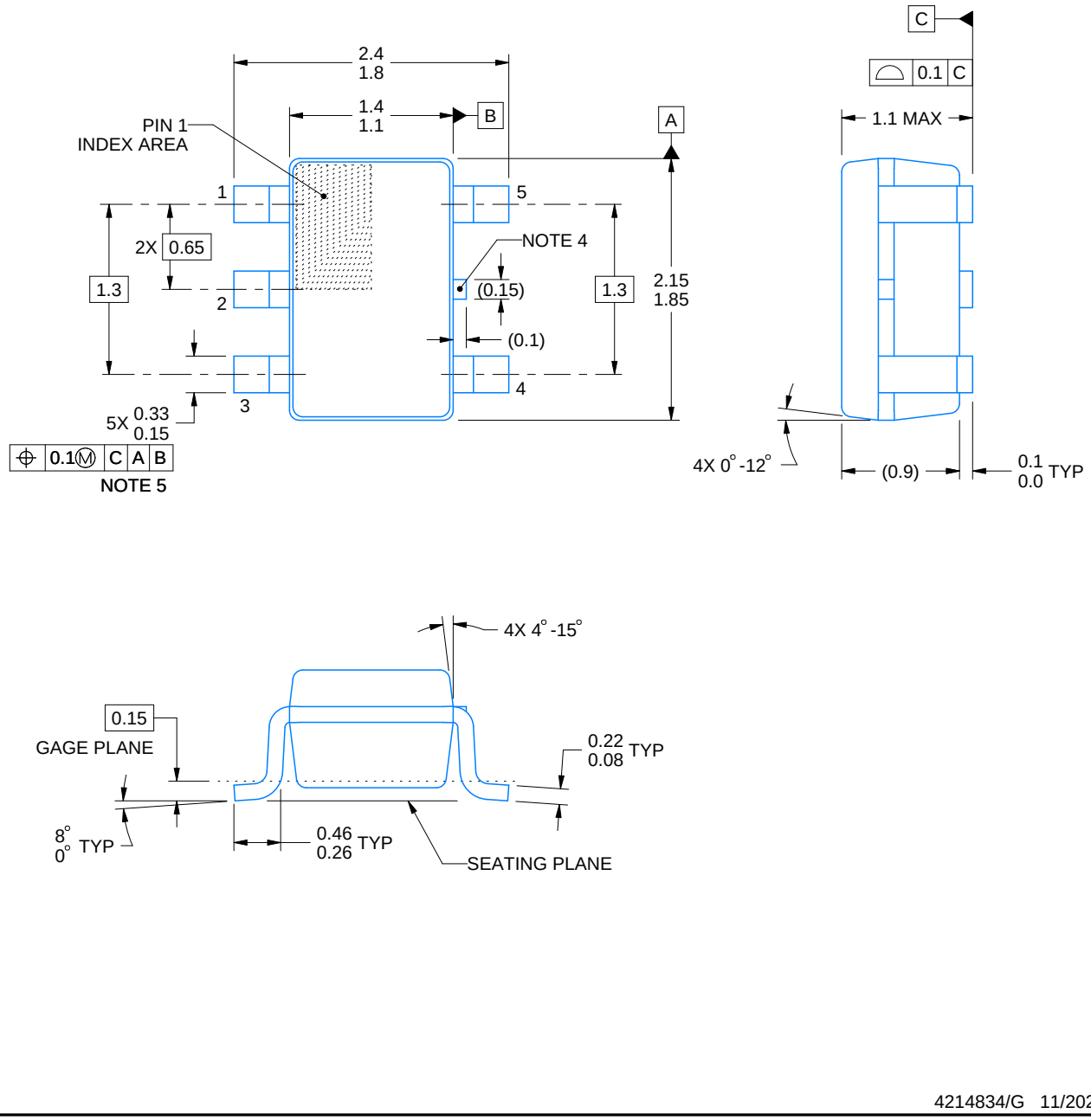
11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

DCK0005A

SOT - 1.1 max height

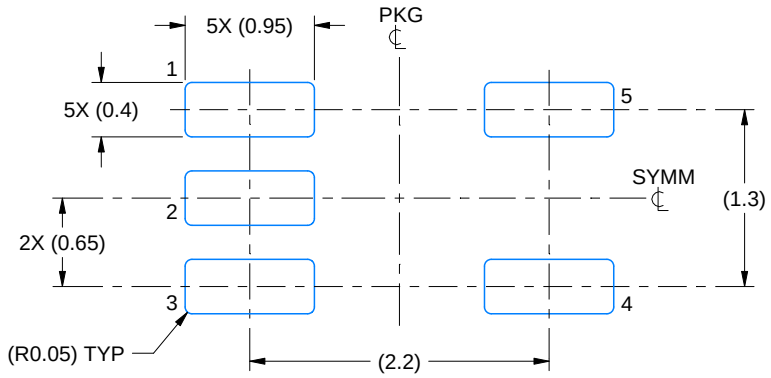
SMALL OUTLINE TRANSISTOR



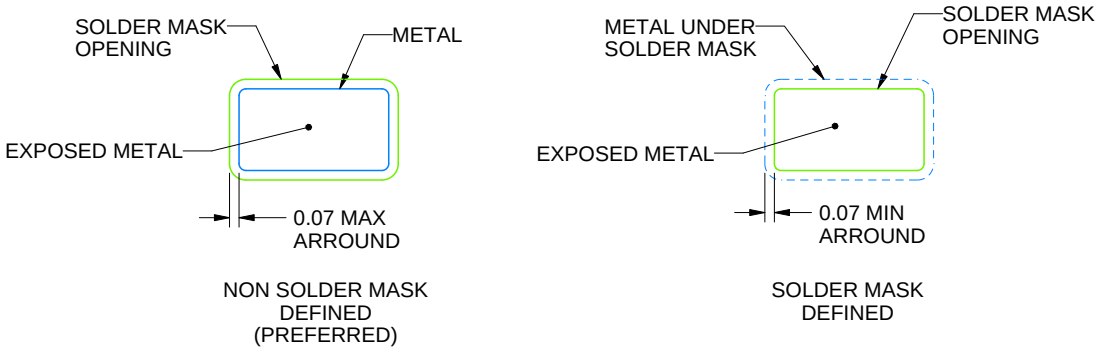
4214834/G 11/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Refernce JEDEC MO-203.
4. Support pin may differ or may not be present.
5. Lead width does not comply with JEDEC.
6. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25mm per side



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:18X

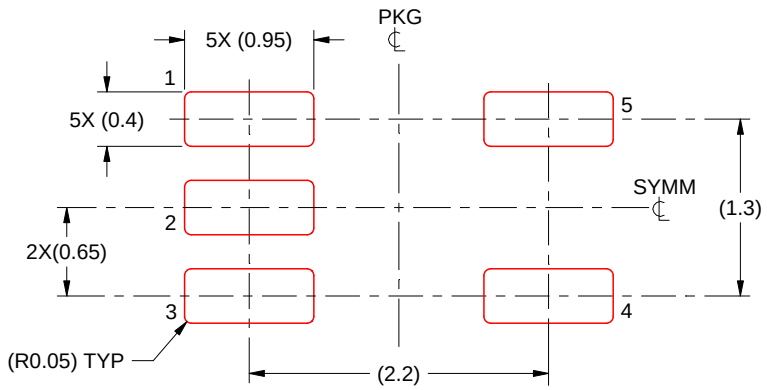


SOLDER MASK DETAILS

4214834/G 11/2024

NOTES: (continued)

7. Publication IPC-7351 may have alternate designs.
8. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

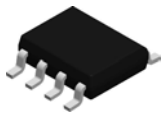


SOLDER PASTE EXAMPLE
BASED ON 0.125 THICK STENCIL
SCALE:18X

4214834/G 11/2024

NOTES: (continued)

9. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
10. Board assembly site may have different recommendations for stencil design.

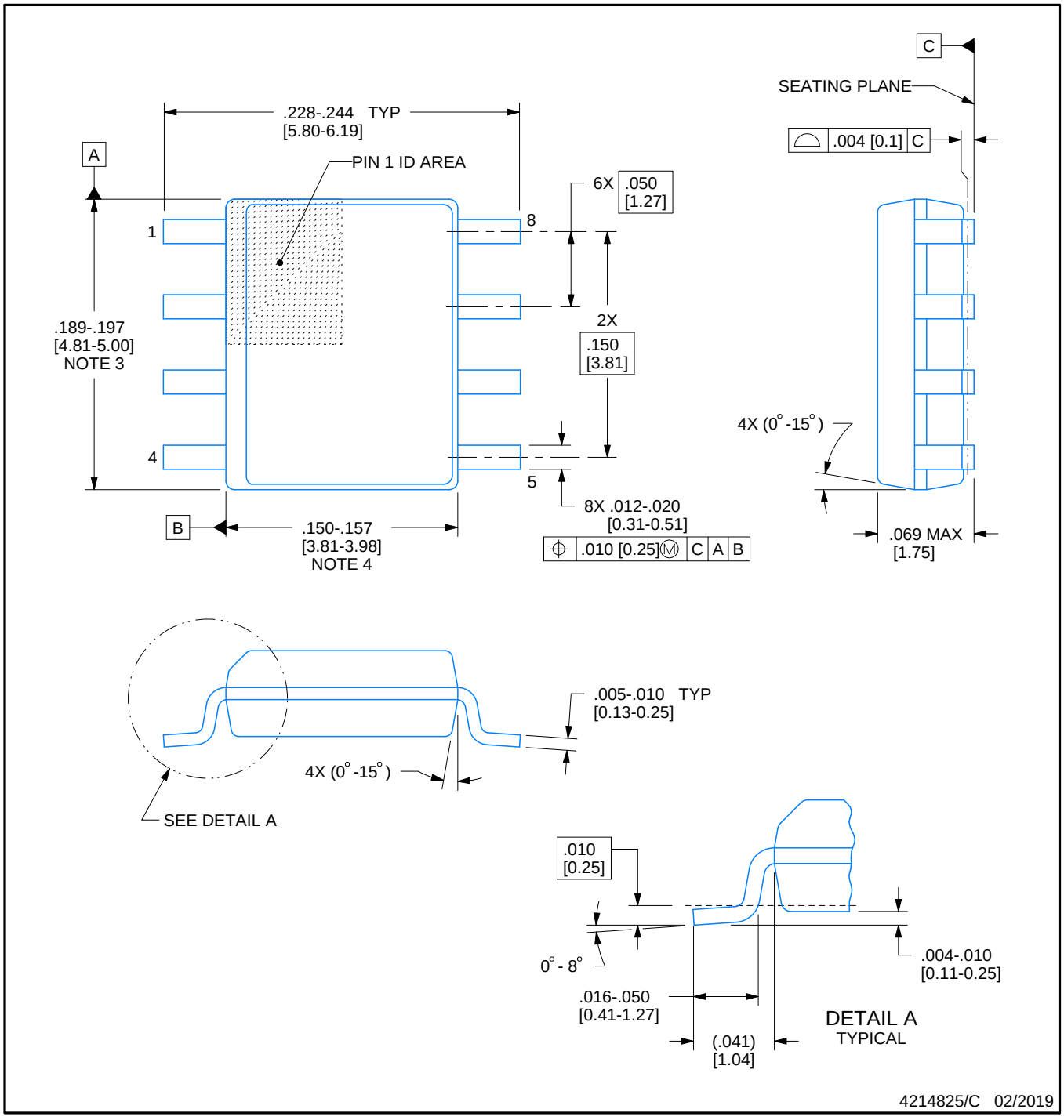


PACKAGE OUTLINE

D0008A

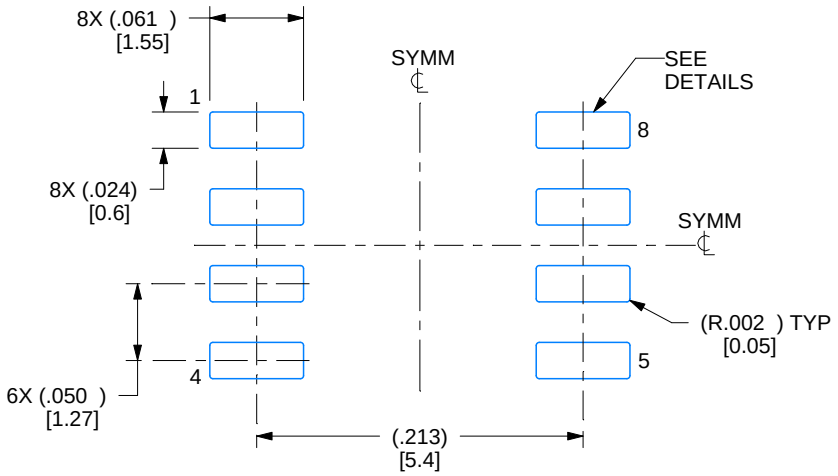
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

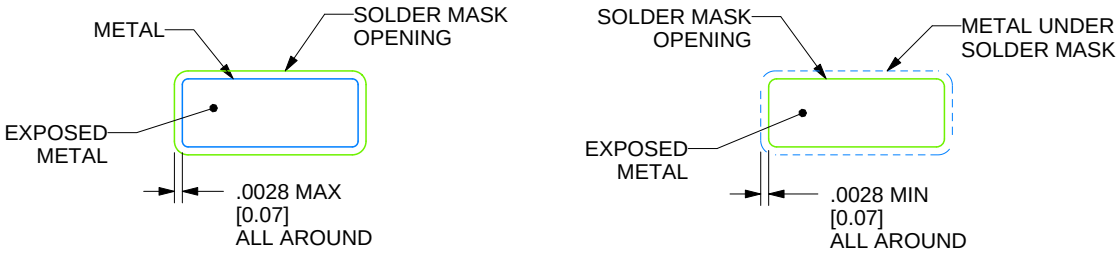


NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

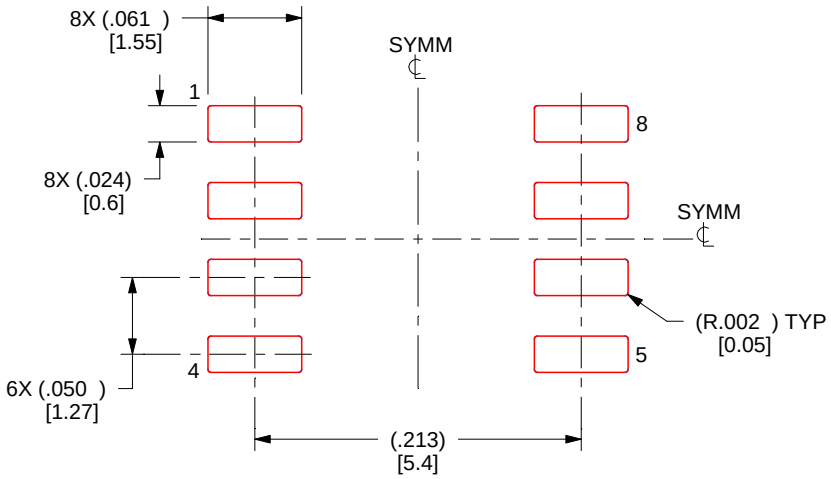
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月