TCAN6062-Q1 具有待机模式的汽车类 CAN XL 收发器

1 特性

- 符合面向汽车应用的 AEC Q100 标准
- 符合 ISO 11898-2:2024 附件 A 的要求：具有 SIC 模式和 FAST 模式的 HS-PMA (CAN XL)
- 功能安全型
  - 器件发布时时将提供相关文档来协助进行功能安全系统设计
- 在 FAST 模式下支持高达 20Mbps 的信号传输速率，在 SIC 模式下支持高达 8Mbps 的信号传输速率
  - FAST TX 模式和 FAST RX 模式支持 CAN XL 数据信号传输
  - 通过减少复杂拓扑中的振铃，积极改善总线信号
  - 具有 CAN FD 和 CAN SIC 功能的混合模式网络
- V_{IO} 电平转换支持 1.71V 至 5.5V 的电压范围
- 支持 12V 和 24V 电池应用
- 接收器共模输入电压：±12V
- 保护特性：
  - 总线引脚上提供 IEC ESD 保护
  - 总线故障保护：±58V
  - V_{CC} 和 V_{IO} 电源终端的欠压保护
  - TXD 显性超时 (TXD DTO)
  - 热关断保护 (TSD)
- 工作模式
  - 正常模式：SIC、FAST TX、FAST RX
  - 支持远程唤醒请求功能的低功耗待机模式
- 未供电时具有无源行为
  - 总线和逻辑终端处于高阻态（运行总线或应用上无负载）
  - 支持热插拔：在总线和 RXD 输出上可实现上电/断电无干扰运行
  - 定义了浮动逻辑引脚和电源欠压情况下的器件行为
- 采用 SOIC (8) 和无引线 3mm x 3mm VSON (8) 封装，具有可润湿侧翼并提供改善的自动光学检测 (AOI) 功能

2 应用

- 汽车网关
- 高级驾驶辅助系统 (ADAS)
- 车身电子装置和照明
- 混合动力、电动和动力总成系统
- 汽车信息娱乐系统与仪表组

3 说明

TCAN6062-Q1 是一款高速控制器局域网 (CAN) 收发器，符合 ISO 11898-2:2024 附件 A (CAN XL) 规范的物理层要求。该器件支持 TXD 引脚上的 PWM 解码，从而使其能够在 SIC 模式、FAST TX 模式和 FAST RX 模式下运行。对于 SIC 模式，该器件可减少显性到隐性边缘的信号振铃，并能在复杂的网络拓扑中实现更高的吞吐量。对于 FAST TX 模式，该器件使用 H 桥架构来主动驱动逻辑状态。这种驱动器架构以及以零为中心的 FAST RX 阈值和以 50%为中心的输入逻辑缓冲器 (TXD) 阈值，可在多点网络中实现高达 20Mbps 的高速通信。FAST RX 模式使用高速比较器来检测高达 20Mbps 的总线流量并将其转换为接收的逻辑数据。

TCAN6062-Q1 包括通过 V_{IO} 逻辑电源端子实现的内部逻辑电平转换功能，允许直接连接到 1.8V、2.5V、3.3V 或 5V 控制器。该收发器支持低功耗待机模式，允许通过 CAN 总线（符合 ISO 11898-2:2024 附件 A 定义的唤醒模式 (WUP)）实现远程唤醒。该器件还包括许多保护功能，包括欠压检测、热关断 (TSD)、驱动器显性超时 (TXD DTO) 和 ±58V 总线故障保护。

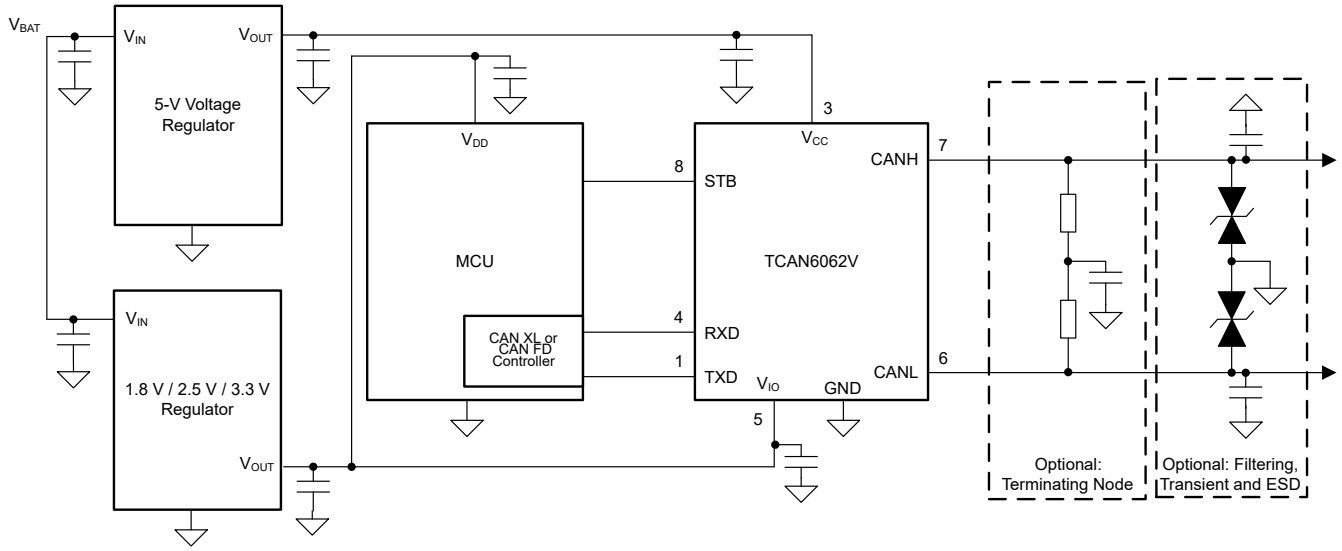
这些器件与 TCAN1044A(V)-Q1 和/或 TCAN1472(V)-Q1 等 8 引脚 CAN FD 和 CAN SIC 收发器引脚兼容。

封装信息

器件型号	封装(1)	封装尺寸(2)
TCAN6062-Q1 TCAN6062V-Q1	VSON（8，DRB）	3mm × 3mm
	SOIC（8，D）	4.9mm × 6mm

(1) 有关更多信息，请参阅节 11。
(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。



简化版方框图

ADVANCE INFORMATION

Copyright © 2025 Texas Instruments Incorporated

内容

1 特性 1
2 应用 1
3 说明 1
4 引脚配置和功能 4
5 规格 5
5.1 绝对最大额定值 5
5.2 ESD 等级 5
5.3 ESD 等级（IEC 瞬态） 5
5.4 建议运行条件 5
5.5 热特性 6
5.6 电源特性 6
5.7 功耗额定值 7
5.8 电气特性 7
5.9 开关特性 10
6 参数测量信息 15
7 详细说明 18
7.1 概述 18
7.2 功能方框图 20
7.3 特性说明 21
7.4 器件功能模式 27
8 应用和实施 31
8.1 典型应用 31
8.2 系统示例 34
8.3 电源相关建议 34
8.4 布局 34
9 器件和文档支持 36
9.1 接收文档更新通知 36
9.2 支持资源 36
9.3 商标 36
9.4 静电放电警告 36
9.5 术语表 36
10 修订历史记录 36
11 机械、封装和可订购信息 36
11.1 卷带包装信息 37

ADVANCE INFORMATION

Copyright © 2025 Texas Instruments Incorporated

4 引脚配置和功能

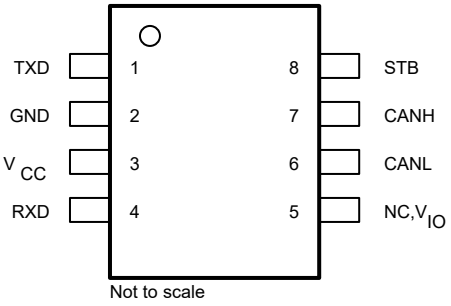


图 4-1. SOIC (D) 封装，8 引脚
（顶视图）

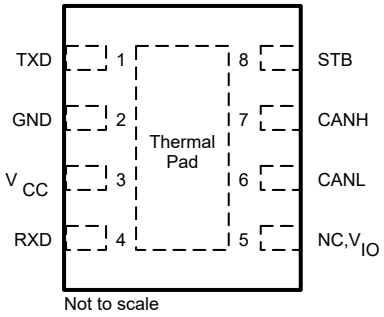


图 4-2. VSON (DRB) 封装，8 引脚
（顶视图）

表 4-1. 引脚功能

引脚		类型	描述
名称	编号		
TXD	1	数字输入	CAN 发送数据输入
GND	2	GND	接地连接
V_{CC}	3	电源	5V 电源电压
RXD	4	数字输出	CAN 接收数据输出，断电时三态
NC	5	—	未内部连接；无 V_{IO} 的器件
V_{IO}		电源	逻辑电源电压；有 V_{IO} 的器件
CANL	6	总线 IO	低电平 CAN 总线输入/输出线路
CANH	7	总线 IO	高电平 CAN 总线输入/输出线路
STB	8	数字输入	待机模式控制输入，集成上拉电阻
散热焊盘（仅限 VSON）	—		电气连接至 GND，将散热焊盘连接至印刷电路板 (PCB) 接地平面以实现散热

ADVANCE INFORMATION

Copyright © 2025 Texas Instruments Incorporated

5 规格

5.1 绝对最大额定值

(1) (2)

		最小值	最大值	单位
V_{CC}	电源电压	-0.3	6	V
V_{IO}	电源电压 I/O 电平转换器	-0.3	6	V
V_{BUS}	CANH 和 CANL 上的 CAN 总线 I/O 电压范围以接地为基准（器件由 TXD 静态或切换供电，器件未通电）	-58	58	V
V_{DIFF}	CANH 和 CANL 之间的最大差分电压 V_{DIFF} = (CANH - CANL)	-45	45	V
V_{Logic_Input}	逻辑引脚输入电压（TXD、STB）	-0.3	6	V
V_{RXD}	逻辑输出电压范围 (RXD)	-0.3	6	V
$I_{O(RXD)}$	RXD 输出电流	-8	8	mA
T_J	结温	-40	165	°C
T_{STG}	贮存温度	-65	150	°C

(1) 超出“绝对最大额定值”运行可能会对器件造成永久损坏。“绝对最大额定值”并不表示器件在这些条件下或在“建议运行条件”以外的任何其他条件下能够正常运行。如果超出“建议运行条件”但在“绝对最大额定值”范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。
(2) 除差分 I/O 总线电压外的所有电压值都是相对于接地引脚的值。

5.2 ESD 等级

				值	单位
V_{ESD}	静电放电	人体放电模型 (HBM)，符合 AEC Q100-002 标准(1)	所有引脚的 HBM 分类等级为 3A	±4000	V
			全局引脚 CANH 和 CANL（相对于 GND）的 HBM 分类等级为 3B	±10000	V
		充电器件模型 (CDM)，符合 AEC Q100-011 标准 所有引脚的 CDM 分类等级为 C5		±750	V

(1) AEC Q100-002 指示应当按照 ANSI/ESDA/JEDEC JS-001 规范执行 HBM 应力测试。

5.3 ESD 等级（IEC 瞬态）

				值	单位
V_{ESD}	系统级静电放电	CAN 总线引脚（CANH、CANL）到 GND	SAE J2962-2（根据 ISO 10605）供电接触放电	±8000	V
			SAE J2962-2（根据 ISO 10605）供电空气放电	±15000	V
			IEC 62228-3（根据 ISO 10605）	±8000	V
V_{Tran}	ISO 7637-2 瞬态抗扰度(1)		脉冲 1	-100	V
			脉冲 2a	75	V
			脉冲 3a	-150	V
			Pulse 3b	100	V
	直接电容器耦合，SAE J2962-2（根据 ISO 7637-3）(2)		DCC 慢速瞬态脉冲	±30	V

(1) 根据 IEC 62228-3:2019 CAN 收发器第 6.3 节进行了测试；采用 ISO 7637-2 (2011) 中定义的标准脉冲参数
(2) 根据 SAE J2962-2 进行了测试

5.4 建议运行条件

		最小值	标称值	最大值	单位
V_{CC}	电源电压	4.75	5	5.25	V

ADVANCE INFORMATION

Copyright © 2025 Texas Instruments Incorporated

		最小值	标称值	最大值	单位
V_{IO}	I/O 电平转换器的电源电压	1.71		5.5	V
$I_{OH(RXD)}$	RXD 端子高电平输出电流	-1.5			mA
$I_{OL(RXD)}$	RXD 端子低电平输出电流			1.5	mA
T_J	结温	-40		150	°C

5.5 热特性

热指标(1)		TCAN6062V-Q1		单位
		D (SOIC)	DRB (VSON)	
$R_{\Theta JA}$	结至环境热阻	109		℃/W
$R_{\Theta JC(top)}$	结至外壳（顶部）热阻	46.4		℃/W
$R_{\Theta JB}$	结至电路板热阻	56.5		℃/W
Ψ_{JT}	结至顶部特征参数	4.8		℃/W
Ψ_{JB}	结至电路板特征参数	55.6		℃/W
$R_{\Theta JC(bot)}$	结至外壳（底部）热阻	不适用		℃/W

(1) 有关新旧热指标的更多信息，请参阅半导体和 IC 封装热指标应用报告。

5.6 电源特性

参数在建议工作条件下有效，且 40℃ ≤ T_J ≤ 150℃（典型值在 V_{CC} = 5V、V_{IO} = 3.3V、器件环境保持在 27℃ 时测得，除非另有说明）

参数		测试条件		最小值	典型值	最大值	单位
I_{CC}	电源电流 SIC 模式	显性	TXD = 0V，STB = 0V R_L = 60Ω，C_L = 开路		57	75	mA
		显性	TXD = 0V，STB = 0V R_L = 50Ω，C_L = 开路		61	80	mA
		隐性	TXD = V_{IO}，STB = 0V R_L = 50Ω，C_L = 开路		13	18	mA
		显性，存在总线故障	TXD = 0V，STB = 0V CANH = CANL = ±25V R_L = 开路，C_L = 开路			135	mA
I_{CC}	电源电流 Fast TX 模式	Level_0 或 Level_1	TXD = PWM 符号，STB = 0V，R_L = 45Ω		45	60	mA
			TXD = PWM 符号，STB = 0V，R_L = 50Ω		45	60	mA
I_{CC}	电源电流 Fast RX 模式	Fast-RX 模式	TXD = PWM 符号，STB = 0V，C_{RXD} = 15pF		12	19	mA
I_{CC}	电源电流待机模式（有 V_{IO} 的器件）		TXD = STB = V_{IO}，R_L = 50Ω，C_L = 开路，Tj <= 85°C			1	μA
			TXD = STB = V_{IO}，R_L = 50Ω，C_L = 开路，Tj <= 125°C		0.2	2	
			TXD = STB = V_{IO}，R_L = 50Ω，C_L = 开路，Tj <= 150°C			5	
I_{CC}	电源电流待机模式（无 V_{IO} 的器件）		TXD = STB = V_{CC}，R_L = 50Ω，C_L = 开路，Tj <= 85°C			13.5	μA
			TXD = STB = V_{CC}，R_L = 50Ω，C_L = 开路，Tj <= 125°C			15	
			TXD = STB = V_{CC}，R_L = 50Ω，C_L = 开路，Tj <= 150°C			16	
I_{IO}	I/O 电源电流 SIC 模式有 V_{IO} 的器件	显性	TXD = 0V，STB = 0V R_L = 50Ω，C_L = 开路 RXD 悬空		125	170	μA
		隐性	TXD = V_{IO}，STB = 0V R_L = 50Ω，C_L = 开路 RXD 悬空		25	80	μA

ADVANCE INFORMATION

Copyright © 2025 Texas Instruments Incorporated

参数在建议工作条件下有效，且 40℃ ≤ T_J ≤ 150℃（典型值在 V_{CC} = 5V、V_{IO} = 3.3V、器件环境保持在 27℃ 时测得，除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
I_{IO}	I/O 电源电流待机模式 有 V_{IO} 的器件	TXD = V_{IO}，STB = V_{IO} R_L = 50Ω，C_L = 开路 RXD 悬空，Tj <= 85°C			13.5	μA
		TXD = V_{IO}，STB = V_{IO} R_L = 50Ω，C_L = 开路 RXD 悬空，Tj <= 125°C		8.5	15	
		TXD = V_{IO}，STB = V_{IO} R_L = 50Ω，C_L = 开路 RXD 悬空，Tj <= 150°C			16	
$UV_{CC(R)}$	V_{CC} 上升时的欠压检测	斜升		4.2	4.4	V
$UV_{CC(F)}$	V_{CC} 下降时的欠压检测	斜降	3.5	4		V
$UV_{VCC(HYS)}$	V_{CC} 欠压锁定的迟滞电压			200		mV
$UV_{IO(R)}$	V_{IO} 上升时的欠压检测（有 V_{IO} 的器件）	斜升		1.6	1.65	V
$UV_{IO(F)}$	V_{IO} 下降时的欠压检测（有 V_{IO} 的器件）	斜降	1.4	1.5		V
$UV_{VIO(HYS)}$	V_{IO} 欠压锁定的迟滞电压			45		mV

5.7 功耗额定值

参数		测试条件	最小值	典型值	最大值	单位
P_D	平均功耗， 正常模式	V_{CC} = 5V，V_{IO} = 3.3V，T_J = 27°C，R_L = 60Ω，C_L = 100pF，C_{L_RXD} = 15pF TXD 输入 = 250kHz 50% 占空比方波：器件处于 SIC 模式		待定		mW
		V_{CC} = 5.5V，V_{IO} = 5.5V，T_J = 150°C，R_L = 50Ω，C_L = 100pF，C_{L_RXD} = 15pF TXD 输入= 2.5MHz 50% 占空比方波：器件处于 SIC 模式		待定		mW
		V_{CC} = 5V，V_{IO} = 3.3V，T_J = 27°C，R_L = 50Ω，C_L = 25pF，C_{L_RXD} = 15pF TXD 输入 =10Mbps 逻辑_0 PWM 符号脉冲：器件处于 Fast TX 模式		待定		mW
		V_{CC} = 5.5V，V_{IO} = 5.5V，T_J = 150°C，R_L = 45Ω，C_L = 25pF，C_{L_RXD} = 15pF TXD 输入 =20Mbps 逻辑_0 PWM 符号脉冲：器件处于 Fast TX 模式		待定		mW
T_{TSD}	热关断温度			192		°C
T_{TSD_HYS}	热关断迟滞			10		

5.8 电气特性

参数在建议工作条件下有效，且 40℃ ≤ T_J ≤ 150℃（典型值在 V_{CC} = 5V、V_{IO} = 3.3V、器件环境保持在 27℃ 时测得，除非另有说明）

参数			测试条件	最小值	典型值	最大值	单位
驱动器 — SIC 模式							
$V_{CANH(D)}$	显性输出电压 SIC 模式	CANH	V_{CC} = 4.5V 至 5.5V，TXD = 0V，STB = 0V 45Ω ≤ R_L ≤ 65Ω，C_L = 开路	2.75	3.5	4.5	V
$V_{CANL(D)}$		CANL		0.5	1.3	2.25	V
$V_{CANH(D)}$	显性输出电压 SIC 模式	CANH	V_{CC} = 4.75V 至 5.25V，TXD = 0V，STB = 0V 45Ω ≤ R_L ≤ 65Ω，C_L = 开路	3	3.5	4.26	V
$V_{CANL(D)}$		CANL		0.75	1.3	2.01	V
$V_{CANH(R)}$、$V_{CANL(R)}$	隐性输出电压 SIC 模式	CANH、CANL 相对于 GND	V_{CC} = 4.5V 至 5.5V，TXD = V_{IO}，STB = 0V R_L = 开路（无负载），C_L = 开路	2	2.5	3	V

ADVANCE INFORMATION

Copyright © 2025 Texas Instruments Incorporated

ADVANCE INFORMATION

参数在建议工作条件下有效，且 40℃ ≤ T_J ≤ 150℃（典型值在 V_{CC} = 5V、V_{IO} = 3.3V、器件环境保持在 27℃ 时测得，除非另有说明）

参数			测试条件	最小值	典型值	最大值	单位
$V_{CANH(R)}$、$V_{CANL(R)}$	隐性输出电压，正常模式	CANH、CANL 相对于 GND	V_{CC} = 4.75V 至 5.25V，TXD = V_{IO}，STB = 0V 45Ω ≤ R_L ≤ 65Ω，C_L = 4.7nF	2.256	2.5	2.756	V
$V_{DIFF(D)}$	差分输出电压 SIC 模式显性	CANH - CANL	TXD = 0V，STB = 0V 45Ω ≤ R_L ≤ 65Ω，C_L = 开路	1.5		3	V
			TXD = 0V，STB = 0V 45Ω ≤ R_L ≤ 70Ω，C_L = 开路	1.5		3.3	V
			TXD = 0V，STB = 0V R_L = 2240Ω，C_L = 开路	1.5		5	V
$V_{DIFF(R)}$	差分输出电压 SIC 模式：隐性	CANH - CANL	TXD = V_{IO}，STB = 0V R_L = 开路，C_L = 开路	-50		50	mV
			TXD = V_{IO}，STB = 0V 45Ω ≤ R_L ≤ 65Ω，C_{SPLIT} = 4.7nF，C_L = 开路	-50		50	mV
V_{SYM}	SIC 模式下的驱动器对称性 ($V_{O(CANH)}$ + $V_{O(CANL)}$)/($V_{CANH(R)}$ + $V_{CANL(R)}$)		TXD 在 250kHz、1MHz、2.5MHz 切换，STB = 0V 45Ω ≤ R_L ≤ 65Ω，C_{SPLIT} = 4.7nF，C_L = 开路	0.95		1.05	V/V
$R_{ID(DOM)}$	SIC 显性阶段中的差分输入电阻		TXD = 0V，STB = 0V		40		Ω
$R_{SE_SIC_ACT_REC}$	主动隐性阶段中的单端电阻 CANH/CANL		2V ≤ $V_{CANH/L}$ ≤ V_{CC} - 2V	37.5	50	66.5	Ω
$R_{DIFF_SIC_ACT_REC}$	主动隐性阶段中的差分输入电阻		2V ≤ $V_{CANH/L}$ ≤ V_{CC} - 2V	75	100	133	Ω
$V_{CANH(INACT)}$	总线输出电压待机模式	CANH	TXD = STB = V_{IO} R_L = 开路，C_L = 开路	-0.1		0.1	V
$V_{CANL(INACT)}$		CANL		-0.1		0.1	V
$V_{DIFF(INACT)}$		CANH - CANL		-0.2		0.2	V
I_{OS}	短路总线输出电流，TXD 为显性或隐性或正在切换，SIC 模式		$V_{(CANH)}$ = -15V 至 40V，CANL = 开路，TXD = 0V 或 V_{IO} 或 250khz、2.5Mhz 方波	-115		115	mA
			$V_{(CAN_L)}$ = -15V 至 40V，CANH = 开路，TXD = 0V 或 V_{IO} 或 250khz、2.5Mhz 方波	-115		115	mA
驱动器 — FAST TX 模式							
V_{CAN_H0}	CANH 上的单端电压	Level_0	TXD = Level_0 PWM 符号，STB = 0V 45Ω ≤ R_L ≤ 60Ω，C_L = 开路	2.55		3.51	V
V_{CAN_H1}		Level_1	TXD = Level_1 PWM 符号，STB = 0V 45Ω ≤ R_L ≤ 60Ω，C_L = 开路	1.5		2.46	V
V_{CAN_L0}	CANL 上的单端电压	Level_0	TXD = Level_0 PWM 符号，STB = 0V 45Ω ≤ R_L ≤ 60Ω，C_L = 开路	1.5		2.46	V
V_{CAN_L1}		Level_1	TXD = Level_1 PWM 符号，STB = 0V 45Ω ≤ R_L ≤ 60Ω，C_L = 开路	2.55		3.51	V
V_{DIFF0}	差分输出电压 Fast TX 模式	Level_0	TXD = Level_0 PWM 符号，STB = 0V 45Ω ≤ R_L ≤ 60Ω，C_L = 开路	0.6		1.5	V
V_{DIFF1}		Level_1	TXD = Level_1 PWM 符号，STB = 0V 45Ω ≤ R_L ≤ 60Ω，C_L = 开路	-1.5		-0.6	V
V_{SYM}	Fast TX 模式下的驱动器对称性 ($V_{O(CANH)}$ + $V_{O(CANL)}$)/V_{CC}		5Mbps、10Mbps、20Mbps 的 TXD = PWM 符号，STB = 0V 45Ω ≤ R_L ≤ 60Ω，C_{SPLIT} = 4.7nF，C_L = 开路	0.95		1.05	V/V
I_{OS}	短路总线输出电流，TXD 为 Level_0 PWM 或 Level_1 PWM，Fast TX 模式		$V_{(CANH)}$ = -15V 至 40V，CANL = 开路，TXD = Level_0 PWM 或 Level_1 PWM 5 Mbps、10Mbps、20Mbps	-115		115	mA
			$V_{(CAN_L)}$ = -15V 至 40V，CANH = 开路，TXD = Level_0 PWM 或 Level_1 PWM 5 Mbps、10Mbps、20Mbps	-115		115	mA
接收器 — SIC 和待机模式							

Copyright © 2025 Texas Instruments Incorporated

参数在建议工作条件下有效，且 40℃ ≤ T_J ≤ 150℃（典型值在 V_{CC} = 5V、V_{IO} = 3.3V、器件环境保持在 27℃ 时测得，除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
V_{IT}	输入阈值电压 SIC 模式	-12V ≤ V_{CM} ≤ 12V，STB = 0V，R_L = 开路，C_L = 开路	500		900	mV
$V_{IT(STB)}$	输入阈值电压待机模式	-12V ≤ V_{CM} ≤ 12V，STB = V_{IO}，R_L = 开路，C_L = 开路	400		1150	mV
$V_{DIFF_RX(D)}$	SIC 模式显性状态差分输入电压范围	-12V ≤ V_{CM} ≤ 12V，STB = 0V，R_L = 开路，C_L = 开路	0.9		9	V
$V_{DIFF_RX(R)}$	SIC 模式隐性状态差分输入电压范围	-12V ≤ V_{CM} ≤ 12V，STB = 0V，R_L = 开路，C_L = 开路	-4		0.5	V
$V_{DIFF_RX(D_INACT)}$	待机模式显性状态差分输入电压范围	STB = V_{IO}，-12V ≤ V_{CM} ≤ 12V，R_L = 开路，C_L = 开路	1.15		9	V
$V_{DIFF_RX(R_INACT)}$	待机模式隐性状态差分输入电压范围	STB = V_{IO}，-12V ≤ V_{CM} ≤ 12V，R_L = 开路，C_L = 开路	-4		0.4	V
V_{HYS}	输入阈值 SIC 模式的迟滞电压	-12V ≤ V_{CM} ≤ 12V，STB = 0V，		100		mV
V_{CM}	共模范围 SIC、Fast 和待机模式		-12		12	V
$I_{LKG(IOFF)}$	未供电总线输入漏电流	CANH = CANL = 5V，V_{CC} = V_{IO} = GND			10	μA
C_I	对地输入电容（CANH 或 CANL）	TXD = V_{IO}			50	pF
C_{ID}	差分输入电容	TXD = V_{IO}			25	pF
$R_{DIFF_PAS_REC}$	被动隐性阶段中的差分输入电阻	TXD = V_{IO}，STB = 0V - 12V ≤ V_{CM} ≤ 12V，ΔV/ΔI	12		100	kΩ
$R_{SE_PAS_REC}$	被动隐性阶段中的单端输入电阻（CANH 或 CANL）		6		50	kΩ
$R_{IN(M)}$	输入电阻匹配 2* [$R_{IN(CANH)}$ - $R_{IN(CANL)}$] / [$R_{IN(CANH)}$ + $R_{IN(CANL)}$)] × 100 %	$V_{(CAN_H)}$ = $V_{(CAN_L)}$ = 5V	-3		3	%
接收器 — FAST RX 模式						
$V_{IT(FAST)}$	输入阈值电压 Fast RX	-12V ≤ V_{CM} ≤ 12V，STB = 0V，R_L = 开路，C_L = 开路	-100		100	mV
$V_{ID(Level_0)}$	Fast 模式 Level_0 状态差分输入电压范围	-12V ≤ V_{CM} ≤ 12V，STB = 0V，R_L = 开路，C_L = 开路	0.1		9	V
$V_{ID(Level_1)}$	Fast 模式 Level_1 状态差分输入电压范围	-12V ≤ V_{CM} ≤ 12V，STB = 0V，R_L = 开路，C_L = 开路	-9		-0.1	V
OOB 比较器						
$V_{IT(OOB)}$	输入阈值电压 OOB 比较器 SIC 模式	-12V ≤ V_{CM} ≤12V，STB= V_{IO}	-450		-250	mV
$V_{ID\ (OOB_Low)}$	低电平状态差分输入电压范围：OOB 比较器 SIC 模式	-12V ≤ V_{CM} ≤12V，STB= V_{IO}	-8		-0.45	V
$V_{ID\ (OOB_High)}$	高电平状态差分输入电压范围：OOB 比较器 SIC 模式	-12V ≤ V_{CM} ≤12V，STB= V_{IO}	-0.25		8	V
TXD 端子（CAN 发送数据输入）						
$V_{(TXD)THRESH}$	TXD 输入阈值电压	有 V_{IO} 的器件	0.95*(V_{IO}/2)		1.05*(V_{IO}/2)	V
$V_{(TXD)LOW}$	TXD 输入低电压范围	有 V_{IO} 的器件	0		0.95*(V_{IO}/2)	V
$V_{(TXD)HIGH}$	TXD 输入高电压范围	有 V_{IO} 的器件	1.05*(V_{IO}/2)		V_{IO}	V
$R_{(TXD)PU}$	TXD 输入上的上拉电阻		20		80	kΩ
$R_{(TXD)PD}$	TXD 输入上的下拉电阻		20		80	kΩ

ADVANCE INFORMATION

Copyright © 2025 Texas Instruments Incorporated

参数在建议工作条件下有效，且 40℃ ≤ T_J ≤ 150℃（典型值在 V_{CC} = 5V、V_{IO} = 3.3V、器件环境保持在 27℃ 时测得，除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
$m_{R(TXD)}$	上拉和下拉阻抗匹配	2 × ($R_{(TXD)PU}$ − $R_{(TXD)PD}$) / ($R_{(TXD)PU}$ + $R_{(TXD)PD}$)	-0.05		0.05	欧姆/欧姆
I_{IH}	高电平输入漏电流	TXD = V_{IO} = 5.5V	-1		1	μA
I_{IL}	低电平输入漏电流	TXD = 0V，V_{IO} = 5.5V	-1		1	μA
$I_{LKG(OFF)}$	未供电时的漏电流	TXD = 5.5V，V_{CC} = V_{IO} = 0V	-1		1	μA
C_I	输入电容	V_{IN} = 0.4×sin(2×π×2×10^6×t) + 2.5V		5		pF
RXD 端子（CAN 接收数据输出）						
V_{OH}	高电平输出电压	I_O = –1.5mA，有 V_{IO} 的器件	0.8V_{IO}			V
V_{OL}	低电平输出电压	有 V_{IO} 的器件 I_O = 1.5mA，有 V_{IO} 的器件			0.2V_{IO}	V
$I_{LKG(OFF)}$	未供电时的漏电流	RXD = 5.5V，V_{CC} = V_{IO} = 0V	-1		1	μA
STB 端子（待机模式输入）						
V_{IH}	高电平输入电压	有 V_{IO} 的器件	0.7V_{IO}			V
V_{IL}	低电平输入电压	有 V_{IO} 的器件			0.3V_{IO}	V
I_{IH}	高电平输入漏电流	V_{CC} = V_{IO} = STB = 5.5V	-2		2	μA
I_{IL}	低电平输入漏电流	V_{CC} = V_{IO} = 5.5V，STB = 0V	-20		-2	μA
$I_{LKG(OFF)}$	未供电时的漏电流	STB = 5.5V，V_{CC} = V_{IO} = 0V	-1		1	μA

5.9 开关特性

参数在建议工作条件下有效，且 40℃ ≤ T_J ≤ 150℃（典型值在 V_{CC} = 5V、V_{IO} = 3.3V、器件环境保持在 27℃ 时测得，除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
器件开关特性						
$t_{FastTOSIC}$	PWM 检测时间（在 FAST RX 模式/FAST TX 模式和 SIC 模式之间切换的检测时间）	在 TXD 边沿的 50% 到下一个 50% 边沿（上升到上升或下降到下降）之间测量	210		245	ns
$t_{SymbolNom}$	PWM 符号接受长度		45		205	ns
t_{Select}	模式预选择时间		500		980	ns
t_{Decode}	PWM 检测分辨率				5	ns
$t_{Logical_0_Tx}$	PWM 比率检测为 logical_0 FAST TX		t_{Decode}		0.5*$t_{SymbolNom}$ - t_{Decode}	ns
$t_{Logical_1_Tx}$	PWM 比率检测为 logical_1 FAST TX		0.5*$t_{SymbolNom}$ + t_{Decode}		$t_{SymbolNom}$ - t_{Decode}	ns
$t_{Logical_Rx}$	PWM 比率检测到 FAST RX		t_{Decode}		$t_{SymbolNom}$ - t_{Decode}	ns
$t_{(LOOP1)}$	SIC 模式：总环路延迟，驱动器输入 (TXD) 到接收器输出 (RXD)，隐性到显性	，正常模式，V_{IO} = 4.5V 至 5.5V，45Ω ≤ R_L ≤ 65Ω，C_L = 100pF，$C_{L(RXD)}$ = 15pF		95	155	ns
		，正常模式，V_{IO} = 3V 至 3.6V，45Ω ≤ R_L ≤ 65Ω，C_L = 100pF，$C_{L(RXD)}$ = 15pF		100	165	ns
		，正常模式，V_{IO} = 2.25V 至 2.75V，45Ω ≤ R_L ≤ 65Ω，C_L = 100pF，$C_{L(RXD)}$ = 15pF		105	175	ns
		，正常模式，V_{IO} = 1.71V 至 1.89V，45Ω ≤ R_L ≤ 65Ω，C_L = 100pF，$C_{L(RXD)}$ = 15pF		120	190	ns

ADVANCE INFORMATION

Copyright © 2025 Texas Instruments Incorporated

参数在建议工作条件下有效，且 40℃ ≤ T_J ≤ 150℃（典型值在 V_{CC} = 5V、V_{IO} = 3.3V、器件环境保持在 27℃ 时测得，除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
$t_{(LOOP2)}$	SIC 模式：总环路延迟，驱动器输入 (TXD) 到接收器输出 (RXD)，显性到隐性	，正常模式，V_{IO} = 4.5V 至 5.5V，45Ω ≤ R_L ≤ 65Ω，C_L = 100pF，$C_{L(RXD)}$ = 15pF		110	165	ns
		，正常模式，V_{IO} = 3V 至 3.6V，45Ω ≤ R_L ≤ 65Ω，C_L = 100pF，$C_{L(RXD)}$ = 15pF		115	175	ns
		，正常模式，V_{IO} = 2.25V 至 2.75V，45Ω ≤ R_L ≤ 65Ω，C_L = 100pF，$C_{L(RXD)}$ = 15pF		120	185	ns
		，正常模式，V_{IO} = 1.71V 至 1.89V，45Ω ≤ R_L ≤ 65Ω，C_L = 100pF，$C_{L(RXD)}$ = 15pF		135	190	ns
t_{MODE}	模式更改时间，从 SIC 到待机或从待机到 SIC				30	µs
$t_{Prop(BusDom-BusLevel0)}$	从模式更改到总线 level_0 的传播延迟（SIC 模式到 Fast TX 模式）	45Ω ≤ R_L ≤ 60Ω，C_L = 25pF，C_{SPLIT} = 0，$C_{L(RXD)}$ = 15pF		待定	80	ns
$t_{Prop(BusLevel0-Rec)}$	FAST TX 和 FAST RX 模式下从模式更改到总线隐性的传播延迟（Fast 模式到 SIC 模式）	45Ω ≤ R_L ≤ 60Ω，C_L = 25pF，C_{SPLIT} = 0，$C_{L(RXD)}$ = 15pF		待定	325	ns
$t_{\Delta Bit(Bus)ADS/DAS}$	发送器传播延迟对称性 ADS/DAS	$t_{\Delta Bit(Bus)ADS/DAS}$ = tProp(TXD-BusDom) – tProp(TXD-BusLevel0) 45Ω ≤ R_L ≤ 60Ω，C_L = 25pF，C_{SPLIT} = 0，$C_{L(RXD)}$ = 15pF	-30		30	ns
$t_{\Delta Bit(RXD)ADS/DAS}$	接收器传播延迟对称性 ADS/DAS	$t_{\Delta Bit(RXD)ADS/DAS}$ = tProp(BusDom-RXD) – tProp(BusLevel0-RXD) 45Ω ≤ R_L ≤ 60Ω，C_L = 25pF，C_{SPLIT} = 0，$C_{L(RXD)}$ = 15pF	-20		20	ns
t_{FILTER}	有效唤醒模式的滤波时间		0.5		0.95	µs
t_{WAKE}	总线唤醒超时值		0.8		6	ms
t_{Flag}	唤醒模式信号传输				250	µs
驱动器开关 — SIC 模式						
$t_{prop(TxD-busrec)}$	传播延迟时间，低电平到高电平 TXD 边沿到驱动器隐性状态（显性到隐性）	STB = 0V，45Ω ≤ R_L ≤ 65Ω，C_L = 100pF，V_{IO} = 4.5V 至 5.5V		45	75	ns
		STB = 0V，45Ω ≤ R_L ≤ 65Ω，C_L = 100pF，V_{IO} = 3V 至 3.6V		45	75	ns
		STB = 0V，45Ω ≤ R_L ≤ 65Ω，C_L = 100pF，V_{IO} = 2.25V 至 2.75V		45	75	ns
		STB = 0V，45Ω ≤ R_L ≤ 65Ω，C_L = 100pF，V_{IO} = 1.71V 至 1.89V		45	80	ns
$t_{prop(TxD-busdom)}$	传播延迟时间，高电平到低电平 TXD 边沿到驱动器显性状态（隐性到显性）	STB = 0V，45Ω ≤ R_L ≤ 65Ω，C_L = 100pF，V_{IO} = 4.5V 至 5.5V		45	75	ns
		STB = 0V，45Ω ≤ R_L ≤ 65Ω，C_L = 100pF，V_{IO} = 3V 至 3.6V		45	75	ns
		STB = 0V，45Ω ≤ R_L ≤ 65Ω，C_L = 100pF，V_{IO} = 2.25V 至 2.75V		45	75	ns
		STB = 0V，45Ω ≤ R_L ≤ 65Ω，C_L = 100pF，V_{IO} = 1.71V 至 1.89V		45	80	ns
$t_{sk(p)}$	脉冲偏斜 ($\lvert t_{prop(TxD-busrec)} - t_{prop(TxD-busdom)} \rvert$)	STB = 0V，45Ω ≤ R_L ≤ 65Ω，C_L = 100pF		3.5	10	ns
t_R	差分输出信号上升时间	STB = 0V，45Ω ≤ R_L ≤ 65Ω，C_L = 100pF		22	30	ns
t_F	差分输出信号下降时间	STB = 0V，45Ω ≤ R_L ≤ 65Ω，C_L = 100pF		22	30	ns
t_{DOM}	发送显性超时（SIC 模式）	45Ω ≤ R_L ≤ 65Ω，C_L = 100pF，STB = 0V	0.8		6.0	ms
接收器开关 — SIC 模式						

ADVANCE INFORMATION

Copyright © 2025 Texas Instruments Incorporated

参数在建议工作条件下有效，且 40℃ ≤ T_J ≤ 150℃（典型值在 V_{CC} = 5V、V_{IO} = 3.3V、器件环境保持在 27℃ 时测得，除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
$t_{prop(busrec-RXD)}$	传播延迟时间，总线隐性输入到 RXD 高电平输出（显性到隐性）	STB = 0V，$C_{L(RXD)}$ = 15pF，V_{IO} = 4.5V 至 5.5V		67	90	ns
		STB = 0V，$C_{L(RXD)}$ = 15pF，V_{IO} = 3V 至 3.6V		65	95	ns
		STB = 0V，$C_{L(RXD)}$ = 15pF，V_{IO} = 2.25V 至 2.75V		70	105	ns
		STB = 0V，$C_{L(RXD)}$ = 15pF，V_{IO} = 1.71V 至 1.89V		80	110	ns
$t_{prop(busdom-RXD)}$	传播延迟时间，总线显性输入到 RXD 低电平输出（隐性到显性）	STB = 0V，$C_{L(RXD)}$ = 15pF，V_{IO} = 4.5V 至 5.5V		56	80	ns
		STB = 0V，$C_{L(RXD)}$ = 15pF，V_{IO} = 3V 至 3.6V		61	90	ns
		STB = 0V，$C_{L(RXD)}$ = 15pF，V_{IO} = 2.25V 至 2.75V		65	100	ns
		STB = 0V，$C_{L(RXD)}$ = 15pF，V_{IO} = 1.71V 至 1.89V		75	110	ns
t_R	RXD 输出信号上升时间	STB = 0V，$C_{L(RXD)}$ = 15pF		7	20	ns
t_F	RXD 输出信号下降时间			9	25	ns
$t_{OOB_LOW\ (RXD)}$	快速数据流量期间的 RXD 低脉冲宽度，比特率为 10 Mbit/s	$t_{SymbolNom}$ = 100ns	30			ns
	快速数据流量期间的 RXD 低脉冲宽度，比特率为 20 Mbit/s	$t_{SymbolNom}$ = 50ns	15			ns
驱动器开关 — FAST TX 模式						
t_{SIC_data}	FAST TX 模式下的信号改善时间	45Ω ≤ R_L ≤ 60Ω，C_L = 25pF，C_{SPLIT} = 0，$C_{L(RXD)}$ = 15pF		待定	775	ns
$t_{Prop(TXD-BusLevel0)}$	从 TXD 逻辑 0 到总线 level_0 的传播延迟	V_{IO} = 4.5V 至 5.5V，45Ω ≤ R_L ≤ 60Ω，C_L = 25pF，C_{SPLIT} = 0，$C_{L(RXD)}$ = 15pF		待定	80	ns
		V_{IO} = 3V 至 3.6V，45Ω ≤ R_L ≤ 60Ω，C_L = 25pF，C_{SPLIT} = 0，$C_{L(RXD)}$ = 15pF		待定	80	ns
		V_{IO} = 2.25V 至 2.75V，45Ω ≤ R_L ≤ 60Ω，C_L = 25pF，C_{SPLIT} = 0，$C_{L(RXD)}$ = 15pF		待定	80	ns
		V_{IO} = 1.71V 至 1.89V，45Ω ≤ R_L ≤ 60Ω，C_L = 25pF，C_{SPLIT} = 0，$C_{L(RXD)}$ = 15pF		待定	80	ns
$t_{Prop(TXD-BusLevel1)}$	从 TXD 逻辑 1 到总线 level_1 的传播延迟	V_{IO} = 4.5V 至 5.5V，45Ω ≤ R_L ≤ 60Ω，C_L = 25pF，C_{SPLIT} = 0，$C_{L(RXD)}$ = 15pF		待定	80	ns
		V_{IO} = 3V 至 3.6V，45Ω ≤ R_L ≤ 60Ω，C_L = 25pF，C_{SPLIT} = 0，$C_{L(RXD)}$ = 15pF		待定	80	ns
		V_{IO} = 2.25V 至 2.75V，45Ω ≤ R_L ≤ 60Ω，C_L = 25pF，C_{SPLIT} = 0，$C_{L(RXD)}$ = 15pF		待定	80	ns
		V_{IO} = 1.71V 至 1.89V，45Ω ≤ R_L ≤ 60Ω，C_L = 25pF，C_{SPLIT} = 0，$C_{L(RXD)}$ = 15pF		待定	80	ns
$t_{Busfall}$	下降时间 V_{Diff}	45Ω ≤ R_L ≤ 60Ω，C_L = 25pF，C_{SPLIT} = 0，$C_{L(RXD)}$ = 15pF	6	12	20	ns
$t_{Busrise}$	上升时间 V_{Diff}	45Ω ≤ R_L ≤ 60Ω，C_L = 25pF，C_{SPLIT} = 0，$C_{L(RXD)}$ = 15pF	6	12	20	ns

ADVANCE INFORMATION

Copyright © 2025 Texas Instruments Incorporated

参数在建议工作条件下有效，且 40℃ ≤ T_J ≤ 150℃（典型值在 V_{CC} = 5V、V_{IO} = 3.3V、器件环境保持在 27℃ 时测得，除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
$t_{\Delta Bit(Bus)Level1}$	FAST TX 模式下发送的 level_1 位宽度变化	相对于 TXD tBit_data 长度的总线 level_1 位 长度变化 $t_{\Delta Bit(Bus)Level1} = t_{Bit(Bus)\ Level1} - k * t_{Bit_data}$ 45Ω ≤ R_L ≤ 60Ω，C_L = 25pF，C_{SPLIT} = 0，$C_{L(RXD)}$ = 15pF	- 5		5	ns
$t_{\Delta Bit(RxD)Logical1}$	FAST TX 模式下接收的逻辑 1 位宽度变化	相对于 TXD tBit_data 长度的 RXD 逻辑 1 位 长度变化 $t_{\Delta Bit(RxD)\ Logical1} = t_{Bit(RxD)\ Logical1} - k * t_{Bit_data}$ 45Ω ≤ R_L ≤ 60Ω，C_L = 25pF，C_{SPLIT} = 0，$C_{L(RXD)}$ = 15pF	- 10		10	ns
接收器开关 — FAST RX 模式						
$t_{SIC_FAST_RX_dis}$	Fast RX 检测后的 SIC 禁用时间	V_{IO} = 1.7V 至 5.5V，45Ω ≤ R_L ≤ 65Ω，C_L = 100pF，C_{SPLIT} = 0，$C_{L(RXD)}$ = 15pF		待定	80	ns
$t_{Prop(BusLevel0-RXD)}$	从总线 level_0 到 RXD 逻辑 0 的传播延迟	V_{IO} = 4.5V 至 5.5V，45Ω ≤ R_L ≤ 60Ω，C_L = 25pF，C_{SPLIT} = 0，$C_{L(RXD)}$ = 15pF		待定	80	ns
		V_{IO} = 3V 至 3.6V，45Ω ≤ R_L ≤ 60Ω，C_L = 25pF，C_{SPLIT} = 0，$C_{L(RXD)}$ = 15pF		待定	90	ns
		V_{IO} = 2.25V 至 2.75V，45Ω ≤ R_L ≤ 60Ω，C_L = 25pF，C_{SPLIT} = 0，$C_{L(RXD)}$ = 15pF		待定	100	ns
		V_{IO} = 1.71V 至 1.89V，45Ω ≤ R_L ≤ 60Ω，C_L = 25pF，C_{SPLIT} = 0，$C_{L(RXD)}$ = 15pF		待定	110	ns
$t_{Prop(BusLevel1-RXD)}$	从总线 level_1 到 RXD 逻辑 1 的传播延迟	V_{IO} = 4.5V 至 5.5V，45Ω ≤ R_L ≤ 60Ω，C_L = 25pF，C_{SPLIT} = 0，$C_{L(RXD)}$ = 15pF		待定	80	ns
		V_{IO} = 3V 至 3.6V，45Ω ≤ R_L ≤ 60Ω，C_L = 25pF，C_{SPLIT} = 0，$C_{L(RXD)}$ = 15pF		待定	90	ns
		V_{IO} = 2.25V 至 2.75V，45Ω ≤ R_L ≤ 60Ω，C_L = 25pF，C_{SPLIT} = 0，$C_{L(RXD)}$ = 15pF		待定	100	ns
		V_{IO} = 1.71V 至 1.89V，45Ω ≤ R_L ≤ 60Ω，C_L = 25pF，C_{SPLIT} = 0，$C_{L(RXD)}$ = 15pF		待定	110	ns
$t_{\Delta REC_Logical1}$	FAST RX 模式下的逻辑 1 接收器时序对称性	相对于总线 level_1 位长度的 RXD 逻辑 1 位长度变化 $t_{\Delta REC_Logical1} = t_{Bit(RxD)\ Logical1} - t_{Bit(\ Bus)\ Level1}$ 45Ω ≤ R_L ≤ 60Ω，C_L = 25pF，C_{SPLIT} = 0，$C_{L(RXD)}$ = 15pF	-5		5	ns
信号改善时序特性						
$t_{PAS_REC_START}$	被动隐性阶段的开始时间	从 TXD 上升 50% 边沿（斜率 <5ns）到被动隐性阶段开始的持续时间		待定	530	ns
$t_{ACT_REC_START}$	主动信号改善阶段的开始时间	从 TXD 上升 50% 边沿（斜率 <5ns）到被动隐性阶段开始的持续时间		待定	120	ns
$t_{ACT_REC_END}$	主动信号改善阶段的结束时间		355	待定		ns
$t_{\Delta\ Bit(Bus)}$	传输的位宽变化	$t_{\Delta\ Bit(Bus)} = t_{Bit(Bus)} - t_{Bit(TxD)}$ STB = 0V，45Ω ≤ R_L ≤ 65Ω，C_L = 100pF（≤ ±1%），$C_{L(RXD)}$ = 15pF（≤ ±1%）	-10		10	ns
$t_{\Delta\ BIT(RxD)}$	接收的位宽变化	$t_{\Delta\ BIT(RxD)} = t_{Bit(RxD)} - t_{Bit(TxD)}$ STB = 0V，45Ω ≤ R_L ≤ 65Ω，C_L = 100pF（≤ ±1%），$C_{L(RXD)}$ = 15pF（≤ ±1%）	-30		20	ns

ADVANCE INFORMATION

Copyright © 2025 Texas Instruments Incorporated

参数在建议工作条件下有效，且 40℃ ≤ T_J ≤ 150℃（典型值在 V_{CC} = 5V、V_{IO} = 3.3V、器件环境保持在 27℃ 时测得，除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
$t_{\Delta\ REC}$	接收器时间对称性	$t_{\Delta\ REC} = t_{Bit(RxD)} - t_{Bit(Bus)}$ STB = 0V，45Ω ≤ R_L ≤ 65Ω，C_L = 100pF（≤ ±1%），$C_{L(RXD)}$ = 15pF（≤ ±1%）	-20		15	ns

ADVANCE INFORMATION

Copyright © 2025 Texas Instruments Incorporated

6 参数测量信息

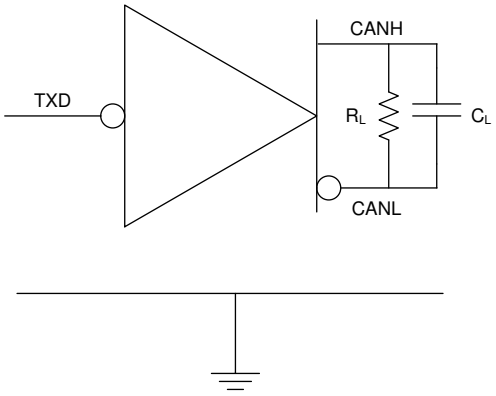


图 6-1. I_{CC} 测试电路

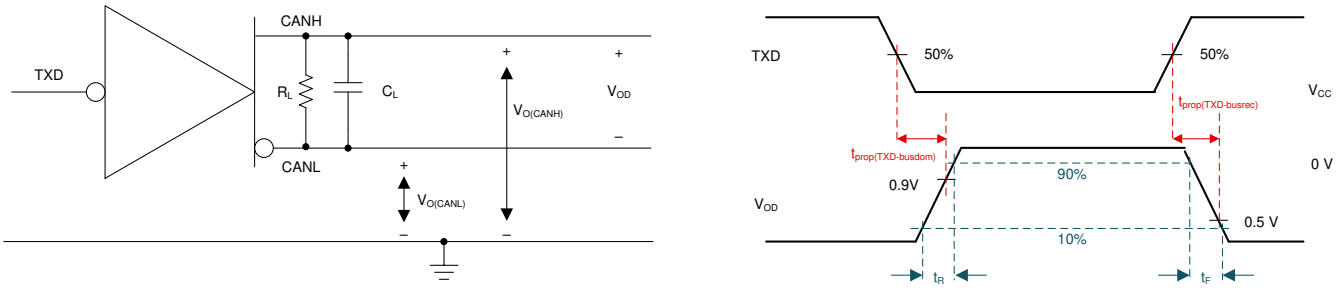


图 6-2. 驱动器测试电路与测量

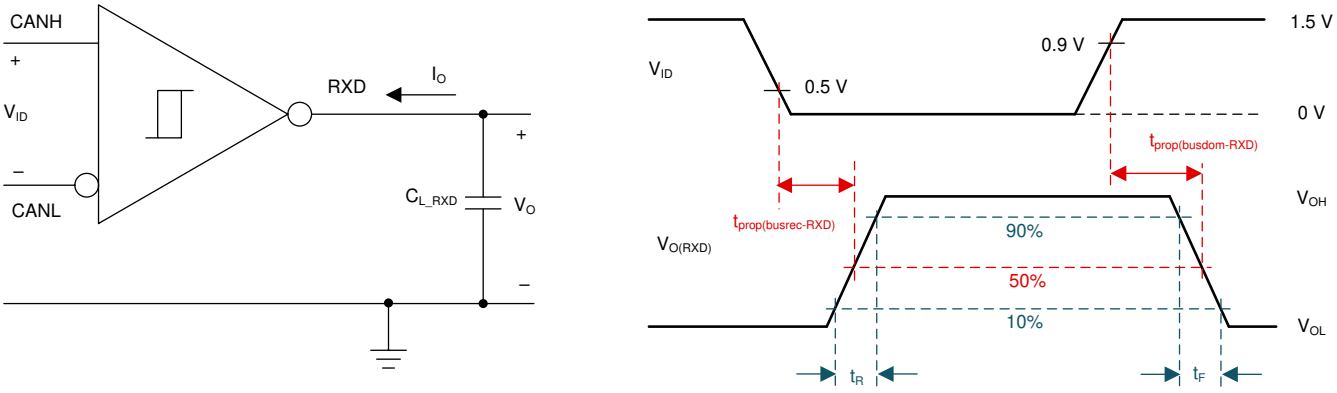
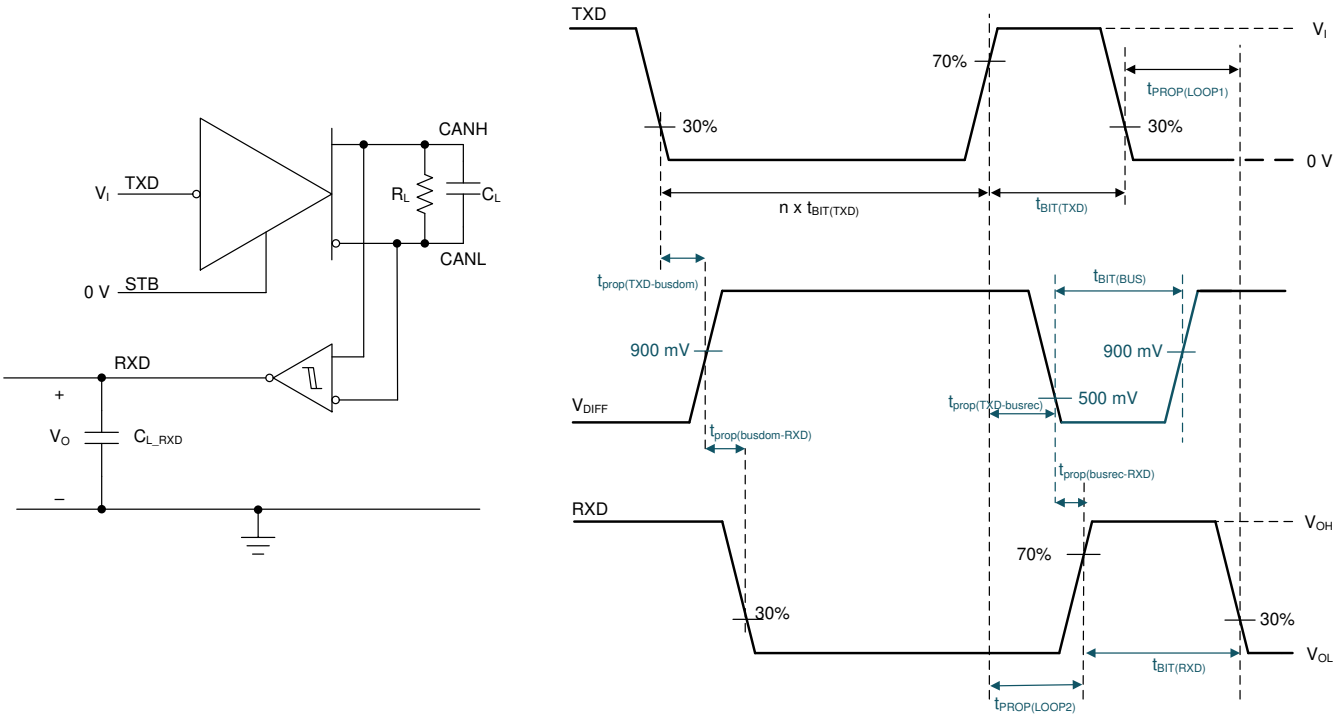


图 6-3. 接收器测试电路与测量

ADVANCE INFORMATION



n = 1 to 5;
TXD rise/fall time < 10 ns

图 6-4. 发送器和接收器时序行为测试电路和测量

Copyright © 2025 Texas Instruments Incorporated

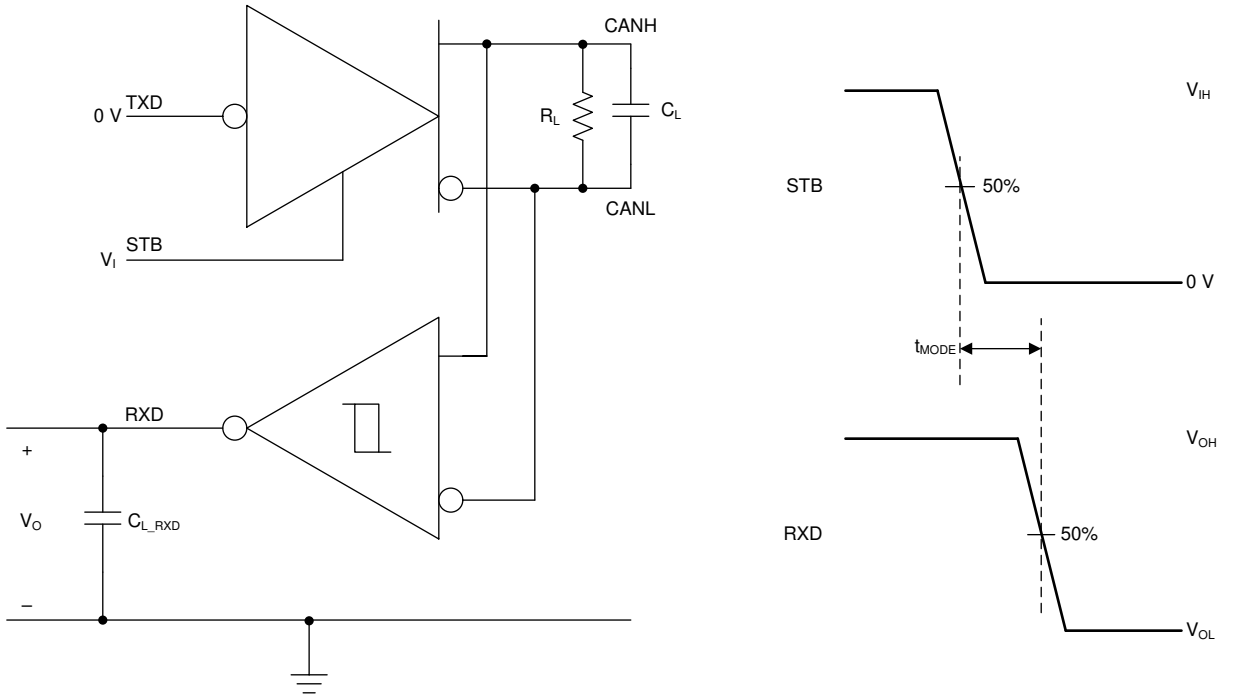


图 6-5. t_{MODE} 测试电路与测量

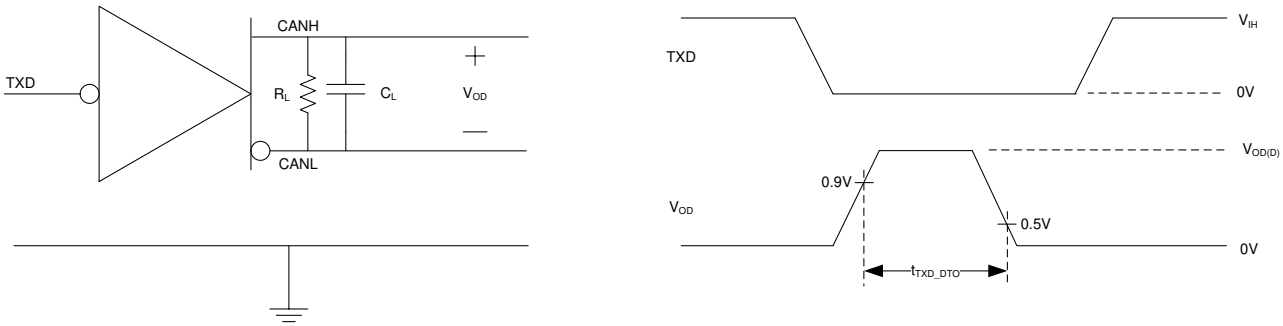


图 6-6. TXD 显性超时测试电路与测量

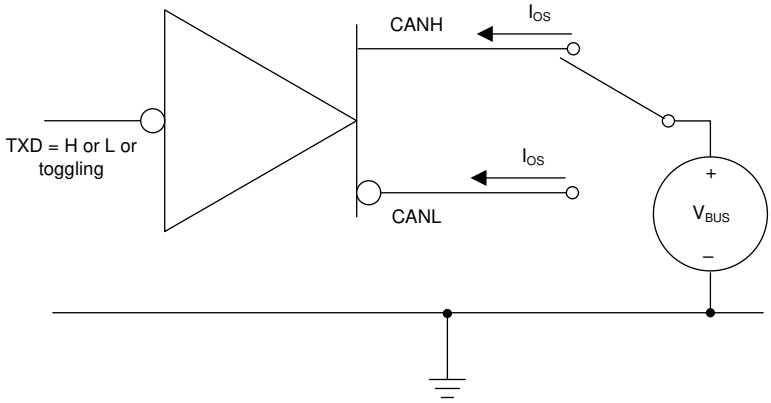


图 6-7. 驱动器短路电流测试与测量

ADVANCE INFORMATION

ADVANCE INFORMATION

7 详细说明

7.1 概述

TCAN6062(V)-Q1 器件符合或超过 ISO 11898-2:2024 高速 CAN（控制器局域网）物理层标准，包括适用于 SIC 模式和 FAST 模式的附件 A，允许 CAN XL 在高达 20Mbps 的速率下运行。这些器件与数据速率无关，因此向后兼容，可支持经典 CAN 应用，同时还支持高达 8Mbps 的 CAN FD 网络。这些器件支持待机模式，可将收发器置于超低电流消耗模式。在 CAN 总线上接收到有效的唤醒模式 (WUP) 后，器件会通过 RXD 引脚向微控制器发送信号。然后，MCU 可以使用 STB 引脚将器件置于正常模式。

TCAN6062V-Q1 具有两个独立的电源轨，即 V_{CC} 总线侧电源和 V_{IO} 逻辑电源（用于逻辑电平转换，可直接连接到 1.8V、2.5V、3.3V 或 5V 控制器）。

7.1.1 信号改善功能

信号改善功能 (SIC) 是收发器中增加的一项额外功能，它通过最大限度地减少信号振铃来提高复杂星形拓扑中可实现的更大数据速率。出现信号振铃的原因是，CAN 网络中因节点充当桩线而导致各点的阻抗不匹配，进而引起反射。

图 7-1 展示了一个复杂网络的示例。

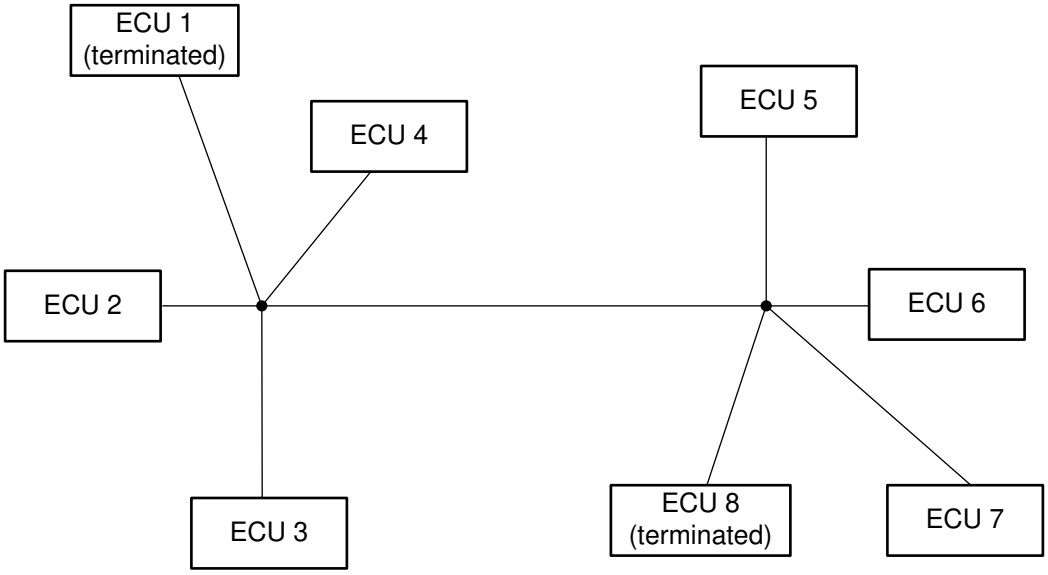


图 7-1. CAN 网络：星型拓扑

隐性到显性信号边沿通常是干净的，由发送器强力驱动。CAN 收发器的发送器输出阻抗约为 50Ω，与网络特性阻抗匹配。对于常规 CAN FD 收发器，当驱动器输出阻抗变为约 60kΩ，且反射回来的信号遇到阻抗不匹配而导致振铃时，便会出现显性到隐性边沿。在 SIC 模式中，TCAN6062-Q1 使用基于 TX 的 SIC 解决此问题。TCAN6062-Q1 继续驱动总线呈现隐性，直至 $t_{ACT_REC_end}$，以便减少反射，并且采样点处的隐性位很干净。在主动隐性阶段，发送器输出阻抗较低（约为 100Ω）。在该阶段结束并且器件进入被动隐性阶段之后，驱动器输出阻抗变为高阻态。图 7-2 说明了此现象。

更多有关 TI 信号改善技术及其与市面上类似器件的比较情况的信息，请参阅白皮书：*信号改善功能如何释放 CAN-FD 收发器的真正潜力*。

Copyright © 2025 Texas Instruments Incorporated

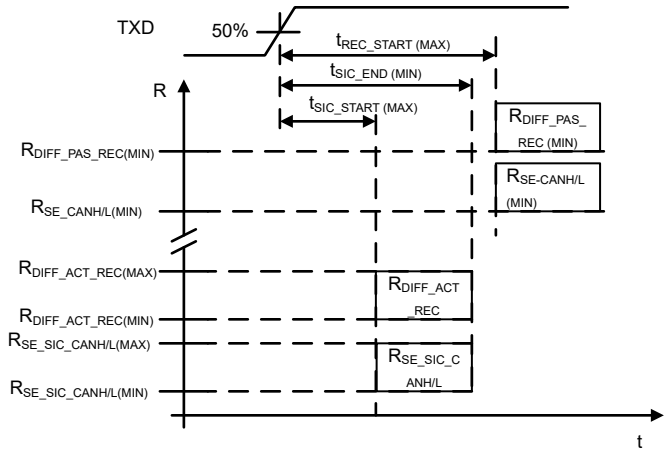


图 7-2. 基于 TX 的 SIC

7.1.2 CAN XL 和 FAST 模式

CAN XL 向 CAN 收发器引入了额外的驱动状态，以在 CAN 帧的数据阶段使用。在仲裁阶段结束且单个节点赢得 CAN 总线的优先级后，不会再有多个器件尝试同时驱动争用驱动状态的风险。CAN XL 通过在 CAN 帧的数据阶段将驱动器切换到推挽驱动器架构来利用这种优势。FAST TX 模式驱动器有两种强驱动的驱动状态，而 SIC 模式驱动器只有一种强显性驱动状态。与典型的 CAN HS 或 CAN FD 相比，这允许在数据阶段使用更高的数据速率。

为了使收发器将驱动状态更改为 FAST TX 模式，CAN XL 控制器在 TXD 引脚上驱动 PWM 信号。根据此 PWM 信号的占空比，驱动器会输出 Level_0 或 Level_1 状态，这两种状态分别对应于逻辑 0 和逻辑 1 状态。更改驱动器模式所需的 TXD 信号的时序详见节 7.3.3.3。

CAN XL FAST 模式使用的差分逻辑阈值与 CAN FD 和 CAN SIC 收发器使用的阈值不同。这意味着需要一个额外的 FAST 模式接收器，以便于解码 FAST TX 模式驱动状态。为了使器件接收器在 SIC 模式和 FAST RX 模式之间切换，接收 CAN XL 控制器在 TXD 上驱动 PWM 信号。这与标准 CAN 完全不同，后者的所有接收节点的 TXD 信号在接收帧的数据阶段保持高电平。更改接收器模式所需的 TXD 信号的时序详见节 7.3.3.2。

越界 (OOB) 比较器用于指示当器件处于 SIC 模式且 FAST RX 模式未激活时何时在 CAN 总线上检测到 CAN XL 驱动状态。如需了解详细信息，请参阅节 7.3.4。

ADVANCE INFORMATION

Copyright © 2025 Texas Instruments Incorporated

7.2 功能方框图

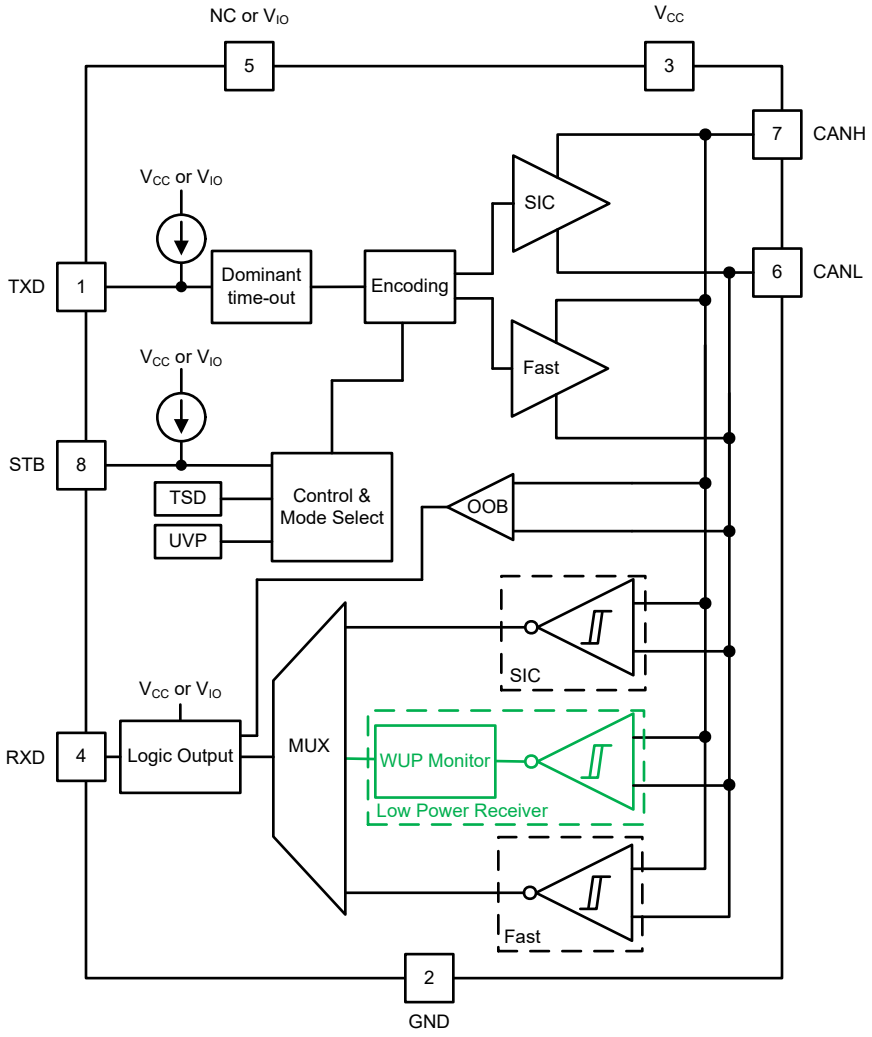


图 7-3. 方框图

ADVANCE INFORMATION

Copyright © 2025 Texas Instruments Incorporated

7.3 特性说明

7.3.1 引脚说明

7.3.1.1 TXD

TXD 输入是从 CAN 控制器传输到收发器的逻辑电平信号。它以 V_{IO} 为基准（对于无 V_{IO} 的器件则以 V_{CC} 为基准）。在 SIC 模式下，TXD 引脚的逻辑电平输入控制 SIC 发送器的状态。

TXD 输入还用于控制 FAST TX 发送器和 FAST RX 接收器的运行。对此输入应用 PWM 信号（如 节 7.3.3 中所述）可激活 FAST RX 接收器，也可用于使用 FAST TX 发送器对传输的 CAN XL 数据进行编码。

7.3.1.2 GND

GND 是收发器的接地引脚，必须连接到 PCB 接地端。

7.3.1.3 V_{CC}

V_{CC} 为 CAN 收发器提供 5V 电源。

7.3.1.4 RXD

RXD 输出是从 CAN 收发器发送到 CAN 控制器的逻辑电平信号。对于 TCAN6062-Q1，RXD 以 V_{CC} 为基准，对于 TCAN6062V-Q1 则以 V_{IO} 为基准。对于 TCAN6062V-Q1，仅在 V_{IO} 出现时驱动一次 RXD。

发生唤醒事件时，RXD 被驱动为低电平。

7.3.1.5 V_{IO}（仅适用于 TCAN6062V-Q1）

V_{IO} 引脚提供数字 I/O 电压以匹配 CAN 控制器电压，从而无需电平转换器。该引脚支持从 1.7V 至 5.5V 的电压，提供超宽范围的控制器支持。

7.3.1.6 CANH 和 CANL

这些是 CAN 高电平和 CAN 低电平差分总线引脚。这些引脚连接到 CAN 收发器和低电压 WUP CAN 接收器。

7.3.1.7 STB（待机）

STB 引脚是用于控制收发器模式的输入引脚。STB 引脚可由系统处理器或静态系统电压源供电。如果只需要正常工作模式，则可直接将 STB 引脚接地。

7.3.2 CAN 总线状态

CAN 总线在运行期间有多种逻辑状态。在 SIC 模式下，两种状态分别为*隐性* 和*显性*。请参阅图 7-4。采用 V_{DIFF} ≥ +1.5V 以差分方式驱动总线时，总线为显性状态，对应于 TXD 和 RXD 引脚上的逻辑低电平。当总线通过接收器内部的高阻值输入电阻器 R_{IN} 偏置到 $V_{CC}/2$ 时，总线为隐性状态，对应于 TXD 和 RXD 引脚上的逻辑高电平。在仲裁期间，显性状态会覆盖隐性状态。在仲裁期间，多个 CAN 节点可能同时发送一个显性位，这种情况下，总线的差分电压大于单个驱动器的差分电压。

TCAN6062-Q1 收发器采用低功耗待机 (STB) 模式；这种模式支持第三种总线状态，在这种状态下，总线引脚通过接收器内部的高阻值电阻器弱偏置到地。请参阅图 7-4 和图 7-6。

在 FAST 模式下，CAN 总线有两个额外的逻辑状态：*level_0* 和 *level_1*。请参阅图 7-5。采用 +1.5V ≥ V_{DIFF} ≥ +0.6V 以差分方式驱动时，出现 level_0 总线状态，对应于 RXD 引脚上的逻辑低电平和 TXD 上的低占空比，如图 7-10 所示。采用 -0.6V ≥ V_{DIFF} ≥ -1.5V 以差分方式驱动时，出现 level_1 总线状态，对应于 RXD 引脚上的逻辑高电平和 RXD 上的高占空比，如图 7-11 所示。

ADVANCE INFORMATION

Copyright © 2025 Texas Instruments Incorporated

ADVANCE INFORMATION

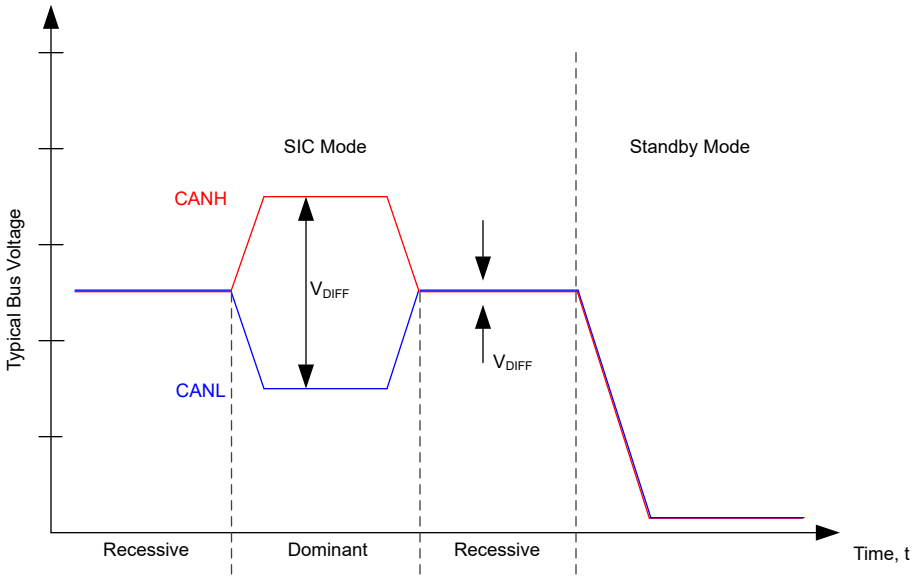


图 7-4. SIC 模式和待机模式下的总线状态

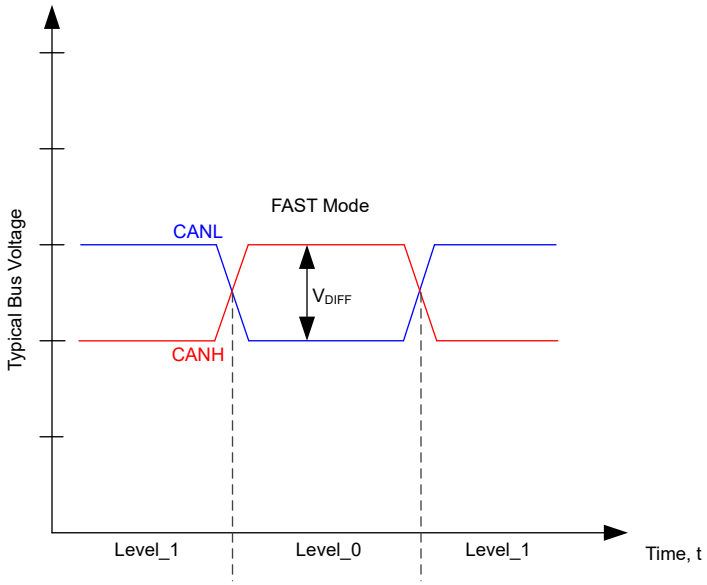
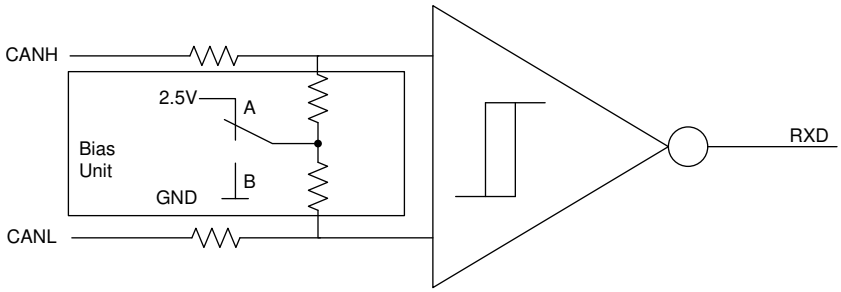


图 7-5. FAST 模式下的总线状态



A. 正常模式

Copyright © 2025 Texas Instruments Incorporated

B. 待机模式

图 7-6. 简化的隐性共模偏置单元和接收器

7.3.3 用于 FAST 模式信号传输的脉宽调制 (PWM)

实现 ISO 11898-1:2024 或类似 CAN XL 兼容数据链路层的 CAN XL 控制器将在 TCAN6062-Q1 的 TXD 输入端使用脉宽调制 (PWM) 实现 FAST 模式通信。

7.3.3.1 PWM 检测和时序

TXD 上在 $t_{FastTOSIC}$ 之前出现的两个连续相似边沿决定 PWM 信号周期时间，定义为 $t_{SymbolNom}$。如果 $t_{SymbolNom}$ 落在开关特性中给出的 $t_{SymbolNom(min)}$ 和 $t_{SymbolNom(max)}$ 范围内，则 TCAN6062-Q1 确定输入信号是有效的 PWM。如果发生这种情况，器件会从 SIC 模式切换到 FAST RX 模式或 FAST TX 模式，分别如 节 7.3.3.2 和 节 7.3.3.3 中所述。只要器件处于正常模式并且 TXD 上的 PWM 信号周期时间保持在 $t_{SymbolNom(min)}$ 和 $t_{SymbolNom(max)}$ 范围内，器件就会保持在 FAST TX 或 FAST RX 模式。

当器件处于 SIC 模式时，TXD 引脚用于预选择 FAST RX 模式或 FAST TX 模式。

7.3.3.2 从 SIC 模式转换到 FAST RX 模式

当 TXD 引脚处于高电平的时间至少达到 t_{SELECT} 时，FAST RX 模式将变为预选状态。完成该预选后，$t_{SymbolNom}$ 内 TXD 上的两个连续高电平到低电平有效下降沿将会使器件转换到 FAST RX 模式，如下面的 图 7-7 所示。

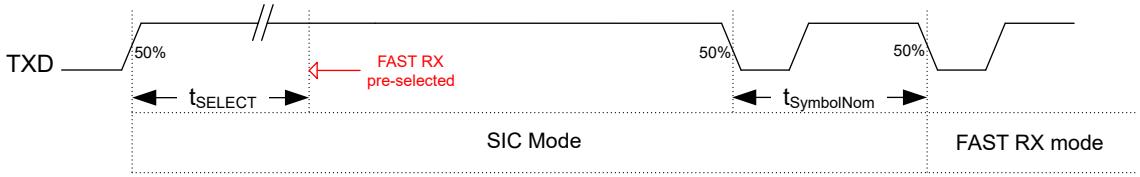


图 7-7. FAST RX 模式选择

在 FAST RX 模式下，器件对总线保持高阻抗，FAST 接收器使用 FAST RX 阈值解码 CAN 总线上的信息，并将此信息传递给 RXD，如 表 7-6 所示。

7.3.3.3 从 SIC 模式转换到 FAST TX 模式

当 TXD 引脚处于低电平的时间至少达到 t_{SELECT} 时，FAST TX 模式将变为预选状态。完成该预选后，$t_{SymbolNom}$ 内 TXD 上的两个连续低电平到高电平有效上升沿将会使器件转换到 FAST TX 模式，如下面的 图 7-8 所示。CAN 发送器将在 TXD 上第二个连续低电平到高电平有效上升沿之后的 $t_{Prop(BusDom-BusLevel0)}$ 内从显性状态切换到 level_0。

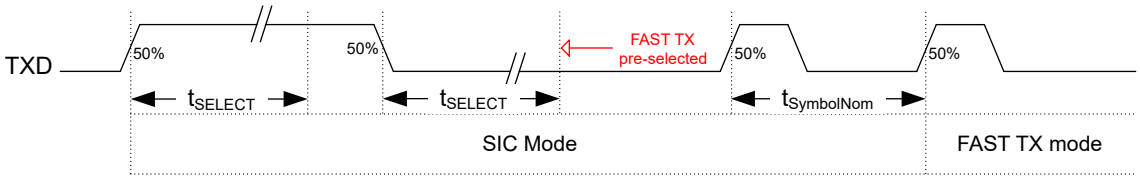


图 7-8. FAST TX 模式选择

在 FAST TX 模式下，FAST 接收器和 FAST 发送器均处于活动状态。FAST 接收器使用 FAST RX 阈值对 CAN 总线上的信息进行解码并将该信息传递给 RXD。FAST 发送器对 TXD 引脚上的 PWM 进行解码并将相应的 level_0 或 level_1 信号驱动到 CAN 总线上。请参阅 表 7-5 和 节 7.3.3.4.3。

ADVANCE INFORMATION

7.3.3.4 PWM 解码

控制器到 TXD 引脚的输入 PWM 定义 $t_{SymbolNom}$，它必须落在开关特性中给出的限制范围内。在 FAST RX 模式下，这根据 TXD 信号的连续高电平到低电平下降沿测量。在 FAST TX 模式下，这根据 TXD 信号的连续低电平到高电平上升沿测量。

7.3.3.4.1 PWM 检测分辨率 t_{DECODE}

收发器的 PWM 检测分辨率由 t_{Decode} 给出。任何 PWM 信号中连续边沿之间的最小间隔都必须大于 t_{Decode}，以确保可被 PWM 解码器正确检测到。t_{Decode} 内出现的输入信号边沿可能会丢失。

7.3.3.4.2 FAST RX 模式下的 PWM 解码

在 FAST RX 模式下，PWM 解码器可识别任何输入 PWM。只要继续满足 $t_{SymbolNom}$ 和 t_{Decode} 要求，更改 PWM 占空比就不会改变 FAST 发送器和/或接收器的行为。

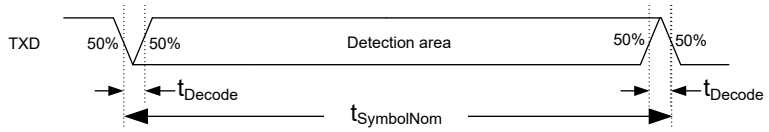


图 7-9. FAST RX 模式下 TXD 上的 PWM 检测

7.3.3.4.3 FAST TX 模式下的 PWM 解码

在 FAST TX 模式下，TXD 输入的占空比决定了发送器到 CAN 总线的输出。当输入 PWM 到 TXD 的低电平持续时间超过 $t_{SymbolNom}$ 的 50% 时（对应于 PWM 占空比小于 50%），FAST 发送器会将 level_0 输出发送到 CAN 总线。

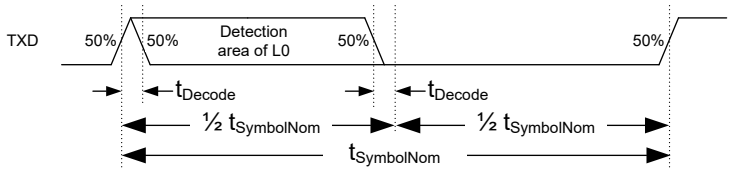


图 7-10. FAST TX 模式下 TXD 上的 Level_0 检测

当输入 PWM 到 TXD 的高电平持续时间超过 $t_{SymbolNom}$ 的 50% 时（对应于 PWM 占空比大于 50%），FAST 发送器会将 level_1 输出发送到 CAN 总线。

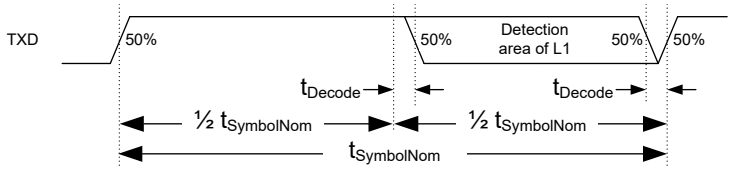


图 7-11. FAST TX 模式下 TXD 上的 Level_1 检测

7.3.3.5 从 FAST RX/TX 模式转换到 SIC 模式

停止对 TXD 的 PWM 输入会导致收发器转换回 SIC 模式。一旦 $t_{FastTOSIC}$ 到期就会发生这种情况，然后在 FAST RX 模式下发生第二次连续的高电平到低电平转换，或者在 FAST TX 模式下发生第二次连续的低电平到高电平转换。

一旦 $t_{FastTOSIC}$ 在最后一个有效的 TXD 边沿之后到期，接收器阈值就会从 FAST 模式阈值变为 SIC 模式阈值。从 FAST TX 模式转换到 SIC 模式时，发送器输出在 TXD 上最后一个有效的低电平到高电平上升沿之后的 $t_{Prop(BusLevel0-Rec)}$ 内从 level_0 变为隐性。

Copyright © 2025 Texas Instruments Incorporated

7.3.4 越界 (OOB) 比较器

在 SIC 模式下，越界 (OOB) 比较器处于活动状态，它会监测 CANH 和 CANL 以确定总线输入上是否出现 level_1 信号。这些事件作为 RXD 上的低电平输出发出信号，使 CAN 控制器能够检测总线上何时发生意外的 FAST 模式 CAN XL 活动，同时节点收发器仍处于 SIC 模式。

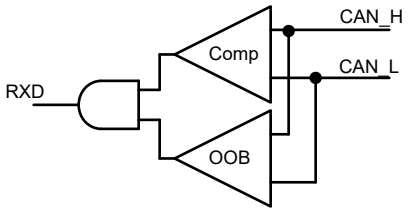


图 7-12. RXD 的 OOB 比较器输出

OOB 比较器可用于防止出现错误的空闲事件。SIC 接收器阈值高于发送器 level_0 和 level_1 信号的输出要求，使 SIC 接收器将所有这些活动检测为隐性。如果收发器仍处于 SIC 模式，这可能会导致控制器不知道 CAN 总线上的 CAN XL FAST 模式活动。OOB 比较器在 RXD 引脚上发起活动，从而使 CAN XL 控制器能够检测该活动。

OOB 比较器检测到的信号被视为 CAN FD 和其他非 XL 通信方案的无效信号，因此当 TCAN6062-Q1 用于未实现 FAST 模式的传统 CAN、CAN FD 和 CAN SIC 应用时，该功能不会带来兼容性风险。

7.3.5 TXD 显性超时 (DTO)

在正常模式（CAN 驱动器处于运行状态的唯一模式）期间，TXD DTO 电路可防止本地节点在硬件或软件失效时妨碍网络通信（失效期间，TXD 保持显性状态的时间超过了超时时间 t_{TXD_DTO}）。TXD DTO 电路由 TXD 上的下降沿触发。如果在此电路的超时周期 t_{TXD_DTO} 前没有发现上升沿，CAN 驱动器将被禁用。这样可释放总线，供网络上的其他节点进行通信。CAN 驱动器在 TXD 引脚上出现隐性信号时重新激活，从而清除显性超时。接收器保持运行状态并偏置到 $V_{CC}/2$，RXD 输出将反映 TXD DTO 故障期间 CAN 总线上的活动。

TXD DTO 电路所允许的最短显性 TXD 时间限制了器件的最低数据发送速率。CAN 协议允许（TXD 上）在最差情况下最多可有 11 个连续显性位，其中 5 个连续显性位后面紧接一个错误帧。最小传输数据速率可使用方程式 1 计算得出。

$$\text{Minimum Data Rate} = \frac{11 \text{ bits}}{t_{TXD_DTO}} = \frac{11\ bits}{0.8\ ms} = 13.8 \text{ kbps} \quad (1)$$

ADVANCE INFORMATION

Copyright © 2025 Texas Instruments Incorporated

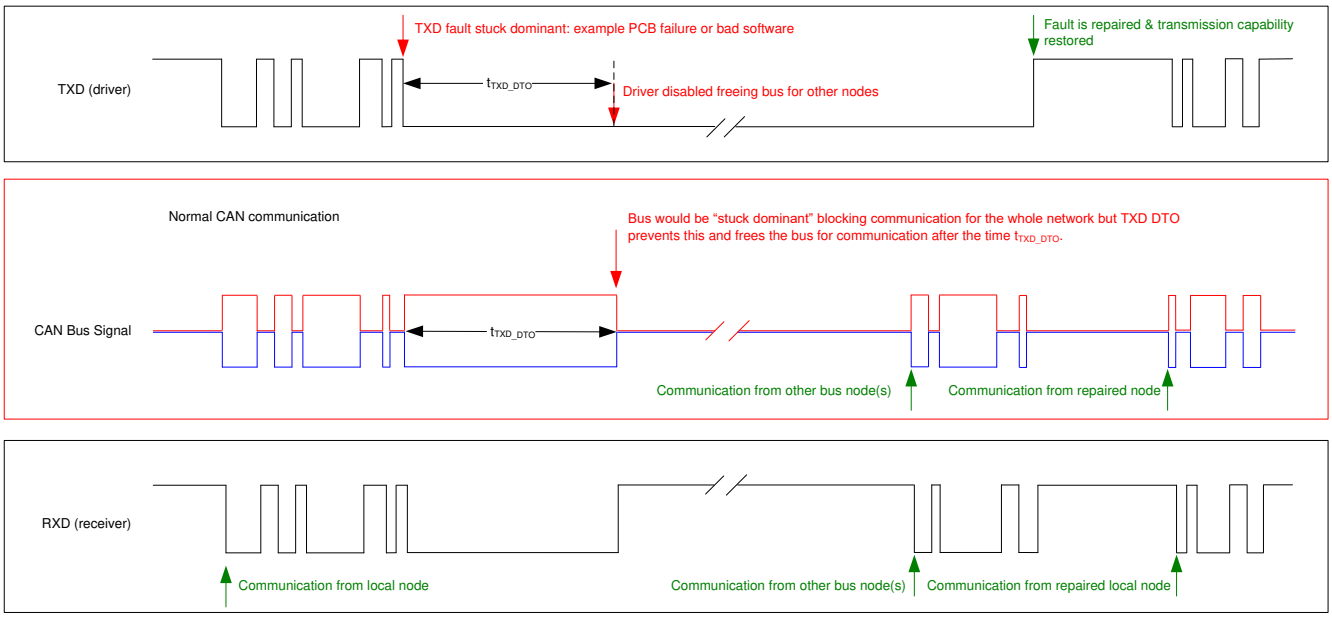


图 7-13. TXD 显性超时的时序图示例

7.3.6 CAN 总线短路限流

TCAN6062-Q1 有多种保护特性可以在 CAN 总线短路时限制短路电流，其中包括所有驱动器状态下的 CAN 驱动器电流限制以及 TXD 显性状态超时（可防止在系统故障时永久具有显性状态的较高短路电流）。在 CAN 通信期间，总线会在多个状态之间切换；因此，可将短路电流视为每种总线状态期间的电流或者视为加权平均直流电流。在为 CAN 设计方案选择终端电阻器或共模扼流圈时，应使用平均额定功率 $I_{OS(AVG)}$。

总线的平均短路电流取决于故障期间每个驱动器状态的加权平均值以及每种状态对应的短路电流。平均短路电流可使用方程式 2 来计算。

$$I_{OS(AVG)} = \%\ \text{Transmit} \times [(\%\ \text{REC_Bits} \times I_{OS(SS)_REC}) + (\%\ \text{DOM_Bits} \times I_{OS(SS)_DOM}) + (\%\ \text{XL_Bits} \times I_{OS(SS)_XL}] + [\%\ \text{Receive} \times I_{OS(SS)_REC}] \quad (2)$$

其中：

- $I_{OS(AVG)}$ 为平均短路电流
- % Transmit 为节点发送 CAN 报文所占的百分比
- % Receive 为节点接收 CAN 报文所占的百分比
- % REC_Bits 为所发送 CAN 报文中的隐性位所占百分比
- % DOM_Bits 为所发送 CAN 报文中的显性位所占百分比
- % XL_Bits 为所发送 CAN 报文中的 FAST TX 位所占百分比
- $I_{OS(SS)_REC}$ 为隐性稳态短路电流
- $I_{OS(SS)_DOM}$ 为显性稳态短路电流
- $I_{OS(SS)_XL}$ 为 FAST TX 模式稳态短路电流

在确定用于生成收发器 V_{CC} 的电源的额定功率时，应考虑此短路电流和可能的网络故障情况。

ADVANCE INFORMATION

Copyright © 2025 Texas Instruments Incorporated

7.3.7 热关断 (TSD)

如果 TCAN6062V-Q1 的结温超出热关断阈值 T_{TSD}，该器件将关断 CAN 驱动器电路，并阻断 TXD 到总线的传输路径。当器件的结温降至 T_{TSD} 以下时，关断条件会被清除。CAN 总线引脚在 TSD 故障期间偏置到 $V_{CC}/2$，且接收器到 RXD 的路径保持畅通。TCAN6062V-Q1 TSD 电路包括迟滞，可防止 CAN 驱动器输出在 TSD 故障期间振荡。

7.3.8 欠压锁定

电源引脚 V_{CC} 和 V_{IO} 具有欠压检测功能，可将器件置于受保护状态。此功能可在任一电源引脚上发生欠压事件时保护总线。

表 7-1. 欠压锁定 - TCAN6062-Q1

V_{CC}	器件状态	总线	RXD 引脚
> UV_{VCC}	正常	按照 TXD	镜像总线
< UV_{VCC}	受保护	高阻抗	高阻抗

表 7-2. 欠压锁定 - TCAN6062V-Q1

V_{CC}	V_{IO}	器件状态	总线	RXD 引脚
> UV_{VCC}	> UV_{VIO}	正常	按照 TXD	镜像总线
< UV_{VCC}	> UV_{VIO}	STB = V_{IO}：待机模式	高阻抗	V_{IO}：远程唤醒请求(1)
		STB = GND：受保护		隐性
> UV_{VCC}	< UV_{VIO}	受保护		高阻抗
< UV_{VCC}	< UV_{VIO}	受保护		高阻抗

(1) 请参阅待机模式下通过唤醒模式 (WUP) 实现的远程唤醒请求

欠压条件被清除且 t_{MODE} 到期后，TCAN6062V-Q1 转换至正常模式，主机控制器可以再次发送和接收 CAN 流量。

7.3.9 未供电设备

根据设计，TCAN6062V-Q1 在未供电情况下对于 CAN 总线而言是理想无源器件或无负载。总线引脚被设计成在器件未供电时具有较低的漏电流，因此这些引脚不会对总线施加负载。如果网络的某些节点未供电，而网络的其余部分仍正常工作，这一点至关重要。

逻辑引脚在器件未供电时的漏电流也很低，因此这些引脚不会对其他保持供电的电路施加负载。

7.3.10 悬空引脚

TCAN6062V-Q1 在关键引脚上具有内部上拉电阻，可在引脚悬空时将器件置于已知状态。虽然设计不应依赖这种内部偏置，尤其是在有噪声的环境中，但应将其视为失效防护特性。

当使用支持开漏输出的 CAN 控制器时，必须选择适当的外部上拉电阻。这样可确保 CAN 控制器的 TXD 输出保持 CAN 收发器输入可接受的位时间。有关引脚偏置条件的详细信息，请参阅表 7-3。

表 7-3. 引脚偏置

引脚	上拉或下拉	注释
TXD	上拉	将 TXD 弱偏置为隐性，防止总线阻塞或 TXD DTO 触发
STB	上拉	将 STB 弱偏置为低功耗待机模式，防止系统功耗过高

7.4 器件功能模式

7.4.1 工作模式

TCAN6062V-Q1 主要有两种工作模式：正常模式和待机模式。通过在 STB 引脚上施加一个高电平或低电平即可选择所需的工作模式。

ADVANCE INFORMATION

Copyright © 2025 Texas Instruments Incorporated

表 7-4. 工作模式

STB	器件模式	驱动器	接收器	RXD 引脚
高	低电流待机模式且总线处于唤醒状态	禁用	低功耗接收器且总线监视器启用	高电平（隐性），直到接收到有效的 WUP (1)
低	正常模式	启用	启用	镜像总线状态

(1) 请参阅待机模式下通过唤醒模式 (WUP) 实现的远程唤醒请求

7.4.2 正常模式

这是正常工作模式。在此模式下，CAN 通信为双向。驱动器和接收器可以根据 TXD 上是否存在 PWM 输入，在 SIC 模式和 FAST 模式之间切换（请参阅 节 7.3.3.1）。

在 SIC 模式下，驱动器将 TXD 输入端的数字信号转换为 CANH 和 CANL 总线引脚上的差分输出。接收器根据 SIC 模式输入阈值，将来自 CANH 和 CANL 的差分信号转换为 RXD 引脚上的数字输出。

在 FAST TX 模式下，驱动器将 TXD 输入端的 PWM 信号转换为 CANH 和 CANL 总线引脚上的差分输出。接收器根据 FAST 模式输入阈值，将来自 CANH 和 CANL 的差分信号转换为 RXD 引脚上的数字输出。

在 FAST RX 模式下，驱动器对总线保持高阻抗。接收器根据 FAST 模式输入阈值，将来自 CANH 和 CANL 的差分信号转换为 RXD 引脚上的数字输出。

7.4.3 待机模式

这是器件的低功耗模式。CAN 驱动器和主接收器处于关闭状态，CAN 通信不能双向进行。在此模式下会启用低功耗接收器和总线监视电路，以允许通过 CAN 总线发出 RXD 唤醒请求。唤醒请求会输出到 RXD，如 TBD 所示。本地 CAN 协议控制器应监视 RXD 是否发生转换（从高电平转换为低电平），如果有，则通过将 STB 引脚拉至低电平来重新激活器件使其进入正常模式。在此模式下，CAN 总线引脚弱下拉至 GND；请参阅图 7-4 和图 7-6。

在待机模式下，只需要 V_{IO} 电源，因此可以关闭 V_{CC} 以实现进一步的系统级节电。

7.4.3.1 待机模式下通过唤醒模式 (WUP) 实现的远程唤醒请求

TCAN6062-Q1 支持远程唤醒请求，可让主机微控制器了解总线已运行，节点应恢复正常运行。

该器件使用 ISO 11898-2:2024 附件 A 中的多重滤波显性唤醒模式 (WUP) 来鉴定总线活动。接收到有效的 WUP 后，唤醒请求会以“下降沿加低电平周期”的形式发送给控制器，其中低电平信号对应于 TCAN6062-Q1 的 RXD 输出端上的“已滤波”显性信号。

唤醒模式 (WUP) 由四个脉冲组成：一个经过滤波的显性脉冲，后跟一个经过滤波的隐性脉冲，然后是另一个经过滤波的显性脉冲，最后是另一个经过滤波的隐性脉冲。在第一个经过滤波的显性脉冲之后，总线监视器会等待一个经过滤波的隐性脉冲，而不会被其他总线通信复位，并以相同方式持续到第二个经过滤波的隐性脉冲出现。在收到第二个经过滤波的隐性脉冲后，系统会识别到 WUP。RXD 在后续显性脉冲时永久设置为低电平。

要将显性或隐性信号视为“已滤波”，总线必须保持该状态超过 t_{WK_FILTER} 时间。由于 t_{WK_FILTER} 的可变性，存在以下几种可能的情况。短于 $t_{WK_FILTER(MIN)}$ 的总线状态时间始终不会被检测为 WUP 的一部分，因此不会生成唤醒请求。$t_{WK_FILTER(MIN)}$ 和 $t_{WK_FILTER(MAX)}$ 之间的总线状态时间被检测为 WUP 的一部分，并且可能会生成唤醒请求。超过 $t_{WK_FILTER(MAX)}$ 的总线状态时间始终会被检测为 WUP 的一部分，因此始终会生成唤醒请求。请参阅图 7-14 以了解唤醒模式的时序图。

用于 WUP 的模式和 t_{WK_FILTER} 时间可防止噪声和总线卡在显性故障导致错误的唤醒请求，同时允许任何有效报文发起唤醒请求。

ISO 11898-2:2024 标准定义了唤醒滤波时间，以实现 1Mbps 仲裁。

为了实现额外的稳健性并防止误唤醒，该器件实现了唤醒超时特性。要成功发生远程唤醒事件，必须在超时值 $t \leq t_{WK_TIMEOUT}$ 范围内收到整个 WUP。否则，内部逻辑会被复位并且收发器保持在当前状态而不被唤醒。然后，必须按照本节中提到的限制条件再次发送完整模式。请参阅图 7-14 以了解具有唤醒超时特性的唤醒模式时序图。

ADVANCE INFORMATION

Copyright © 2025 Texas Instruments Incorporated

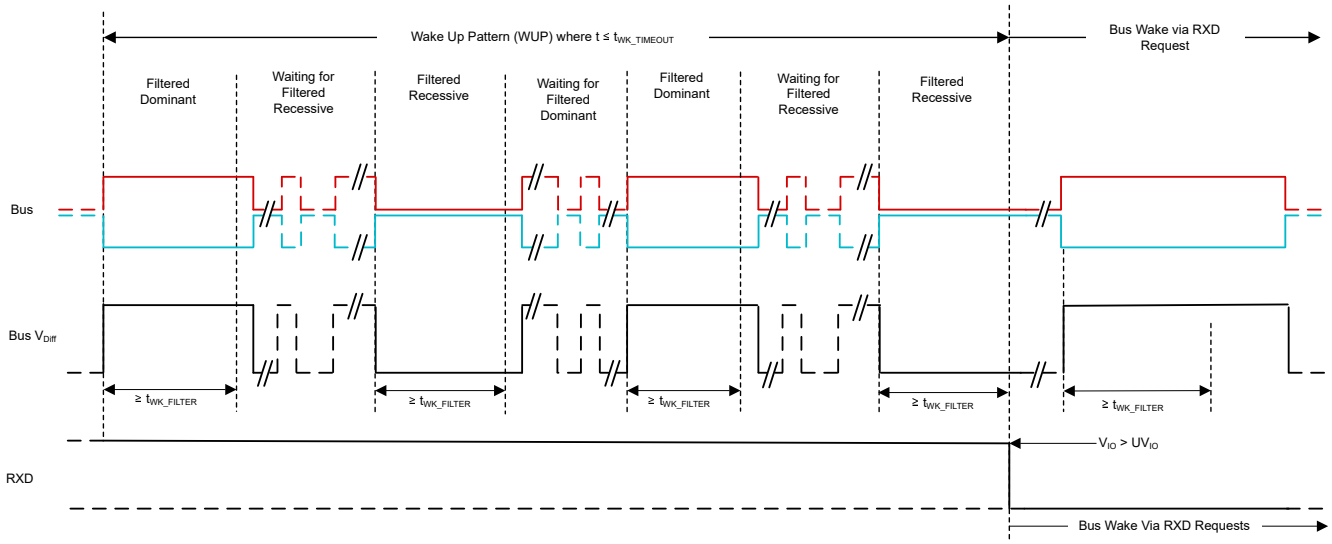


图 7-14. 具有 $t_{WK_TIMEOUT}$ 的唤醒模式 (WUP)

ADVANCE INFORMATION

ADVANCE INFORMATION

7.4.4 驱动器和接收器功能

器件的数字逻辑输入和输出电平是相对于 V_{CC} 的 CMOS 电平。对于 TCAN6062V-Q1，为了与具有 1.8V、2.5V、3.3V 或 5V 电源的 MCU 兼容，这些电平相对于 V_{IO}。

表 7-5. 驱动器功能表

器件模式	驱动器/接收器模式(1)	TXD 输入	总线输出		驱动的总线状态(4)
			CANH	CANL	
正常	SIC 模式	低	高	低	显性
		高电平或开路	高阻抗	高阻抗	偏置隐性
	FAST TX 模式	PWM 低电平(2)	高	低	Level_0
		PWM 高电平(2)	低	高	Level_1
	FAST RX 模式	PWM(2)	高阻抗	高阻抗	偏置隐性
待机		X(3)	高阻抗	高阻抗	偏置到地

(1) 有关驱动器/接收器模式的概览，请参阅 节 7.4.2 和 节 7.4.3
(2) 请参阅节 7.3.3.4
(3) X = 不相关
(4) 如需了解总线状态和偏置，请参阅 图 7-4、图 7-5 和 图 7-6

表 7-6. 接收器功能表

器件模式	驱动器/接收器模式	CAN 差分输入 $V_{ID} = V_{CANH} - V_{CANL}$	总线状态	RXD 引脚
正常	SIC 模式	$V_{ID} \geq 0.9V$	显性	低
		$0.5V < V_{ID} < 0.9V$	未定义	未定义
		$V_{IT(OOB)} < V_{ID} \leq 0.5V$	隐性	高
		开路 ($V_{ID} \approx 0V$)	开路	
		$V_{ID} \leq V_{IT(OOB)}$	越界(1)	低
	FAST TX 模式或 FAST RX 模式	$V_{ID} \geq 0.1V$	Level_0	低
		$-0.1V < V_{ID} < 0.1V$	未定义	未定义
		开路 ($V_{ID} \approx 0V$)	开路	
		$V_{ID} \leq -0.1V$	Level_1	高
待机		$V_{ID} \geq 1.15V$	显性	高电平 如果发生远程唤醒事件，则为低电平 请参阅 图 7-14
		$0.4V < V_{ID} < 1.15V$	未定义	
		$V_{ID} \leq 0.4V$	隐性	
		开路 ($V_{ID} \approx 0V$)	开路	

(1) 请参阅越界 (OOB) 比较器

Copyright © 2025 Texas Instruments Incorporated

8 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

8.1 典型应用

TCAN6062-Q1 通常用于具有主机微处理器（包括负责 CAN 协议数据链路层的 CAN 控制器）的应用。为了使系统实现 CAN XL，CAN 控制器需要支持 CAN XL，如 ISO 11898-1:2024 标准中所述。CAN XL 控制器能够在发送和接收 CAN XL 帧时生成将 TCAN6062-Q1 切换到 FAST TX 和 FAST RX 模式所需的 PWM 信号。TCAN6062-Q1 还可以与支持经典 CAN (CAN CC) 或采用灵活数据速率 (CAN FD) 的 CAN 控制器一起使用，该类控制器在当前或以前版本的 ISO 11898-1 或类似 CAN 协议标准中定义，如 图 8-4 中所示。对于这些协议中使用的数据速率和通信方法，TCAN6062-Q1 仍处于 SIC 模式。

图 8-1 显示了 5V 控制器应用的典型配置。图中显示了总线终端以方便说明。

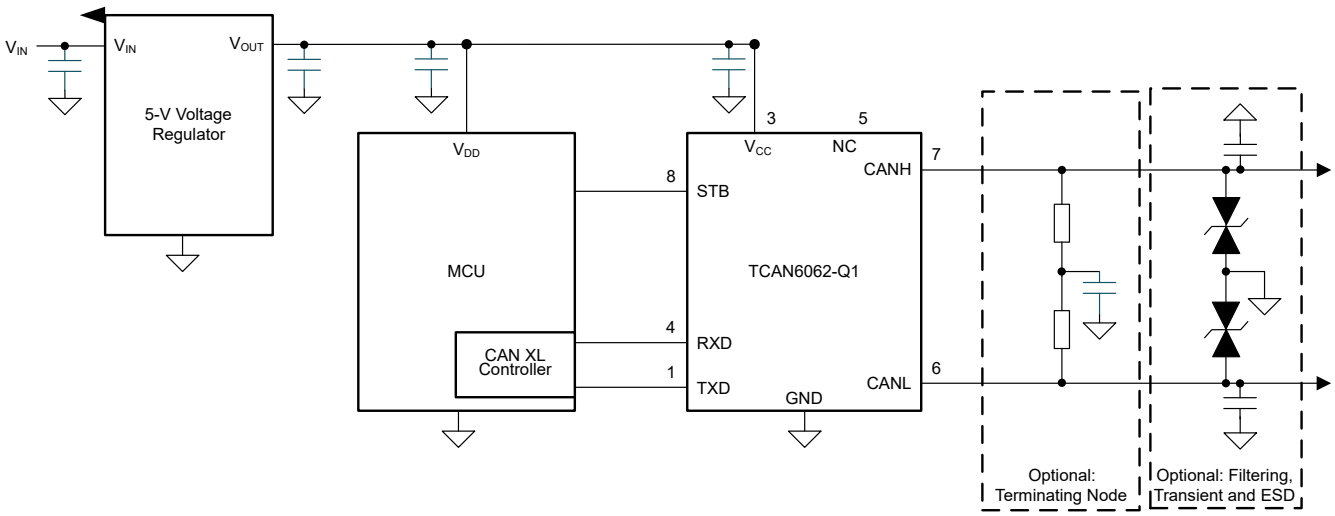


图 8-1. 使用 5V I/O 连接的收发器应用

ADVANCE INFORMATION

ADVANCE INFORMATION

8.1.1 设计要求

8.1.1.1 CAN 终端

总线末端可以采用单个 120Ω 电阻进行端接，放在电缆上或端接节点中。如果总线的共模电压需要进行滤波和稳压，则可以采用分裂端接方式，具体请参阅图 8-2。分裂端接通过滤除差分信号线路上可能存在的高频共模噪声，来改善网络的电磁发射行为。

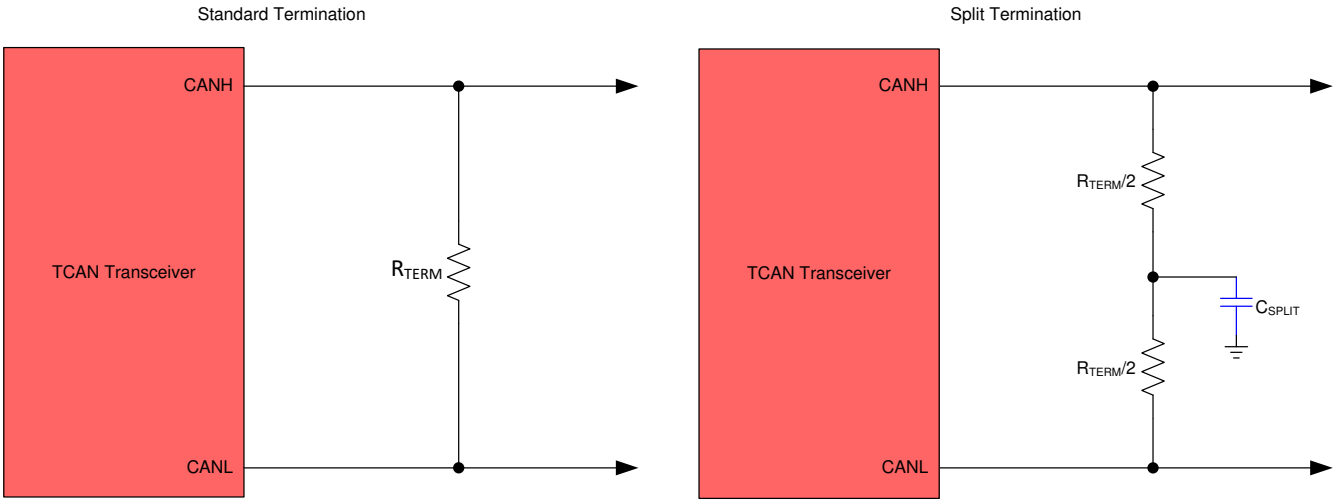


图 8-2. CAN 总线端接概念

8.1.2 详细设计过程

8.1.2.1 总线负载能力、长度和节点数

典型 CAN 应用的最大总线长度可能为 40 米，最大桩线长度可能为 0.3 米。但是，如果设计得当，用户可以获得更长的总线电缆长度、桩线长度和更多的节点。如果节点数量较多，则需要具有高输入阻抗的收发器，例如 TCAN6062-Q1。此外，由于 TCAN6062(V)-Q1 具有 SIC 和 FAST TX，因此在给定的网络规模中，得益于信号振铃减弱，可以实现更高的数据速率。

CAN XL 适合用于要求比 CAN FD 或以太网 10BASE-T 系统的数据吞吐量更高的点对点或多点网络。在区域架构中，可以使用这种高速连接将其他低速网络连接在一起，而无需将 CAN 流量转换为另一种协议。区域系统可结合使用 CAN FD、以太网和 CAN XL，在大量器件之间实现高可靠性连接。

许多 CAN 组织和标准已将 CAN 的使用范围扩展至原始 ISO 11898-2 标准之外的应用。它们在总线的数据速率、电缆长度和寄生负载方面做出了系统层面的折衷决策。这些 CAN 系统级规范的示例包括 ARINC 825、CANopen、DeviceNet、SAE J2284、SAE J1939 和 NMEA 2000。

CAN 网络系统设计就是做出一系列的权衡。在 ISO 11898-2:2024 附件 A 规范中规定了总线负载范围为 45Ω 至 65Ω 时的驱动器差分输出，其中该差分输出必须大于 1.5V。该总线负载范围通过附录 A 扩展到 45Ω，其中包含面向 CAN XL 应用的额外收发器设计规范。TCAN6062-Q1 系列可在低至 45Ω 时满足 1.5V 要求。这种增强的驱动器能力支持采用 50Ω 终端的用例，例如 5 类或同轴电缆应用。

TCAN6062-Q1 的差分输入阻抗至少为 40kΩ。如果总线上有 100 个并联的 TCAN6062-Q1 收发器，这就相当于 400Ω 差分负载与标称 60Ω 总线终端并联，因此总线负载总共约为 52Ω。因此，TCAN6062-Q1 系列理论上在单个总线段上支持超过 100 个收发器。不过，在 CAN 网络设计中，考虑到系统和电缆中的信号损失、寄生负载、时序、网络失衡、接地偏移和信号完整性等问题，必须留有一定的裕度，因此实际的最大节点数通常更少。此外，通过对系统设计和数据速率加以谨慎权衡，可以使总线长度超过 40 米。例如，CANopen 网络设计指南允许通过更改终端电阻和布线、减少节点数（少于 64 个）并显著降低数据速率，将网络扩展至 1km。

这种 CAN 网络设计灵活性是基于原始 ISO 11898-2 CAN 标准的各种扩展和附加标准的关键优势之一。不过，在利用这种灵活性时，CAN 网络系统设计人员必须保证良好的网络设计，以确保网络稳定运行。

Copyright © 2025 Texas Instruments Incorporated

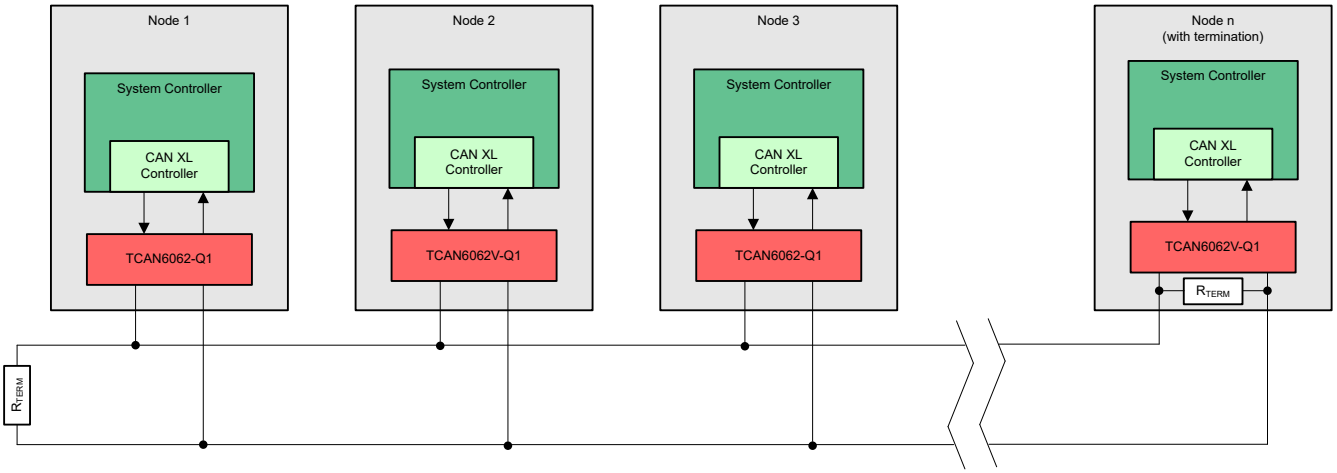


图 8-3. 典型 CAN XL 总线

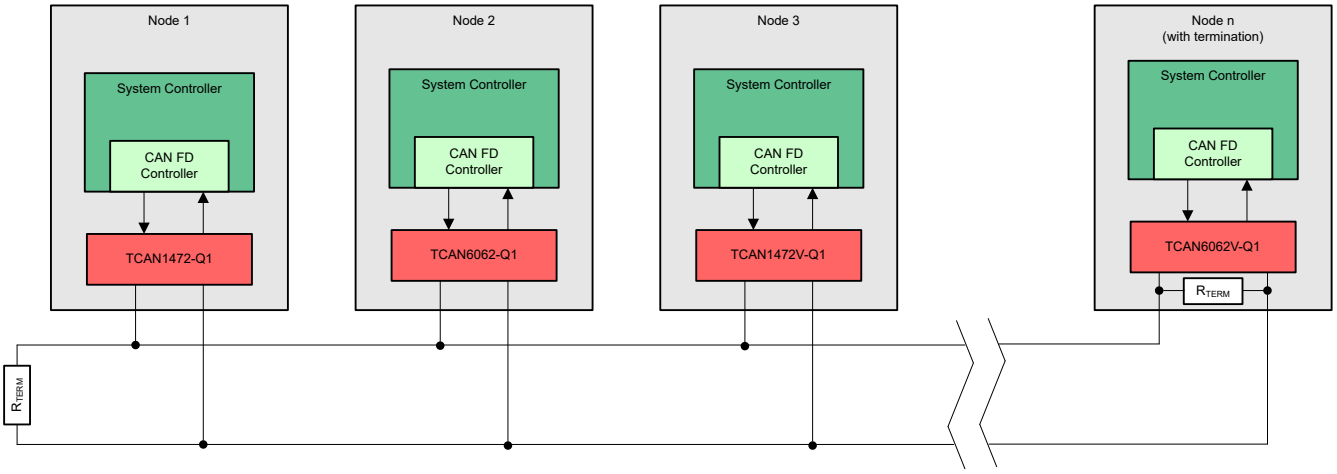


图 8-4. 具有 CAN SIC 和 CAN XL 收发器的典型 CAN FD 总线

ADVANCE INFORMATION

8.2 系统示例

TCAN6062(V)-Q1 CAN 收发器通常用于具有主机控制器或 FPGA（包括 CAN 协议的链路层部分）的应用。图 8-5 显示了一个 1.8V、2.5V 或 3.3V 应用。图中显示了总线终端以方便说明。

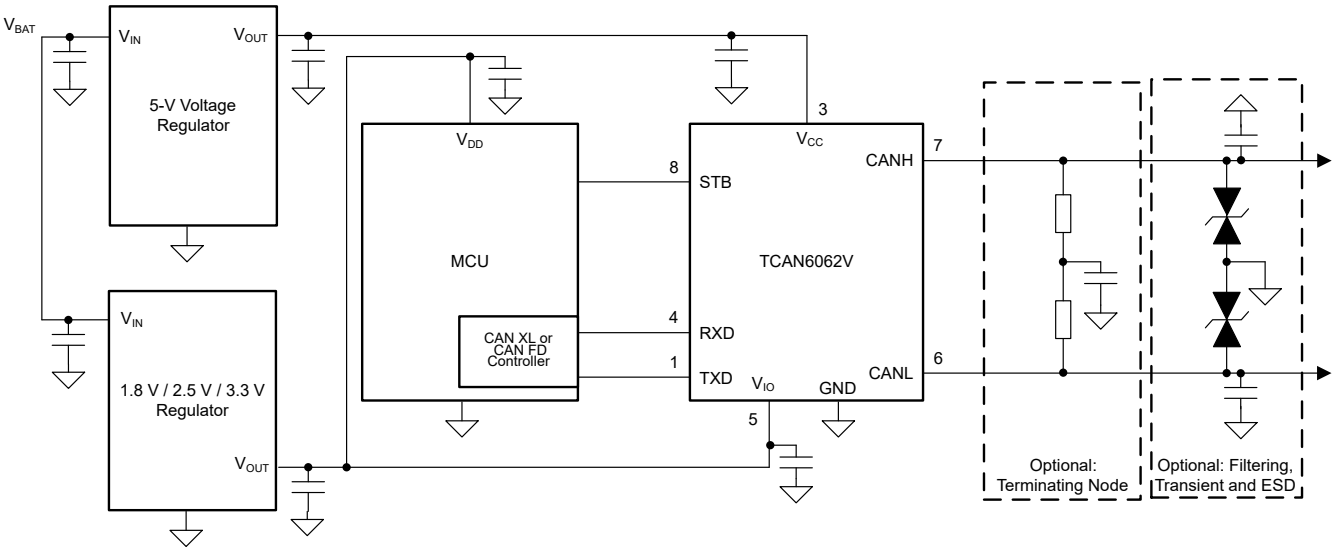


图 8-5. 使用 1.8V、2.5V、3.3V IO 连接的典型收发器应用

8.3 电源相关建议

该器件收发器设计为在 4.75V 至 5.25V 的 V_{CC} 主输入电源电压范围内运行。TCAN6062V-Q1 采用 IO 电平转换电源输入 V_{IO}，设计电压范围为 1.71V 至 5.5V。这两个电源输入必须经过良好调节。除旁路电容外，应将一个通常为 100nF 的去耦电容放置在 CAN 收发器的主 V_{CC} 电源引脚附近。除旁路电容外，应将一个通常为 100nF 的去耦电容放置在 CAN 收发器的 V_{IO} 电源引脚附近。

8.4 布局

8.4.1 布局指南

- 将保护和滤波电路放置于尽可能靠近总线连接器 J1 的位置，以防止瞬变、ESD 和噪声传播到电路板。以下布局示例显示了一个可选瞬态电压抑制 (TVS) 二极管 D1；如果系统级要求超过收发器的额定值，则可以采用该二极管。此示例还显示了可选的总线滤波电容 C4 和 C5。
- 朝信号路径的方向设计总线保护元件。不得将瞬态电流从信号路径强行转移至保护器件。
- 去耦电容应尽可能靠近收发器的电源引脚 V_{CC} 和 V_{IO} 放置。
- 当旁路电容和保护器件连接电源和地时，应至少使用两个过孔以更大限度减少布线电感和过孔电感。

备注

高频电流会选择阻抗最小的路径，而非电阻最小的路径。

- 以下布局示例展示了如何在 CAN 节点上实现分裂终端。此终端分为 R4 和 R5 两个电阻，终端的中心或分接抽头通过电容 C3 接地。分裂终端为总线提供共模滤波。有关终端概念和终端电阻所需的额定功率的信息，请参阅 CAN 终端和 CAN 总线短路电流限制。

ADVANCE INFORMATION

Copyright © 2025 Texas Instruments Incorporated

8.4.2 布局示例

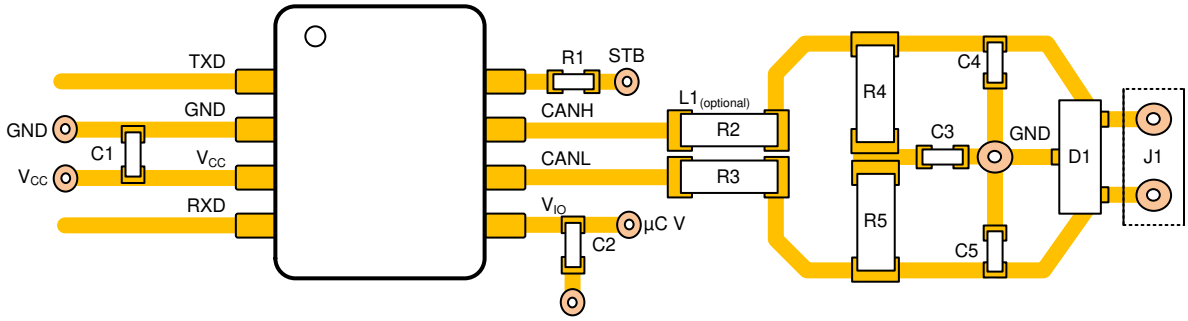


图 8-6. 布局示例

ADVANCE INFORMATION

9 器件和文档支持

9.1 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击右上角的*提醒我* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

9.2 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

9.3 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

9.4 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.5 术语表

TI 术语表　　本术语表列出并解释了术语、首字母缩略词和定义。

10 修订历史记录

日期	修订版本	注释
September 2025	*	最初修订版本

11 机械、封装和可订购信息

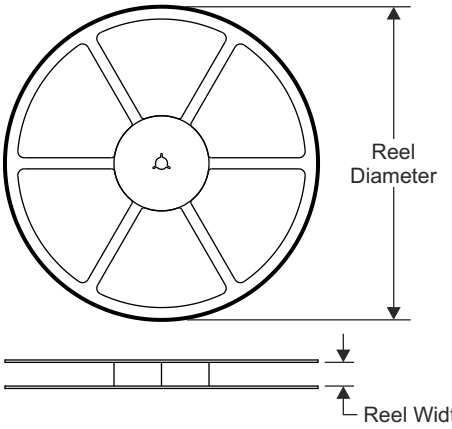
以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

ADVANCE INFORMATION

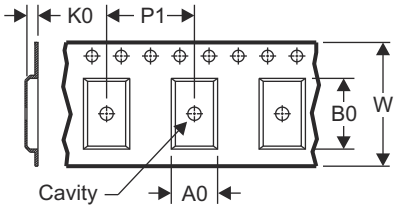
Copyright © 2025 Texas Instruments Incorporated

11.1 卷带包装信息

REEL DIMENSIONS

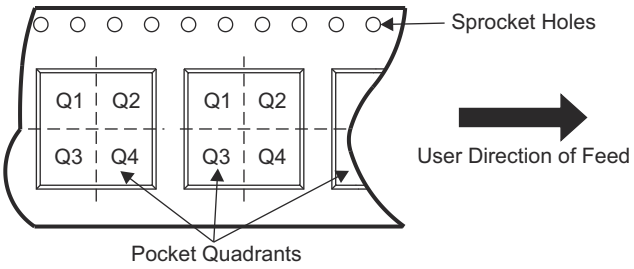


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE

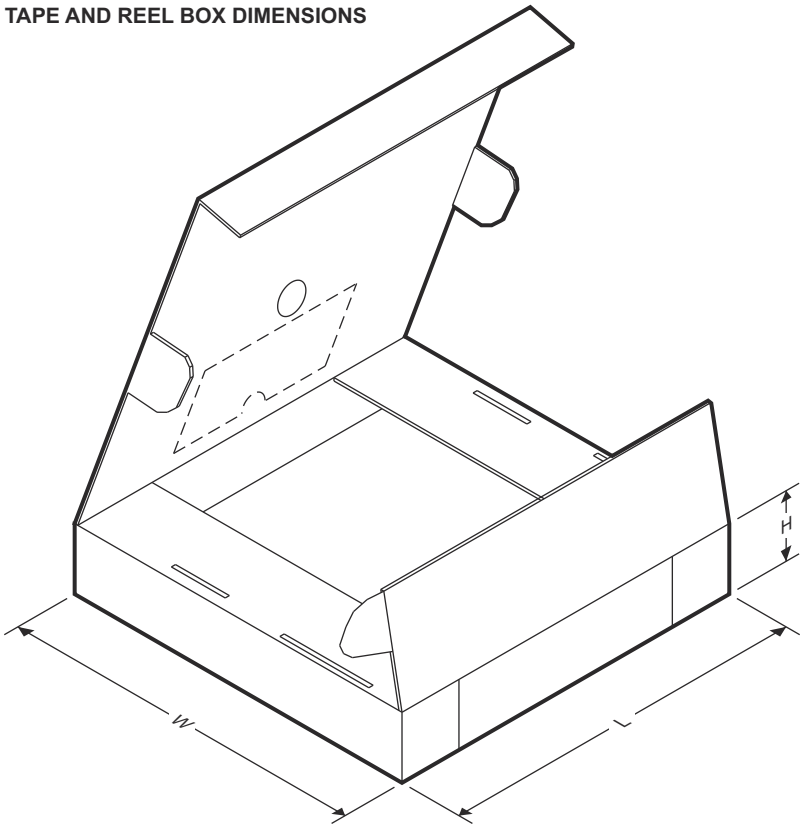


器件	封装类型	封装图	引脚	SPQ	卷带直径 (mm)	卷带宽度 W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1象限
TCAN6062VDRQ1	SOIC	D	8	2500	330.0	12.5	6.4	5.2	2.1	8.0	12.0	Q1
TCAN6062VDRBRQ1	SON	DRB	8	3000	330.0	12.4	3.3	3.3	1.0	8.0	12.0	Q1

ADVANCE INFORMATION

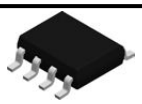
Copyright © 2025 Texas Instruments Incorporated

TAPE AND REEL BOX DIMENSIONS



器件	封装类型	封装图	引脚	SPQ	长度 (mm)	宽度 (mm)	高度 (mm)
TCAN6062VDRQ1	SOIC	D	8	2500	340.5	336.1	25.0
TCAN6062VDRBRQ1	SON	DRB	8	3000	346.0	346.0	35.0

Copyright © 2025 Texas Instruments Incorporated

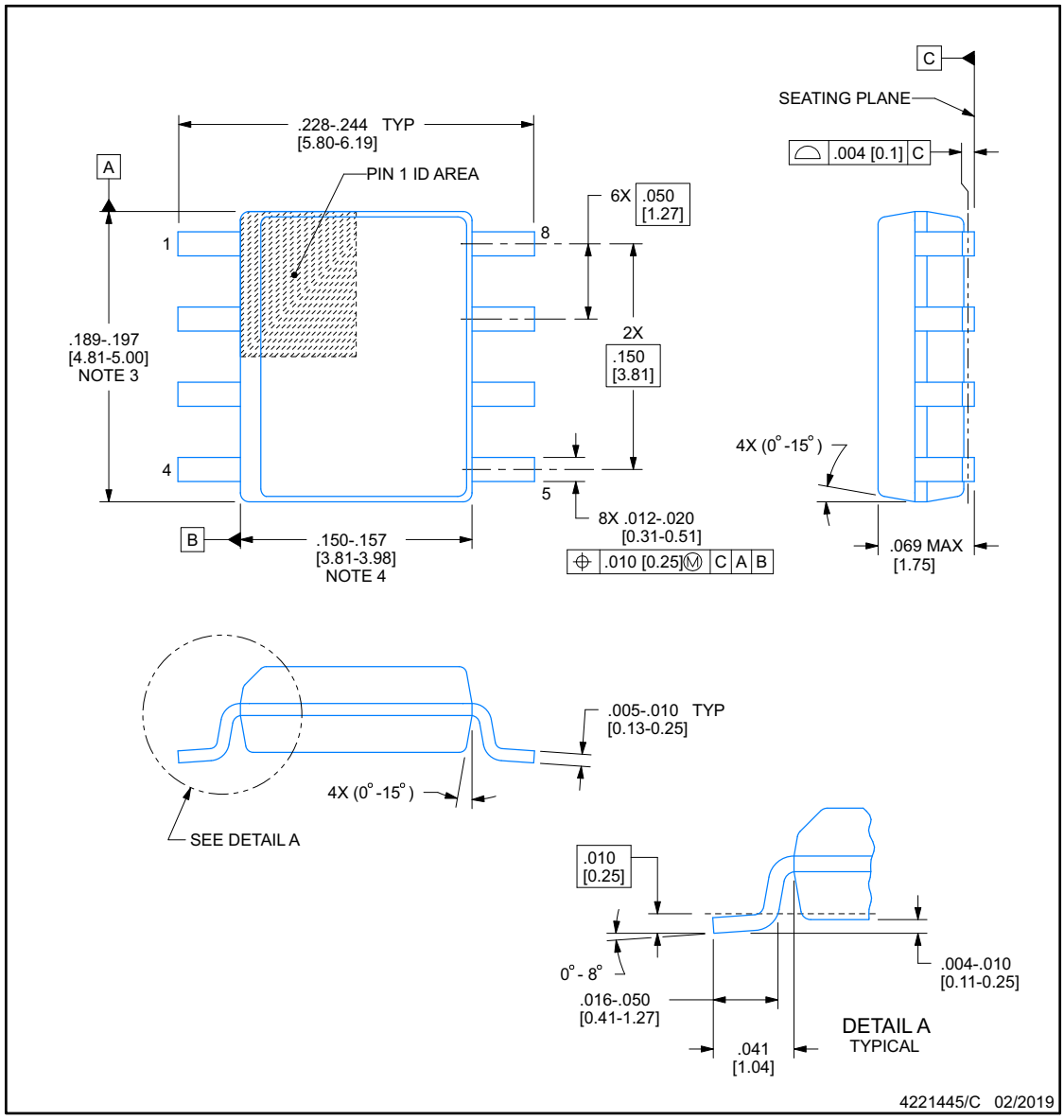


PACKAGE OUTLINE

D0008B

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15], per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.

www.ti.com

ADVANCE INFORMATION

Copyright © 2025 Texas Instruments Incorporated

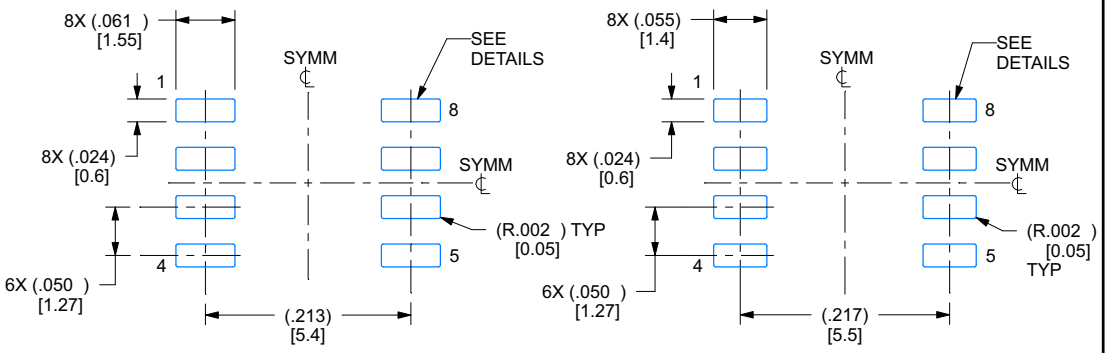
ADVANCE INFORMATION

EXAMPLE BOARD LAYOUT

D0008B

SOIC - 1.75 mm max height

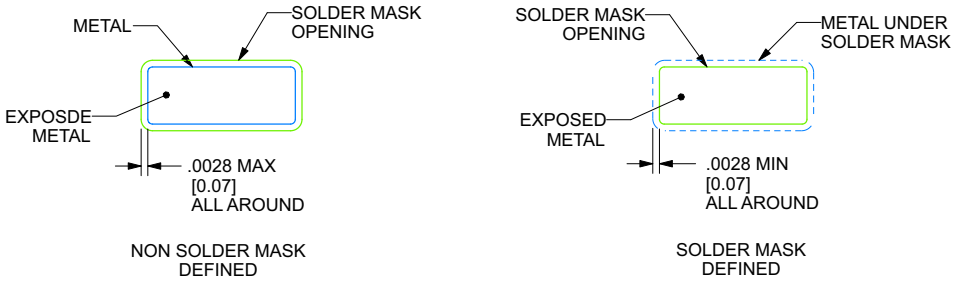
SMALL OUTLINE INTEGRATED CIRCUIT



IPC-7351 NOMINAL
.150 [3.85] CLEARANCE / CREEPAGE

HV / ISOLATION OPTION
.162 [4.1] CLEARANCE / CREEPAGE

LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:6X



NON SOLDER MASK
DEFINED

SOLDER MASK
DEFINED

SOLDER MASK DETAILS

4221445/C 02/2019

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

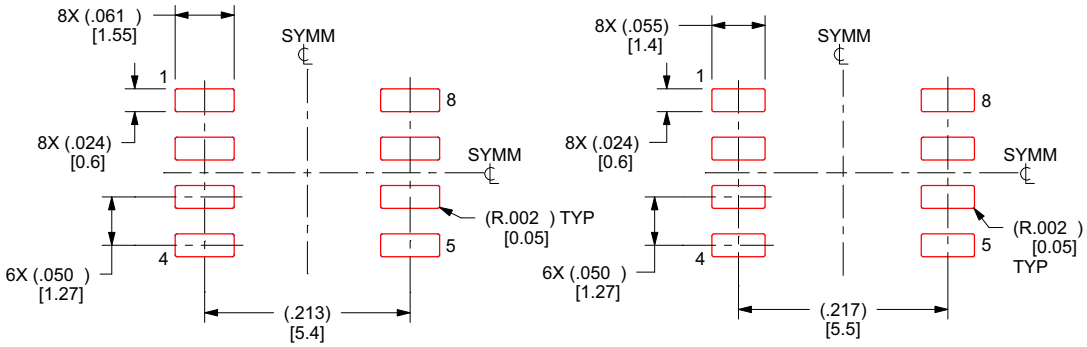
Copyright © 2025 Texas Instruments Incorporated

EXAMPLE STENCIL DESIGN

D0008B

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



IPC-7351 NOMINAL
.150 [3.85] CLEARANCE / CREEPAGE

HV / ISOLATION OPTION
.162 [4.1] CLEARANCE / CREEPAGE

SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.127 MM] THICK STENCIL
SCALE:6X

4221445/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

Copyright © 2025 Texas Instruments Incorporated

ADVANCE INFORMATION

ADVANCE INFORMATION

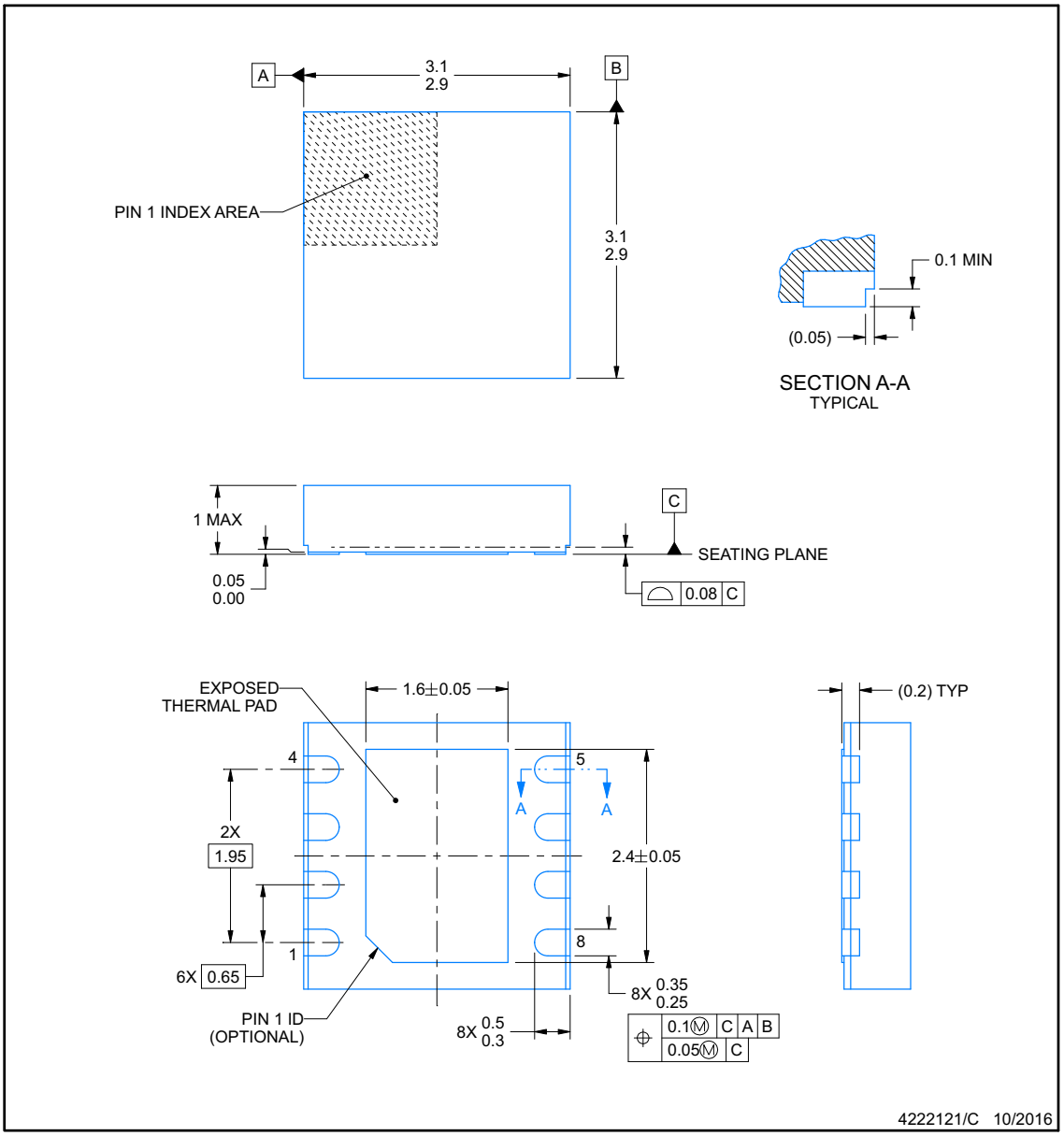


PACKAGE OUTLINE

DRB0008F

VSON - 1 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

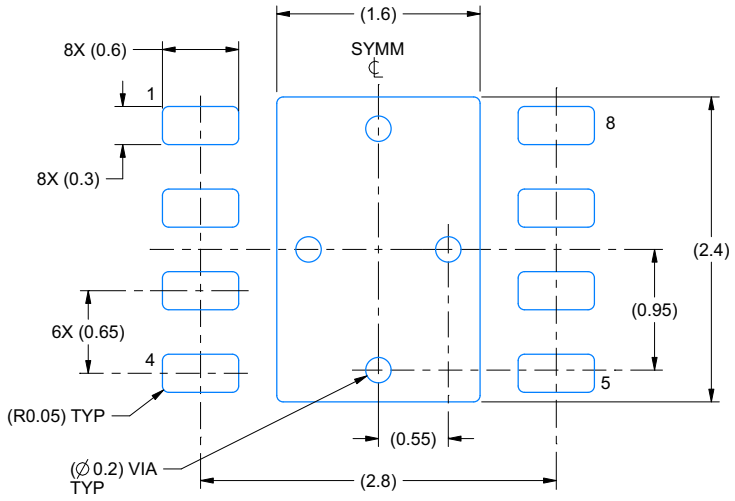
Copyright © 2025 Texas Instruments Incorporated

EXAMPLE BOARD LAYOUT

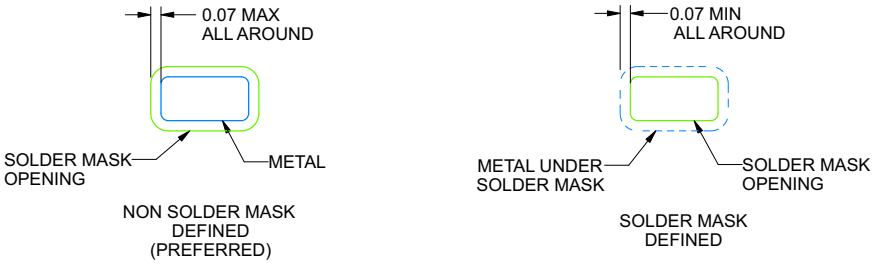
DRB0008F

VSON - 1 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



LAND PATTERN EXAMPLE
SCALE:20X



SOLDER MASK DETAILS

4222121/C 10/2016

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

ADVANCE INFORMATION

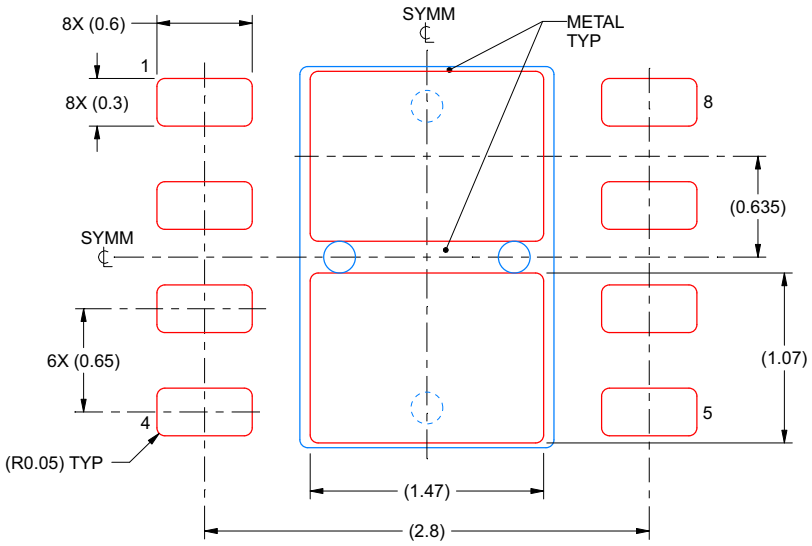
Copyright © 2025 Texas Instruments Incorporated

ADVANCE INFORMATION

EXAMPLE STENCIL DESIGN

DRB0008F — **VSON - 1 mm max height**

PLASTIC SMALL OUTLINE - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD
82% PRINTED SOLDER COVERAGE BY AREA
SCALE:25X

4222121/C 10/2016

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

Copyright © 2025 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
PTCAN6062DRBRQ1	Active	Preproduction	SON (DRB) | 8	3000 | LARGE T&R	-	Call TI	Call TI	-40 to 150	
PTCAN6062DRQ1	Active	Preproduction	SOIC (D) | 8	3000 | LARGE T&R	-	Call TI	Call TI	-40 to 150	
PTCAN6062VDRBRQ1	Active	Preproduction	null (null) |	3000 | LARGE T&R	-	Call TI	Call TI	-40 to 150	
PTCAN6062VDRQ1	Active	Preproduction	null (null) |	3000 | LARGE T&R	-	Call TI	Call TI	-40 to 150	

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2025，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月