TAD5242 具有 120dB 动态范围和耳机/线路驱动器的硬件控制立体声音频 DAC

1 特性

- – 立体声音频 DAC 性能：
  - DAC 至差分线路输出动态范围：120dB
  - DAC 至伪差分耳机输出动态范围：110dB
  - DAC 至差分线路输出 THD+N：-100dB
  - 输出电压：
    - 差分线路输出/接收器，$2V_{RMS}$ 满量程
    - 伪差分耳机，$1V_{RMS}$ 满量程
    - 单端线路输出，$1V_{RMS}$ 满量程
  - DAC 采样速率 (f_s) = 8kHz 至 192kHz
- 主要特性
  - 引脚或硬件控制
  - 音频串行接口
    - 格式：TDM、LJ 或 I^2S
    - 总线控制器和目标模式
    - TDM 模式下的菊花链
    - 字长：可选择 24 位或 32 位
  - 引脚可选数字内插滤波器选项：
    - 线性相位
    - 低延迟
  - 自动时钟检测
  - 发生时钟错误时中断输出
  - 单 AVDD 电源运行：1.8V 或 3.3V
  - I/O 电源运行：1.8V 或 3.3V
  - 温度等级 1：–40°C ≤ T_A ≤ +125°C

2 应用

- AV 接收器
- IP 网络摄像机
- 条形音箱
- 视频会议系统

3 说明

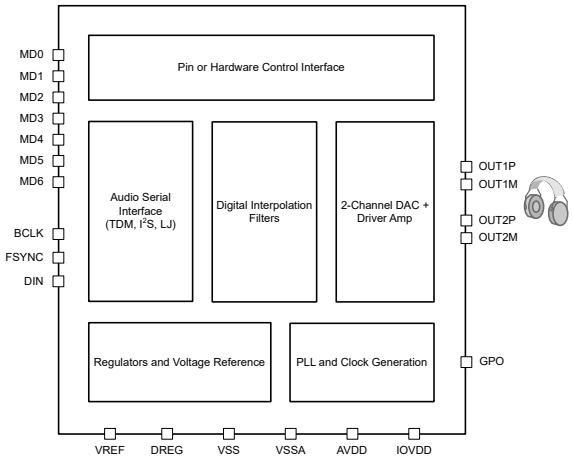
TAD5242 是一款 $2V_{RMS}$ 120dB 立体声音频 DAC，可配置为线路输出或耳机负载，并且支持单端输出和差分输出选项。器件集成了锁相环 (PLL) 并支持高达 192kHz 的采样速率。TAD5242 可为 16Ω 耳机负载提供高达 62.5mW 的驱动功率。TAD5242 在控制器和目标模式下支持时分多路复用 (TDM)、左对齐 (LJ) 或 I^2S 音频格式，并可通过引脚或硬件控制。这些集成的高性能特性、引脚控制以及单电源运行，使 TAD5242 特别适用于空间受限的音频应用。

器件信息

器件型号	封装(1)	封装尺寸（标称值）(2)
TAD5242	VQFN (24)	4mm x 4mm，间距为 0.5mm

(1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。

(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。



简化版方框图

内容

1 特性.....1
2 应用.....1
3 说明.....1
4 引脚配置和功能.....3
5 规格.....5
5.1 绝对最大额定值.....5
5.2 ESD 等级.....5
5.3 建议运行条件.....5
5.4 热性能信息.....6
5.5 电气特性.....6
5.6 时序要求：TDM、I²S 或 LJ 接口.....8
5.7 开关特性：TDM、I²S 或 LJ 接口.....9
5.8 时序图.....10
5.9 典型特性.....11
6 详细说明.....14
6.1 概述.....14
6.2 功能方框图.....14
6.3 特性说明.....14
6.4 器件功能模式.....32
7 应用和实施.....33
7.1 应用信息.....33
7.2 典型应用.....33
7.3 电源相关建议.....35
7.4 布局.....35
8 器件和文档支持.....37
8.1 文档支持.....37
8.2 接收文档更新通知.....37
8.3 支持资源.....37
8.4 商标.....37
8.5 静电放电警告.....37
8.6 术语表.....37
9 修订历史记录.....37
10 机械、封装和可订购信息.....37

Copyright © 2024 Texas Instruments Incorporated

4 引脚配置和功能

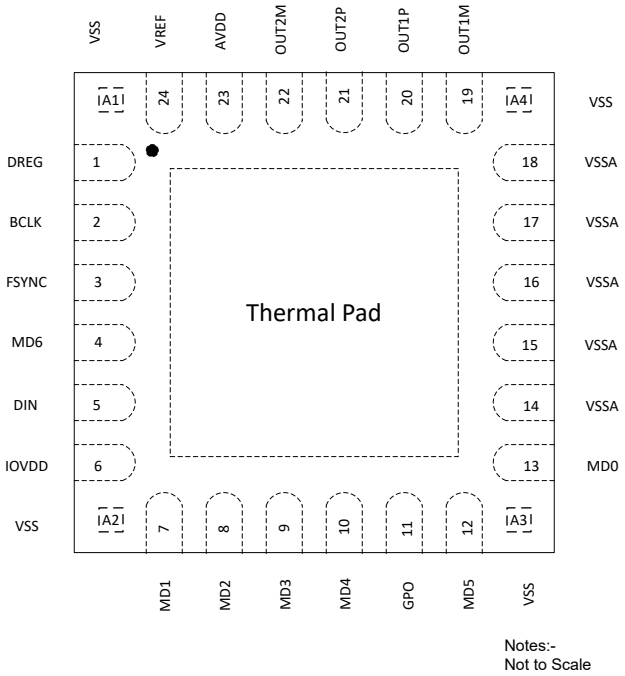


图 4-1. 带有外露散热焊盘和转角引脚的 24 引脚 QFN 封装，顶视图

表 4-1. 引脚功能

引脚		类型	说明
名称	编号		
VSS	A1	地	接地引脚。直接短接至电路板接地层。
DREG	1	数字电源	数字电源的数字片上稳压器输出电压（标称值为 1.55V）
BCLK	2	数字 I/O	音频串行数据接口总线位时钟
FSYNC	3	数字 I/O	音频串行数据接口总线帧同步信号
MD6	4	数字 I/O	TDM 模式：菊花链输出
			I^2S/LJ 模式：单声道/立体声 DAC 通道选择
DIN	5	数字输入	音频串行数据接口总线输入
IOVDD	6	数字电源	数字 I/O 电源（标称值为 1.8V 或 3.3V）
VSS	A2	地	接地引脚。直接短接至电路板接地层。
MD1	7	数字输入	控制器模式：帧速率和 BCLK 频率选择
			目标模式：AVDD 电源、字长和内插滤波器类型选择
MD2	8	数字输入	控制器模式：帧速率和 BCLK 频率选择
			目标模式：AVDD 电源、字长和内插滤波器类型选择
MD3	9	数字输入	控制器模式：控制器时钟输入
			目标模式：直接短接至电路板接地层。
MD4	10	数字输入	DAC 输出配置选择
GPO	11	数字输出	中断输出（锁存）
MD5	12	数字输入	DAC 输出配置选择
VSS	A3	地	接地引脚。直接短接至电路板接地层。
MD0	13	模拟输入	用于控制器/目标模式和 I^2S/TDM/LJ 模式选择的多级模拟输入
VSSA	14	地	直接短接至电路板接地层

Copyright © 2024 Texas Instruments Incorporated

表 4-1. 引脚功能（续）

引脚		类型	说明
名称	编号		
VSSA	15	地	直接短接至电路板接地层
VSSA	16	地	直接短接至电路板接地层
VSSA	17	地	直接短接至电路板接地层
VSSA	18	地	直接短接至电路板接地层
VSS	A4	地	接地引脚。直接短接至电路板接地层。
OUT1M	19	模拟输出	模拟输出 1M 引脚
OUT1P	20	模拟输出	模拟输出 1P 引脚
OUT2P	21	模拟输出	模拟输出 2P 引脚
OUT2M	22	模拟输出	模拟输出 2M 引脚
AVDD	23	模拟电源	模拟电源（标称值为 1.8V 或 3.3V）
VREF	24	模拟	模拟基准电压滤波器输出

Copyright © 2024 Texas Instruments Incorporated

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）(1)

		最小值	最大值	单位
电源电压	AVDD 至 VSS（散热焊盘）	-0.3	3.9	V
电源电压	IOVDD 至 VSS（散热焊盘）	-0.3	3.9	V
接地电压差	VSSA 至 VSS（散热焊盘）	-0.3	0.3	V
数字输入电压	数字输入引脚电压至 VSS（散热焊盘）	-0.3	IOVDD + 0.3	V
温度	功能环境温度，T_A	-55	125	°C
	工作环境温度，T_A	-40	125	
	结温，T_J	-40	150	
	贮存温度，T_{stg}	-65	150	

(1) 超出“绝对最大额定值”运行可能会对器件造成永久损坏。绝对最大额定值并不表示器件在这些条件下或在建议运行条件以外的任何其他条件下能够正常运行。如果超出“建议运行条件”但在“绝对最大额定值”范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。

5.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准(1)	±2000	V
$V_{(ESD)}$	静电放电	充电器件模型 (CDM)，符合 ANSI/ESDA/JEDEC JS-002 标准(2)	±500	

(1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。
(2) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。

5.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

		最小值	标称值	最大值	单位
电源					
AVDD(1)	模拟电源电压至 VSS（散热焊盘）- AVDD 3.3V 运行	3.0	3.3	3.6	V
	模拟电源电压至 VSS（散热焊盘）- AVDD 1.8V 运行	1.65	1.8	1.95	
IOVDD	IO 电源电压至 VSS（散热焊盘）- IOVDD 3.3V 运行	3.0	3.3	3.6	V
	IO 电源电压至 VSS（散热焊盘）- IOVDD 1.8V 运行	1.65	1.8	1.95	
输入					
IO	数字输入引脚（MD1 至 MD6）电压至 VSS（散热焊盘）	0		IOVDD	V
MD0	MD0 引脚，以 VSS 为基准（散热焊盘）	0		AVDD	V
温度					
T_A	工作环境温度	-40		125	°C

Copyright © 2024 Texas Instruments Incorporated

在自然通风条件下的工作温度范围内测得（除非另有说明）

		最小值	标称值	最大值	单位
其他					
CCLK	MD3 控制器模式时钟频率 (CCLK) - IOVDD 3.3V 运行			36.864(2)	MHz
	MD3 控制器模式时钟频率 (CCLK) - IOVDD 1.8V 运行			24.576(2)	
C_L	数字输出负载电容		20	50	pF

(1) VSSA 和 VSS（散热焊盘）；所有接地引脚必须连接在一起，并且电压差异不得超过 0.2V。
(2) CCLK 输入上升时间（V_{IL} 到 V_{IH}）和下降时间（V_{IH} 到 V_{IL}）必须小于 5ns。为了获得更好的音频噪声性能，必须使用低抖动的 CCLK 输入。

5.4 热性能信息

热指标(1)		TAD5242 RGE (VQFN) 24 引脚	单位
$R_{\theta JA}$	结至环境热阻	38.4	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	26.3	°C/W
$R_{\theta JB}$	结至电路板热阻	15.9	°C/W
ψ_{JT}	结至顶部特征参数	0.5	°C/W
ψ_{JB}	结至电路板特征参数	15.8	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	13.8	°C/W

(1) 有关传统和新热指标的更多信息，请参阅半导体和 IC 封装热指标应用报告。

5.5 电气特性

T_A = 25°C、AVDD = 3.3V、IOVDD = 3.3V、f_{IN} = 1kHz 正弦信号、f_S = 48kHz、32 位音频数据、BCLK = 256 × f_S、TDM 目标模式和线性相位内插滤波器、采用差分/单端配置的 1200Ω/600Ω 线路输出负载或 32Ω 接收器差分负载（如适用）；测量时无滤波器，使用 Audio Precision 在 20Hz 至 20kHz 未加权带宽下测量（除非另有说明）

参数		测试条件	最小值	标称值	最大值	单位
线路输出/耳机回放的 DAC 性能						
	满量程输出电压	OUTxP 和 OUTxM 之间的差分输出，AVDD = 3.3V		2		V_{RMS}
		OUTxP 和 OUTxM 之间的差分输出，AVDD = 1.8V		1		
		单端输出，AVDD = 3.3V		1		
		单端输出，AVDD = 1.8V		0.5		
		OUTxP 和 OUT1M 之间的伪差分输出，具有外部共模检测，AVDD = 3.3V		1		
		OUTxP 和 OUT1M 之间的伪差分输出，具有外部共模检测，AVDD = 1.8V		0.5		
SNR	信噪比，A 加权(1) (2)	差分输出，0dBFS 信号，AVDD = 3.3V		120		dB
		单端输出，0dBFS 信号，AVDD = 3.3V		111		
		伪差分输出，0dBFS 信号，AVDD = 3.3V		110		
		差分输出，0dBFS 信号，AVDD = 1.8V		115		
		单端输出，0dBFS 信号，AVDD = 1.8V		105		
		伪差分输出，0dBFS 信号，AVDD = 1.8V		104		

Copyright © 2024 Texas Instruments Incorporated

T_A = 25°C、AVDD = 3.3V、IOVDD = 3.3V、f_{IN} = 1kHz 正弦信号、f_S = 48kHz、32 位音频数据、BCLK = 256 × f_S、TDM 目标模式和线性相位内插滤波器、采用差分/单端配置的 1200Ω/600Ω 线路输出负载或 32Ω 接收器差分负载（如适用）；测量时无滤波器，使用 Audio Precision 在 20Hz 至 20kHz 未加权带宽下测量（除非另有说明）

参数		测试条件	最小值	标称值	最大值	单位
DR	动态范围，A 加权(2)	差分输出，-60dBFS 信号，AVDD = 3.3V		120		dB
		单端输出，-60dBFS 信号，AVDD = 3.3V		111		
		伪差分输出，-60dBFS 信号，AVDD = 3.3V		110		
		差分输出，-60dBFS 信号，AVDD = 1.8V		115		
		单端输出，-60dBFS 信号，AVDD = 1.8V		105		
		伪差分输出，-60dBFS 信号，AVDD = 1.8V		104		
THD+N	总谐波失真(2)	差分输出，-1dBFS 信号，AVDD = 3.3V		-100		dB
THD+N	总谐波失真(2)	单端输出，-1dBFS 信号，AVDD = 3.3V		-96		dB
	耳机负载范围(3)		8	16	300	Ω
	耳机/线路输出电容负载		0	100	550	pF
	线路输出负载范围		600			Ω
DAC 通道其他参数						
	输出偏移	0 输入，差分线路输出		0.5		mV
	输出共模	OUTxP 和 OUTxM 的共模电平 AVDD = 1.8V		0.9		V
	输出共模	OUTxP 和 OUTxM 的共模电平 AVDD = 3.3V		1.65		V
	共模误差	共模电压下的直流误差		±10		mV
	输出信号带宽			20		kHz
	输入数据字长	引脚可选	24		32	位
	通道间隔离			-120		dB
	增益误差			0.1		dB
	通道间增益不匹配			0.1		dB
	通道间相位不匹配	1kHz 正弦信号		0.01		度
PSRR	电源抑制比	100mV_{PP}，AVDD 上 1kHz 正弦信号，差分输入，0dB 通道增益		120		dB
P_{out}	输出电力输送	接收器/耳机 R_L= 16Ω，在差分或伪差分模式下 THD+N <1%		62.5		mW
数字 I/O						
V_{IL}	低电平数字输入逻辑电压阈值	所有数字引脚，IOVDD 1.8V 运行电压	-0.3		0.35 x IOVDD	V
		所有数字引脚，IOVDD 3.3V 运行电压	-0.3		0.8	
V_{IH}	高电平数字输入逻辑电压阈值	所有数字引脚，IOVDD 1.8V 运行电压	0.65 x IOVDD		IOVDD + 0.3	V
		所有数字引脚，IOVDD 3.3V 运行电压	2		IOVDD + 0.3	
V_{OL}	低电平数字输出电压	所有数字引脚，I_{OL} = -2mA，IOVDD 1.8V 运行			0.45	V
		所有数字引脚，I_{OL} = -2mA，IOVDD 3.3V 运行电压			0.4	
V_{OH}	高电平数字输出电压	所有数字引脚，I_{OH} = 2mA，IOVDD 1.8V 运行电压	IOVDD - 0.45			V
		所有数字引脚，I_{OH} = 2mA，IOVDD 3.3V 运行电压	2.4			
I_{IL}	数字输入的输入逻辑低电平泄漏电流	所有数字引脚，输入 = 0V	-5	0.1	5	μA
I_{IH}	数字输入的输入逻辑高电平泄漏电流	所有数字引脚，输入 = IOVDD	-5	0.1	5	μA

Copyright © 2024 Texas Instruments Incorporated

T_A = 25°C、AVDD = 3.3V、IOVDD = 3.3V、f_{IN} = 1kHz 正弦信号、f_S = 48kHz、32 位音频数据、BCLK = 256 × f_S、TDM 目标模式和线性相位内插滤波器、采用差分/单端配置的 1200Ω/600Ω 线路输出负载或 32Ω 接收器差分负载（如适用）；测量时无滤波器，使用 Audio Precision 在 20Hz 至 20kHz 未加权带宽下测量（除非另有说明）

参数		测试条件	最小值	标称值	最大值	单位
C_{IN}	数字输入的输入电容	所有数字引脚		5		pF
R_{PD}	置位时数字 I/O 引脚的下拉电阻			20		kΩ
典型电源电流消耗						
I_{AVDD}	睡眠模式或低功耗模式下的电流消耗	所有外部时钟已停止，MD3 引脚接地，AVDD = 3.3V		0.8		mA
I_{IOVDD}		所有外部时钟已停止，MD3 引脚接地，IOVDD = 3.3V		0.6		μA
I_{IOVDD}		所有外部时钟已停止，MD3 引脚接地，IOVDD = 1.8V		0.2		
I_{AVDD}	DAC 至耳机 2 通道在 f_S 16kHz、I^2S 目标模式、BCLK = 64 × f_S 下运行时的电流消耗	AVDD = 3.3V		16.3		mA
I_{IOVDD}		IOVDD = 3.3V		0.06		
I_{IOVDD}		IOVDD = 1.8V		0.03		
I_{AVDD}	DAC 至耳机 2 通道在 f_S 48kHz、I^2S 目标模式、BCLK = 64 × f_S 下运行时的电流消耗	AVDD = 3.3V		20		mA
I_{IOVDD}		IOVDD = 3.3V		0.06		
I_{IOVDD}		IOVDD = 1.8V		0.03		
I_{AVDD}	DAC 至线性输出 2 通道在 f_S 16kHz、I^2S 目标模式、BCLK = 64 × f_S 下运行时的电流消耗	AVDD = 3.3V		17		mA
I_{AVDD}	DAC 至线性输出 2 通道在 f_S 48kHz、I^2S 目标模式、BCLK = 64 × f_S 下运行时的电流消耗	AVDD = 3.3V		20		mA
I_{IOVDD}		IOVDD = 3.3V		0.06		
I_{IOVDD}		IOVDD = 1.8V		0.03		

(1) 在 1kHz 满量程正弦波输入时的输出电平与无发生器信号输入且输入对地短路时的输出电平之比，测量时使用了 A 加权滤波器，在 20Hz 至 20kHz 的带宽范围内测量。
(2) 所有性能测量均使用 20kHz 低通滤波器以及 A 加权滤波器（如注明）完成。如果不使用此类滤波器，会导致比“电气特性”中所示更高的 THD+N 以及更低的 SNR 与动态范围读数。低通滤波器可消除带外噪声，尽管这种噪声不可闻，但会影响动态规格值。
(3) 对于小于 32Ω 的耳机负载，应根据输出电力输送规格限制输入信号电平。

5.6 时序要求：TDM、I^2S 或 LJ 接口

T_A = 25°C、IOVDD = 3.3V 或 1.8V 且所有输出端均具有 20pF 负载（除非另有说明，有关时序图，请参阅图 5-1，其中 DOUT 指的是菊花链输出（如适用）

			最小值	标称值	最大值	单位
$t_{(BCLK)}$	BCLK 周期	IOVDD = 1.8V	80			ns
		IOVDD = 3.3V	40			
$t_{H(BCLK)}$	BCLK 高电平脉冲持续时间(1)	IOVDD = 1.8V	36			ns
		IOVDD = 3.3V	18			
$t_{L(BCLK)}$	BCLK 低电平脉冲持续时间(1)	IOVDD = 1.8V	36			ns
		IOVDD = 3.3V	18			
$t_{SU(FSYNC)}$	FSYNC 设置时间	IOVDD = 1.8V	8			ns
		IOVDD = 3.3V	8			
$t_{HLD(FSYNC)}$	FSYNC 保持时间	IOVDD = 1.8V	8			ns
		IOVDD = 3.3V	8			
$t_{SU(DIN)}$	DIN 设置时间	IOVDD = 1.8V	8			ns
		IOVDD = 3.3V	8			
$t_{HLD(DIN)}$	DIN 保持时间	IOVDD = 1.8V	16			ns
		IOVDD = 3.3V	8			

Copyright © 2024 Texas Instruments Incorporated

T_A = 25°C、IOVDD = 3.3V 或 1.8V 且所有输出端均具有 20pF 负载（除非另有说明，有关时序图，请参阅图 5-1，其中 DOUT 指的是菊花链输出（如适用）

			最小值	标称值	最大值	单位
$t_{r(BCLK)}$	BCLK 上升时间	10% - 90% 上升时间，IOVDD = 1.8V			10	ns
		10% - 90% 上升时间，IOVDD = 3.3V			10	
$t_{f(BCLK)}$	BCLK 下降时间	90% - 10% 下降时间，IOVDD = 1.8V			10	ns
		90% - 10% 下降时间，IOVDD = 3.3V			10	

(1) 为了满足时序规格，如果 DOUT 数据线锁存在与器件用于在 IOVDD = 3.3V 下传输 DOUT 数据的 BCLK 边沿极性相反的 BCLK 边沿极性上，则 BCLK 最短高电平或低电平脉冲持续时间必须大于 25ns。

5.7 开关特性：TDM、I^2S 或 LJ 接口

T_A = 25°C、IOVDD = 3.3V 或 1.8V 且所有输出端均具有 20pF 负载（除非另有说明）；有关时序图，请参阅图 5-1，其中 DOUT 指的是菊花链输出（如适用）

参数		测试条件	最小值	典型值	最大值	单位
$t_{d(DOUT-BCLK)}$	BCLK 至 DOUT 延迟	BCLK 的 50% 至 DOUT 的 50%，IOVDD = 1.8V			26	ns
		BCLK 的 50% 至 DOUT 的 50%，IOVDD = 3.3V			19	
$t_{d(DOUT-FSYNC)}$	在 TDM 模式下 FSYNC 至 DOUT 延迟	FSYNC 的 50% 至 DOUT 的 50%，IOVDD = 1.8V			26	ns
	在 TDM 模式下 FSYNC 至 DOUT 延迟	FSYNC 的 50% 至 DOUT 的 50%，IOVDD = 3.3V			19	
$f_{(BCLK)}$	BCLK 输出时钟频率；控制器模式 (1)	IOVDD = 1.8V			12.288	MHz
		IOVDD = 3.3V			24.576	
$t_{d(FSYNC)}$	BCLK 至 FSYNC 延迟；控制器模式	BCLK 的 50% 至 FSYNC 的 50%，IOVDD = 1.8V			26	ns
		BCLK 的 50% 至 FSYNC 的 50%，IOVDD = 3.3V			19	
$t_{H(BCLK)}$	BCLK 高电平脉冲持续时间；控制器模式	IOVDD = 1.8V	36			ns
		IOVDD = 3.3V	18			
$t_{L(BCLK)}$	BCLK 低电平脉冲持续时间；控制器模式	IOVDD = 1.8V	36			ns
		IOVDD = 3.3V	18			
$t_{r(BCLK)}$	BCLK 上升时间；控制器模式	10% - 90% 上升时间，IOVDD = 1.8V			10	ns
		10% - 90% 上升时间，IOVDD = 3.3V			10	
$t_{f(BCLK)}$	BCLK 下降时间；控制器模式	90% - 10% 下降时间，IOVDD = 1.8V			10	ns
		90% - 10% 下降时间，IOVDD = 3.3V			10	

(1) 为了满足时序规格，如果 DOUT 数据线锁存在与器件用于在 IOVDD = 3.3V 时传输 DOUT 数据的 BCLK 边沿极性相反的 BCLK 边沿极性上，则 BCLK 输出时钟频率必须低于 18.5MHz。

Copyright © 2024 Texas Instruments Incorporated

5.8 时序图

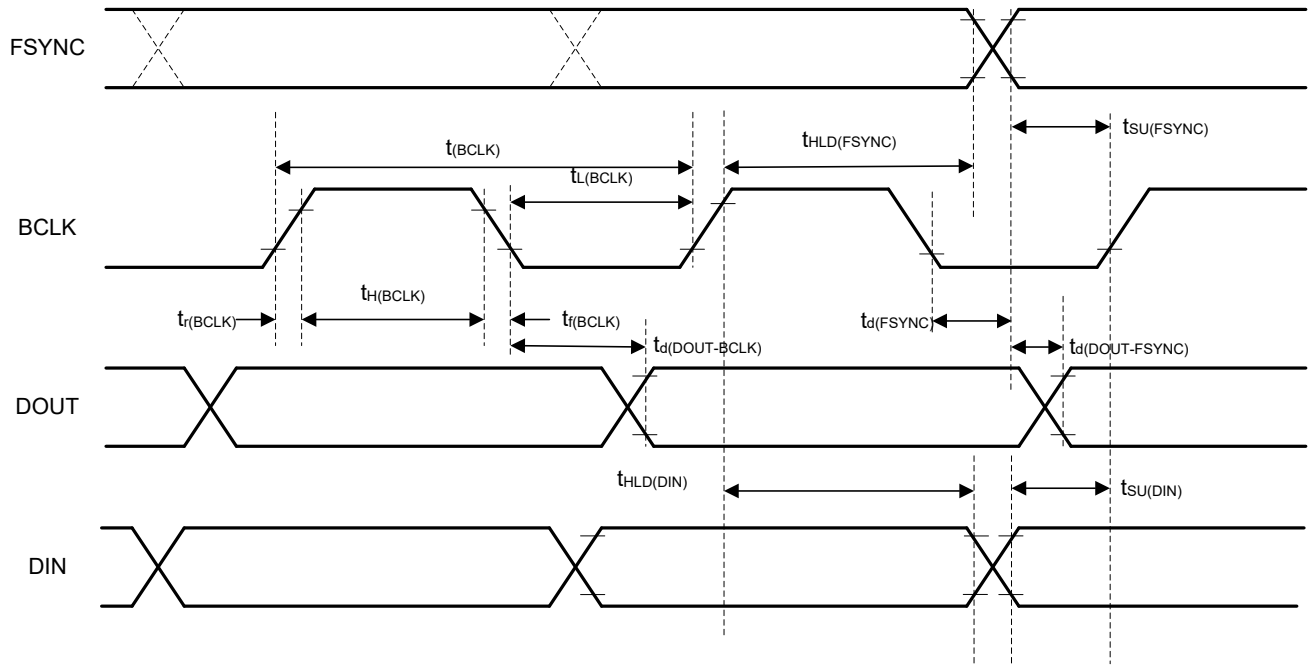
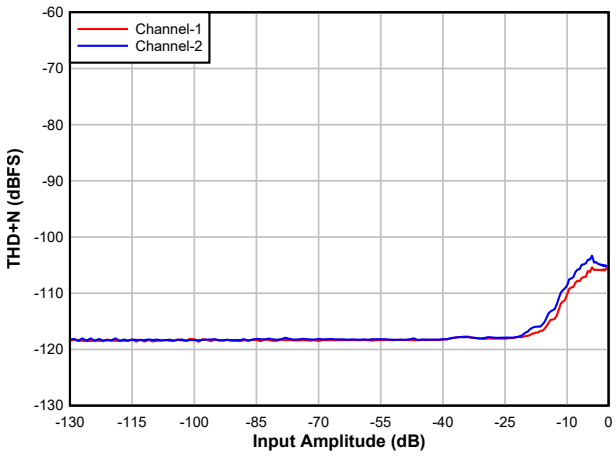


图 5-1. TDM、I²S 和 LJ 接口时序图

Copyright © 2024 Texas Instruments Incorporated

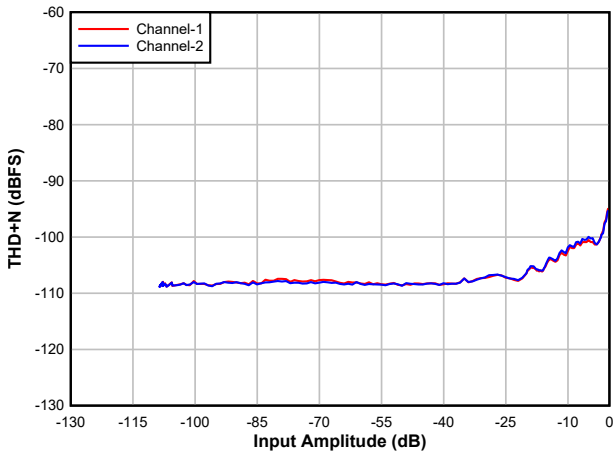
5.9 典型特性

T_A = 25°C、AVDD = 3.3V、IOVDD = 3.3V、f_{IN} = 1kHz 正弦信号、f_S = 48kHz、32 位音频数据、BCLK = 256 × f_S、TDM 目标模式和线性相位内插滤波器、采用差分/单端配置的 1200Ω/600Ω 线路输出负载或 32Ω 接收器差分负载（如适用）；测量时无滤波器，使用 Audio Precision 在 20Hz 至 20kHz 未加权带宽下测量（除非另有说明）



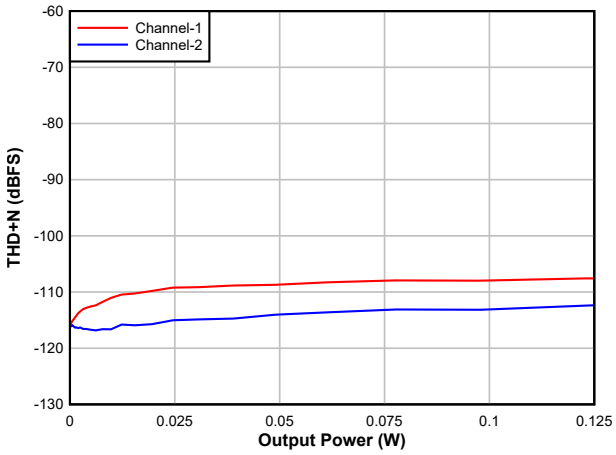
差分输出

图 5-2. DAC THD + N 级别与输入间的关系



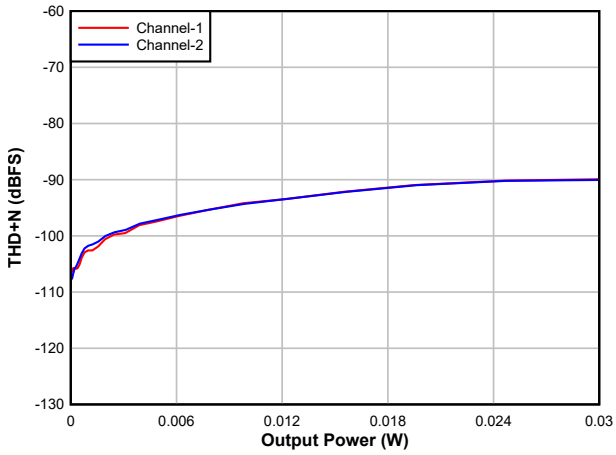
单端输出

图 5-3. DAC THD+N 级别与输入间的关系



差分接收器/耳机输出，32Ω 负载

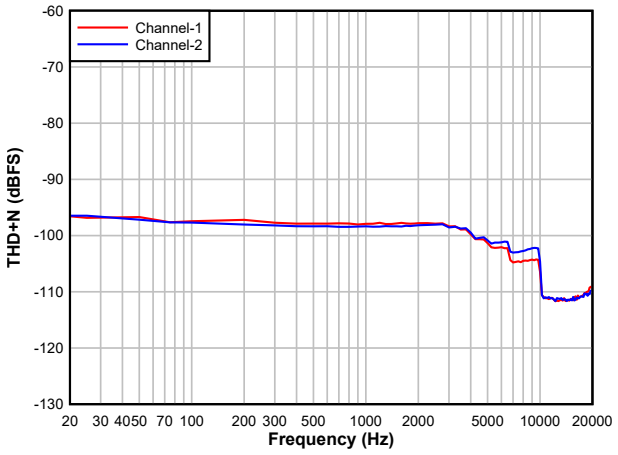
图 5-4. DAC THD+N 级别与输出功率间的关系



伪差分输出，32Ω 耳机负载

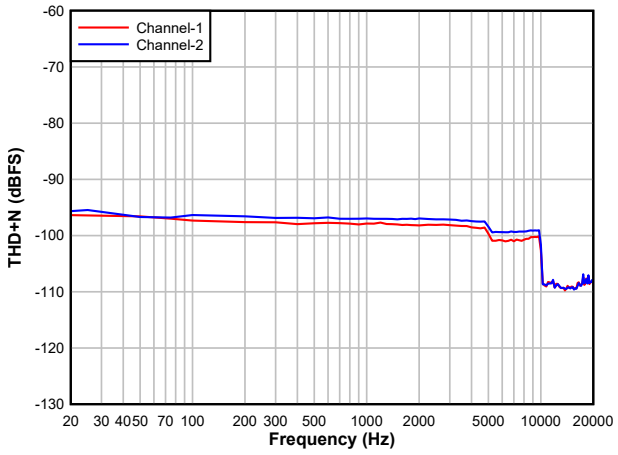
图 5-5. DAC THD+N 级别与输出功率间的关系

Copyright © 2024 Texas Instruments Incorporated



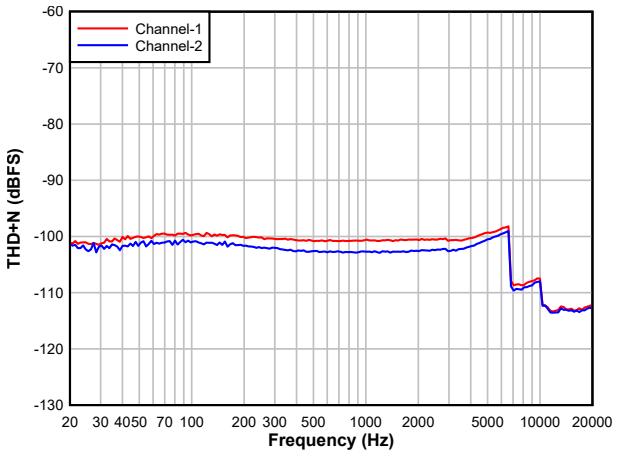
差分输出

图 5-6. DAC THD+N 级别与频率间的关系



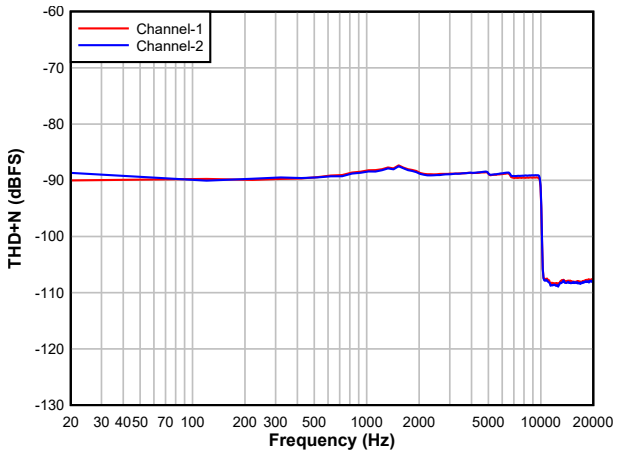
单端输出

图 5-7. DAC THD+N 级别与频率间的关系



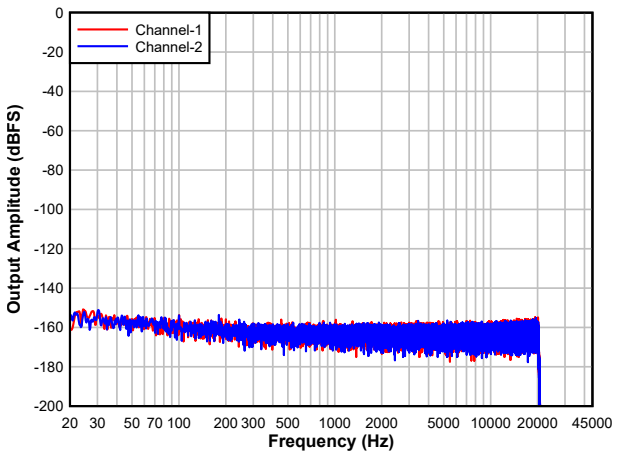
差分接收器/耳机输出，32Ω 负载

图 5-8. DAC THD+N 级别与频率间的关系



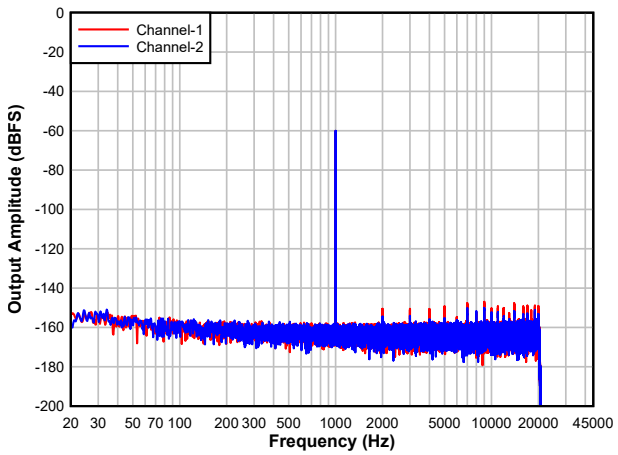
伪差分输出，32Ω 耳机负载

图 5-9. DAC THD+N 级别与频率间的关系



差分输出，空闲通道输入

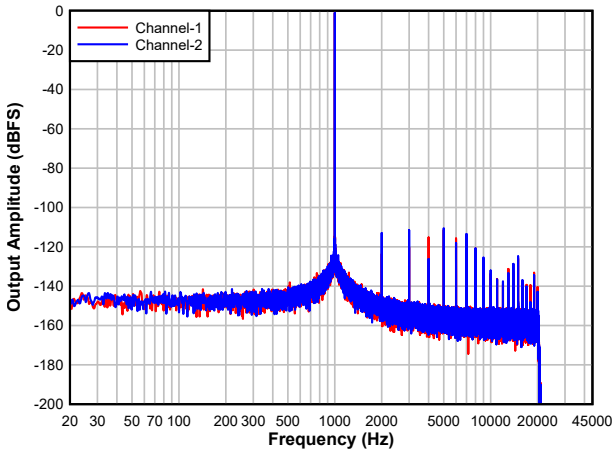
图 5-10. DAC FFT



差分输出，-60dBFS 输入

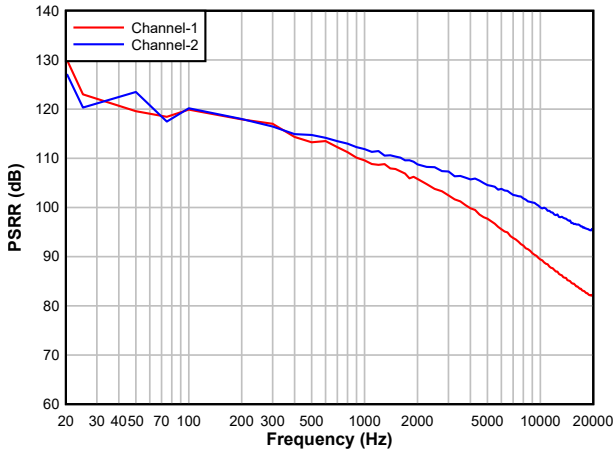
图 5-11. DAC FFT

Copyright © 2024 Texas Instruments Incorporated



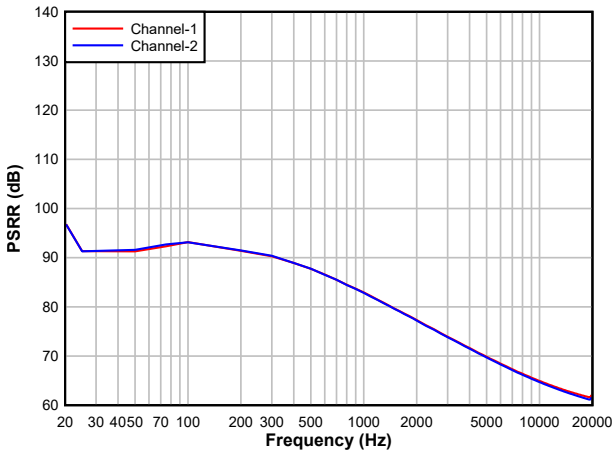
差分输出，-1dBFS 输入

图 5-12. DAC FFT



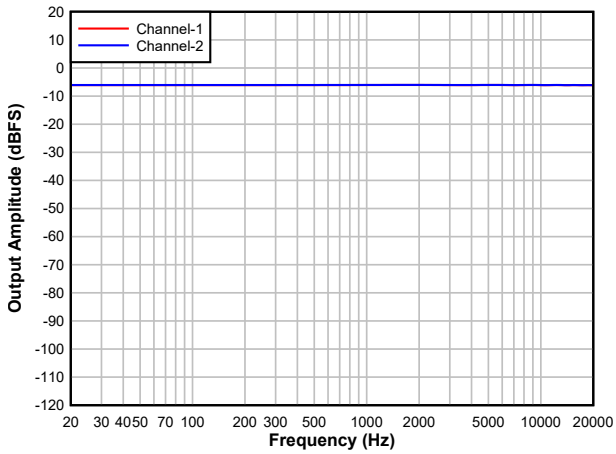
差分输出

图 5-13. DAC PSRR 与频率间的关系



单端输出

图 5-14. DAC PSRR 与频率间的关系



差分输出，-6dBFS 输入

图 5-15. DAC 频率响应

Copyright © 2024 Texas Instruments Incorporated

6 详细说明

6.1 概述

TAD5242 是一款高性能、低功耗、立体声音频数模转换器 (DAC)。此器件适用于广阔市场应用，例如加固型通信设备、IP 网络摄像头、专业音频和多媒体应用。此器件集成了大量特性，可在空间受限的系统设计中降低成本、减小布板空间和功耗。扩展系列中的封装、性能和兼容配置使得该器件非常适合可扩展系统设计。

TAD5242 包含以下特性：

- 2 通道、多位、高性能 Δ-Σ DAC
- 可通过引脚或硬件控制的器件配置
- 可配置单端、差分或伪差分音频输出
- 线性相位或低延迟数字内插滤波器
- 支持多种系统时钟的集成低抖动锁相环 (PLL)
- 集成数字和模拟稳压器，用于支持单电源运行

6.2 功能方框图

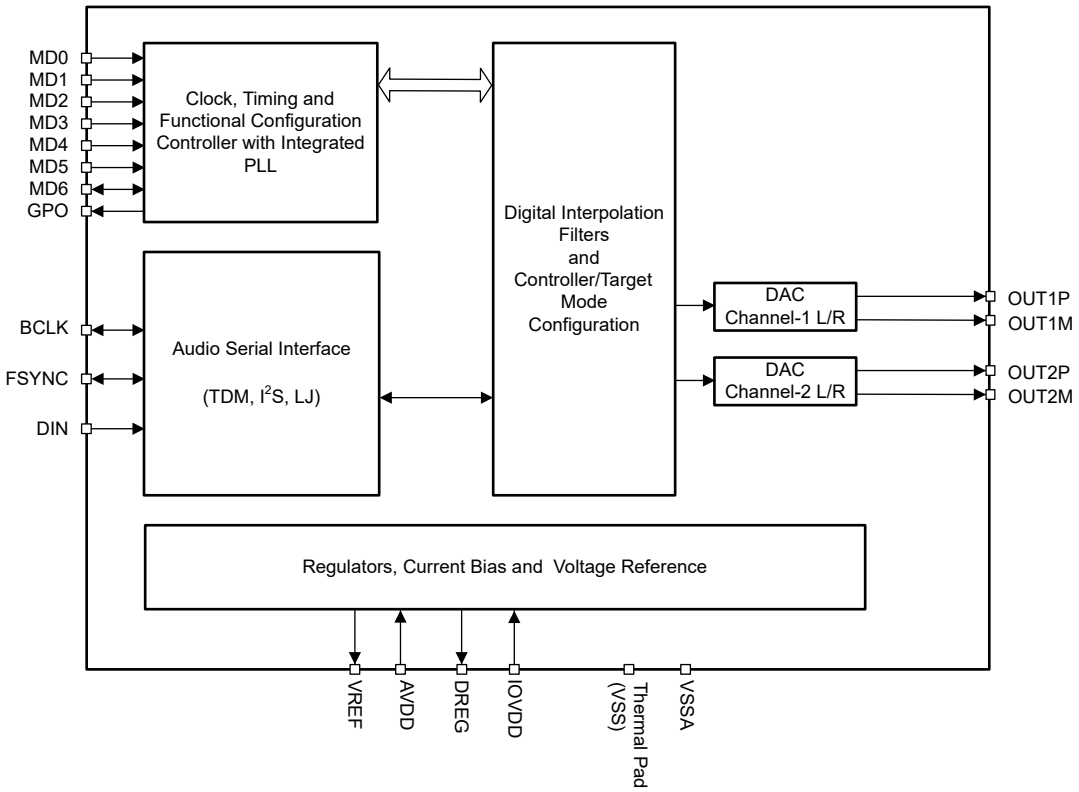


图 6-1. 功能方框图

6.3 特性说明

6.3.1 硬件控制

该器件支持简单的硬件引脚控制选项，以便为给定系统选择特定的运行模式和音频接口，如表 6-1 所述。MD1 至 MD6 引脚连接到逻辑低电平 (VSS) 或逻辑高电平 (IOVDD)，MD0 引脚可以通过不同的上拉或下拉电阻器连接到 AVDD 或 VSS。

Copyright © 2024 Texas Instruments Incorporated

表 6-1. 可通过引脚选择的配置汇总

引脚	目标模式	控制器模式
MD0	用于控制器/目标模式和 I²S/TDM/LJ 模式选择的多级模拟输入	
MD1	AVDD 电源、字长和内插滤波器类型选择	帧速率和 BCLK 频率选择
MD2		
MD3	地	控制器时钟输入
MD4	DAC 输出配置选择（差分线路输出/差分接收器/耳机/单端线路输出/伪差分耳机）	
MD5		
MD6	TDM 模式：菊花链输出或 I²S/LJ 模式：单声道/立体声选择	

6.3.2 音频串行接口

数字音频数据通过数字音频串行接口 (ASI) 或音频总线，在主机处理器和 TAD5242 之间流动。该总线可以通过引脚控制配置为在目标或控制器模式下运行。ASI 支持 TDM、I²S 和左对齐总线协议。数据采用 MSB 优先的二进制补码脉冲编码调制 (PCM) 格式，具有可通过引脚选择的字长配置。

该器件使用硬件引脚 MD0 来支持音频总线控制器或目标运行模式。在目标模式下，FSYNC 和 BCLK 用作输入引脚，而在控制器模式下，FSYNC 和 BCLK 用作器件生成的输出引脚。表 6-2 显示了使用 MD0 引脚的控制器和目标模式选择。

表 6-2. 控制器和目标模式选择

MD0	控制器和目标选择
接地短路	目标 I²S 模式
通过 4.7kΩ 接地短路	目标 TDM 模式
短接至 AVDD	控制器 I²S 模式
通过 4.7kΩ 短接至 AVDD	控制器 TDM 模式
通过 22kΩ 短接至 AVDD	目标 LJ 模式

在目标运行模式下，可通过 MD1 和 MD2 引脚选择 TAD5242 中音频串行接口 (ASI) 的字长。在目标模式下，TAD5242 还支持以 32 位字长和 1.8V AVDD 运行。表 6-3 显示了用于设置在目标模式下适用的字长、AVDD 电源电压和内插滤波器类型的配置表。在控制器模式下，AVDD 电源模式为 3.3V，支持 32 位字长，内插滤波器配置为线性相位，MD1 和 MD2 引脚控制系统时钟配置，如表 6-8 中所述。

表 6-3. 字长、电源模式和内插滤波器选择

MD2	MD1	字长、电源模式和内插滤波器选择（仅对目标模式有效）
低	低	AVDD = 3.3V，字长 = 32，线性相位滤波器
低	高	AVDD = 1.8V，字长 = 32，线性相位滤波器
高	低	AVDD = 3.3V，字长 = 24，线性相位滤波器
高	高	AVDD = 3.3V，字长 = 32，低延迟相位滤波器

TAD5242 还为 TDM 运行模式提供菊花链选项。每当采用 MD0 选择处于 TDM 模式的器件时，此选项就会自动启用。MD6 引脚在此模式下充当菊花链输出。在这种情况下，对于具有 N 个时隙的 TDM，器件将会播放在最后 2 个时隙上存在的音频，其余时隙将向右移动并在 MD6 引脚上发送，如图 6-2 中的方框图所示。

Copyright © 2024 Texas Instruments Incorporated

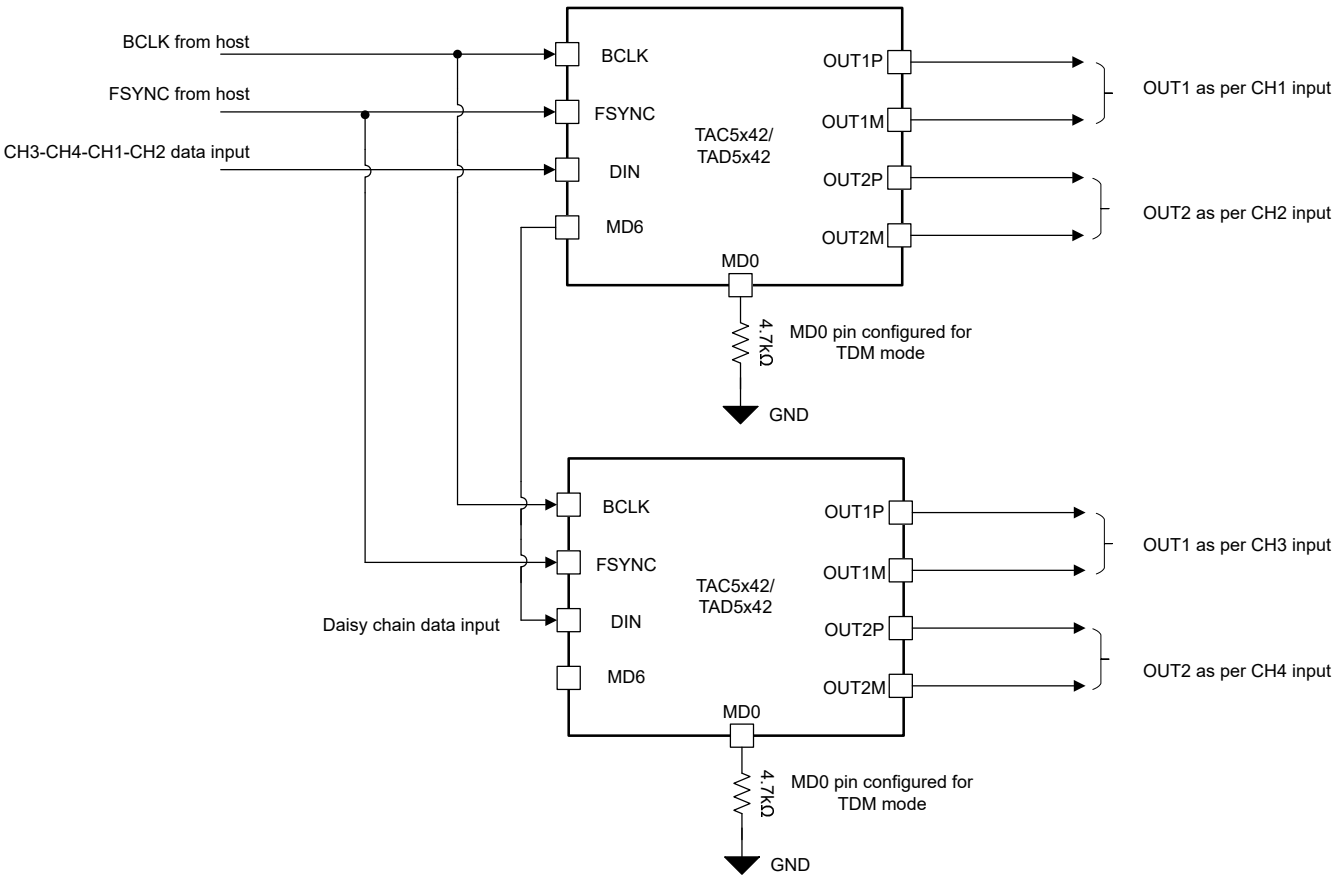


图 6-2. TDM 模式下的菊花链方框图

6.3.2.1 时分多路复用 (TDM) 音频接口

在 TDM 模式（也称为 DSP 模式）下，FSYNC 的上升沿会首先从时隙 0 数据开始数据传输。紧接着时隙 0 数据传输，会按顺序传输剩余的时隙数据。FSYNC 和每个数据位在 BCLK 的上升沿传输，在 BCLK 的下降沿接收。图 6-3 至图 6-4 显示了各种配置下 TDM 运行的协议时序。DOUT 指的是菊花链输出。

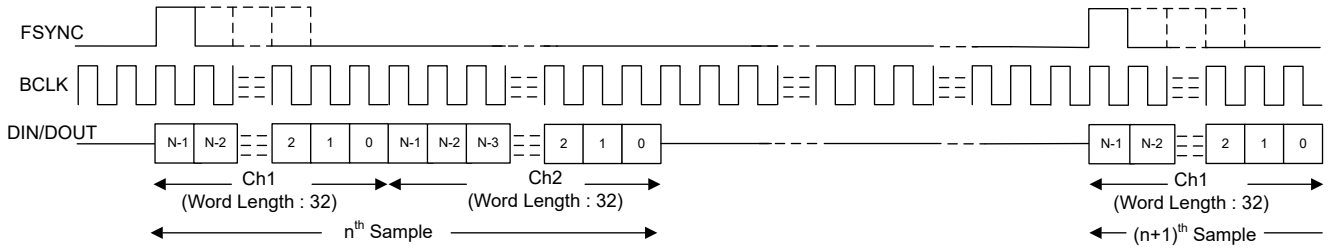


图 6-3. 目标模式下的 TDM 模式协议时序（MD0 对地短路，阻值为 4.7KΩ）

Copyright © 2024 Texas Instruments Incorporated

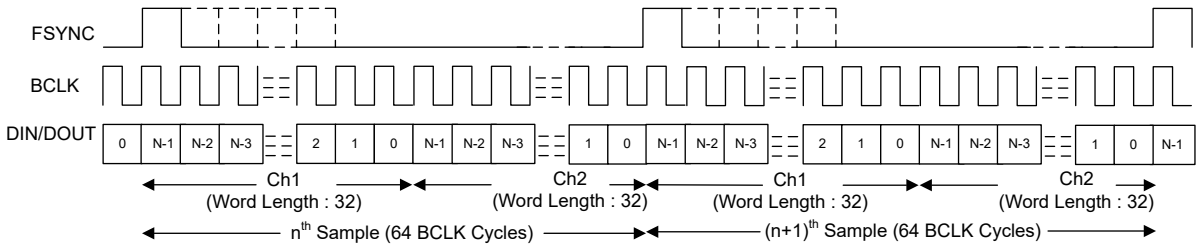


图 6-4. 控制器模式下的 TDM 模式协议时序（MD0 短接至 AVDD，阻值为 4.7KΩ）

为了使音频总线在 TDM 模式下正常运行，每帧的位时钟数必须大于或等于活动输入和输出通道数乘以输入和输出通道数据的配置字长。DOUT 引脚处于高阻抗状态以支持额外的未使用位时钟周期。该器件支持 FSYNC 作为具有 1 周期宽位时钟的脉冲，同时也支持倍数。

6.3.2.2 IC 间音频 (I²S) 接口

标准 I²S 协议仅针对两个通道进行定义：左通道和右通道。在 I²S 模式下，左时隙 0 的 MSB 会在 FSYNC *下降*沿之后第二个周期中的 BCLK 上升沿接收。右时隙 0 的 MSB 会在 FSYNC *上升*沿之后第二个周期中的 BCLK 上升沿上接收。后续的每个数据位都在 BCLK 的上升沿接收。在控制器模式下，FSYNC 在 BCLK 的下降沿传输。图 6-5 和图 6-6 显示了在目标和控制器运行模式下 I²S 运行的协议时序。

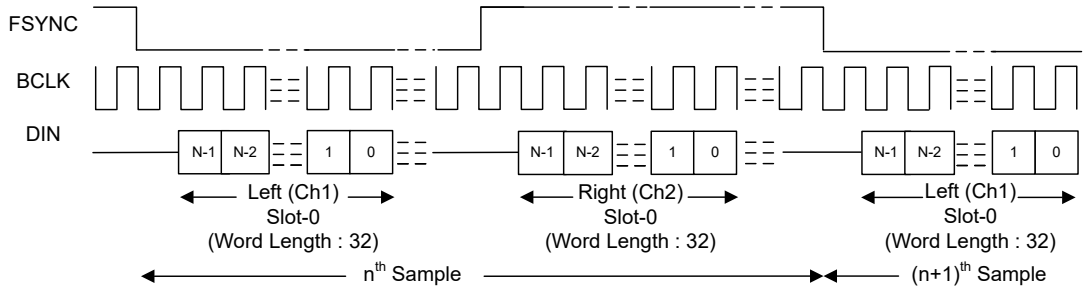


图 6-5. 目标模式下的 I²S 模式协议时序（MD0 对地短路）

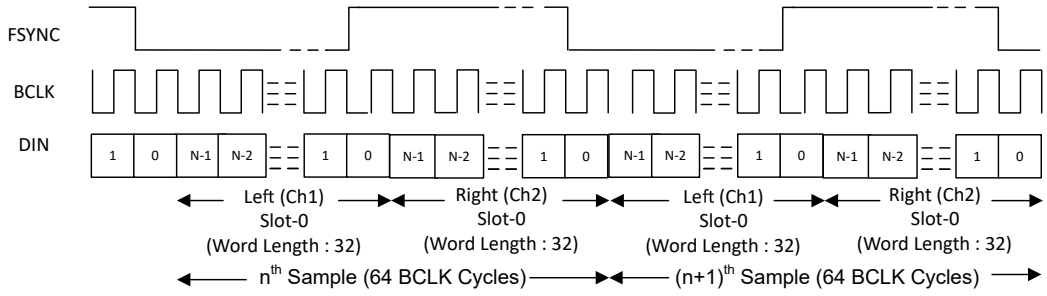


图 6-6. 控制器模式下的 I²S 协议时序（MD0 短接至 AVDD）

为了使音频总线在 I²S 模式下正常运行，每帧的位时钟数必须大于或等于活动输入通道的数量（包括左右时隙）乘以输入通道数据的配置字长。

6.3.2.3 左对齐 (LJ) 接口

标准 LJ 协议仅针对两个通道进行定义：左通道和右通道。在 LJ 模式下，左时隙 0 的 MSB 在 FSYNC *上升*沿之后的同一 BCLK 周期内接收。后续的每个数据位都在 BCLK 的上升沿接收。右时隙 0 的 MSB 在 FSYNC *下降*沿后的同一 BCLK 周期内接收。图 6-7 说明了在目标运行模式下的 LJ 运行的协议时序。

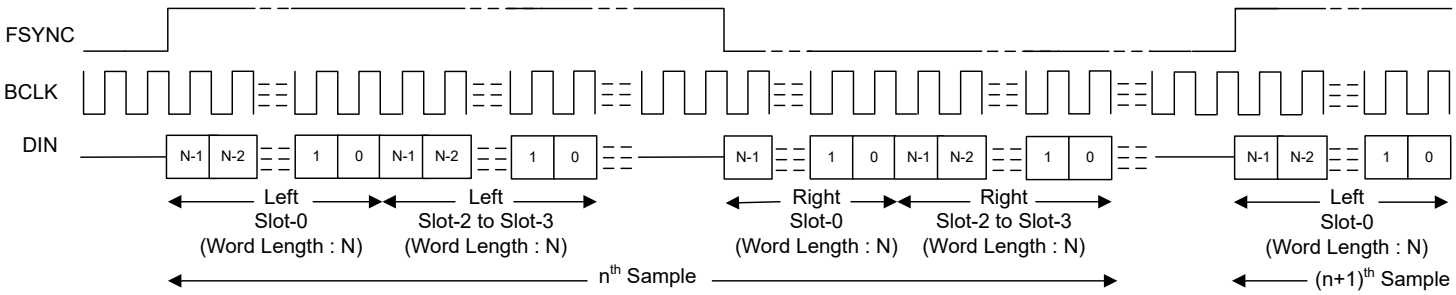


图 6-7. 目标模式下的 LJ 模式标准协议时序（MD0 短接至 AVDD，阻值为 22KΩ）

为了使音频总线在 LJ 模式下正常运行，每帧的位时钟数必须大于或等于活动输入通道的数量（包括左右时隙）乘以输入通道数据的配置字长。

Copyright © 2024 Texas Instruments Incorporated

6.3.3 锁相环 (PLL) 和时钟生成

该器件使用集成的低抖动锁相环 (PLL) 来生成 DAC 调制器和数字滤波器引擎以及其他控制块所需的内部时钟。

在目标运行模式下，该器件支持（FSYNC 信号频率的）各种输出数据采样速率和 BCLK 与 FSYNC 之比，以便在内部配置所有时钟分频器（包括 PLL 配置），而无需主机编程。表 6-4 至表 6-7 列出了取决于 IOVDD 电源的受支持 FSYNC 和 BCLK 频率。

表 6-4. 支持的 FSYNC（48kHz 的倍数或约数）和 BCLK 频率（IOVDD - 3.3V 运行）

BCLK 与 FSYNC 之比	BCLK (MHz)						
	FSYNC (8kHz)	FSYNC (16kHz)	FSYNC (24kHz)	FSYNC (32kHz)	FSYNC (48kHz)	FSYNC (96kHz)	FSYNC (192kHz)
16	保留	0.256	0.384	0.512	0.768	1.536	3.072
24	保留	0.384	0.576	0.768	1.152	2.304	4.608
32	0.256	0.512	0.768	1.024	1.536	3.072	6.144
48	0.384	0.768	1.152	1.536	2.304	4.608	9.216
64	0.512	1.024	1.536	2.048	3.072	6.144	12.288
96	0.768	1.536	2.304	3.072	4.608	9.216	18.432
128	1.024	2.048	3.072	4.096	6.144	12.288	24.576
192	1.536	3.072	4.608	6.144	9.216	18.432	保留
256	2.048	4.096	6.144	8.192	12.288	24.576	保留
384	3.072	6.144	9.216	12.288	18.432	保留	保留
512	4.096	8.192	12.288	16.384	24.576	保留	保留

表 6-5. 支持的 FSYNC（44.1kHz 的倍数或约数）和 BCLK 频率（IOVDD - 3.3V 运行）

BCLK 与 FSYNC 之比	BCLK (MHz)						
	FSYNC (7.35kHz)	FSYNC (14.7kHz)	FSYNC (22.05kHz)	FSYNC (29.4kHz)	FSYNC (44.1kHz)	FSYNC (88.2kHz)	FSYNC (176.4kHz)
16	保留	保留	0.3528	0.4704	0.7056	1.4112	2.8224
24	保留	0.3528	0.5292	0.7056	1.0584	2.1168	4.2336
32	保留	0.4704	0.7056	0.9408	1.4112	2.8224	5.6448
48	0.3528	0.7056	1.0584	1.4112	2.1168	4.2336	8.4672
64	0.4704	0.9408	1.4112	1.8816	2.8224	5.6448	11.2896
96	0.7056	1.4112	2.1168	2.8224	4.2336	8.4672	16.9344
128	0.9408	1.8816	2.8224	3.7632	5.6448	11.2896	22.5792
192	1.4112	2.8224	4.2336	5.6448	8.4672	16.9344	保留
256	1.8816	3.7632	5.6448	7.5264	11.2896	22.5792	保留
384	2.8224	5.6448	8.4672	11.2896	16.9344	保留	保留
512	3.7632	7.5264	11.2896	15.0528	22.5792	保留	保留

表 6-6. 支持的 FSYNC（48kHz 的倍数或约数）和 BCLK 频率（IOVDD - 1.8V 运行）

BCLK 与 FSYNC 之比	BCLK (MHz)						
	FSYNC (8kHz)	FSYNC (16kHz)	FSYNC (24kHz)	FSYNC (32kHz)	FSYNC (48kHz)	FSYNC (96kHz)	FSYNC (192kHz)
16	保留	0.256	0.384	0.512	0.768	1.536	3.072
24	保留	0.384	0.576	0.768	1.152	2.304	4.608
32	0.256	0.512	0.768	1.024	1.536	3.072	6.144
48	0.384	0.768	1.152	1.536	2.304	4.608	9.216
64	0.512	1.024	1.536	2.048	3.072	6.144	12.288
96	0.768	1.536	2.304	3.072	4.608	9.216	保留

Copyright © 2024 Texas Instruments Incorporated

表 6-6. 支持的 FSYNC（48kHz 的倍数或约数）和 BCLK 频率（IOVDD - 1.8V 运行）（续）

BCLK 与 FSYNC 之比	BCLK (MHz)						
	FSYNC (8kHz)	FSYNC (16kHz)	FSYNC (24kHz)	FSYNC (32kHz)	FSYNC (48kHz)	FSYNC (96kHz)	FSYNC (192kHz)
128	1.024	2.048	3.072	4.096	6.144	12.288	保留
192	1.536	3.072	4.608	6.144	9.216	保留	**保留**
256	2.048	4.096	6.144	8.192	12.288	保留	**保留**
384	3.072	6.144	9.216	12.288	保留	**保留**	**保留**
512	4.096	8.192	12.288	保留	保留	**保留**	**保留**

表 6-7. 支持的 FSYNC（44.1kHz 的倍数或约数）和 BCLK 频率（IOVDD - 1.8V 运行）

BCLK 与 FSYNC 之比	BCLK (MHz)						
	FSYNC (7.35kHz)	FSYNC (14.7kHz)	FSYNC (22.05kHz)	FSYNC (29.4kHz)	FSYNC (44.1kHz)	FSYNC (88.2kHz)	FSYNC (176.4kHz)
16	**保留**	**保留**	0.3528	0.4704	0.7056	1.4112	2.8224
24	**保留**	0.3528	0.5292	0.7056	1.0584	2.1168	4.2336
32	**保留**	0.4704	0.7056	0.9408	1.4112	2.8224	5.6448
48	0.3528	0.7056	1.0584	1.4112	2.1168	4.2336	8.4672
64	0.4704	0.9408	1.4112	1.8816	2.8224	5.6448	11.2896
96	0.7056	1.4112	2.1168	2.8224	4.2336	8.4672	保留
128	0.9408	1.8816	2.8224	3.7632	5.6448	11.2896	保留
192	1.4112	2.8224	4.2336	5.6448	8.4672	保留	**保留**
256	1.8816	3.7632	5.6448	7.5264	11.2896	保留	**保留**
384	2.8224	5.6448	8.4672	11.2896	保留	**保留**	**保留**
512	3.7632	7.5264	11.2896	保留	保留	**保留**	**保留**

在控制器运行模式下，该器件使用 MD3 引脚（作为系统时钟 CCLK）作为基准输入时钟源。在目标运行模式下，MD3 引脚应接地。

该器件支持使用 MD1 和 MD2 引脚配置的 256 × f_S 或 128 × f_S 或固定 48/44.1KSPS 或 96/88.2KSPS 系统时钟频率选项，因此可提供 FSYNC 选择的灵活性。

表 6-8 显示了使用 MD1 和 MD2 引脚为控制器模式选择的 FSYNC 和 BCLK。在控制器运行模式下，AVDD = 3.3V，字长 = 32。

表 6-8. 控制器模式的系统时钟选择

MD2	MD1	系统时钟选择（仅对控制器模式有效）		
		FSYNC	I²S 模式	TDM 模式
低	低	FSYNC = CCLK/256	BCLK = 64*f_S	对于 FSYNC ≤ 48KSPS 的情况，BCLK = 256 * f_S；对于 48KSPS < FSYNC ≤ 96KSPS 的情况，BCLK = 128 * f_S，对于 FSYNC > 96KSPS 的情况，BCLK = 64 * f_S
低	高	FSYNC = CCLK/128		
高	低	FSYNC = 96/88.2KSPS		BCLK = 128*f_S
高	高	FSYNC = 48/44.1KSPS		BCLK = 256*f_S

有关目标运行模式下的 MD1 和 MD2 引脚功能，请参阅表 6-2。

6.3.4 模拟输出配置

该器件使用高性能立体声 DAC 支持两个通道的回放。该器件包含两对模拟输出引脚（OUTxP 和 OUTxM），可通过设置 MD4 和 MD5 引脚配置为单端或差分输入模式。这些通道的输入源来自 TDM/I²S/LJ 接口。

表 6-9 显示了 MD4 和 MD5 引脚所提供的模拟输出配置模式。

Copyright © 2024 Texas Instruments Incorporated

表 6-9. 模拟输出配置

MD5	MD4	模拟输出配置
低	低	差分输出；仅线路输出
低	高	差分输出；接收器/耳机负载或线路输出
高	低	单端输出；仅线路输出
高	高	具有外部共模检测功能的伪差分输出；仅耳机负载

图 6-8 至图 6-10 展示了各种输出模式的典型配置图。

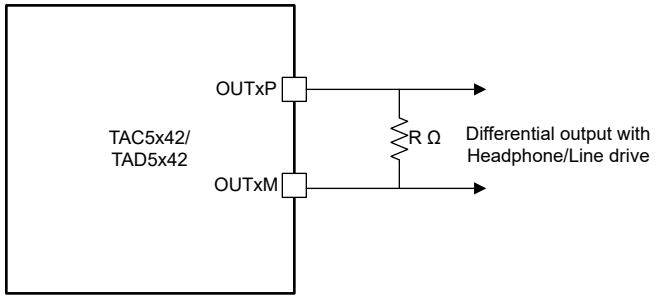


图 6-8. 差分输出连接的典型应用图

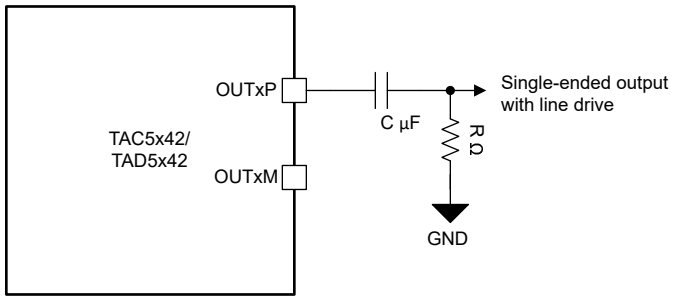


图 6-9. 单端输出连接的典型应用图

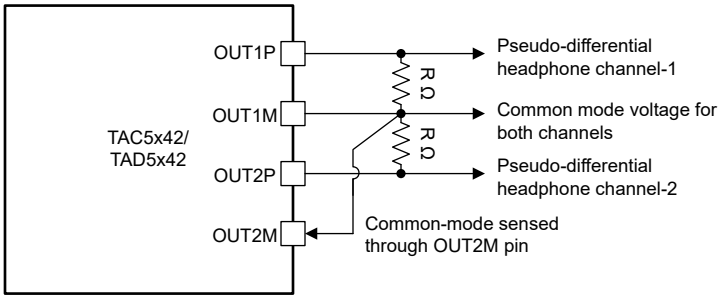


图 6-10. 具有外部共模检测功能的伪差分输出连接的典型应用图

该器件还支持通道选择配置，以在 I²S 和 LJ 模式下启用单声道或立体声输出。这可以通过设置 MD6 引脚进行配置。表 6-10 显示了采用 MD6 配置时对此功能的控制。当 MD6 引脚设置为高电平时，DAC 通道 2 被禁用。在 TDM 模式下，MD6 引脚功能如图 6-2 中所述。

表 6-10. I²S 和 LJ 模式下的输出通道选择配置

MD6	模拟输出配置
低	立体声 DAC
高	单声道 1 通道 DAC（启用 OUT1x，禁用 OUT2x）

Copyright © 2024 Texas Instruments Incorporated

6.3.5 基准电压

所有音频数据转换器都需要直流基准电压。TAD5242 通过在内部生成低噪声基准电压来实现低噪声性能。该基准电压由具有高 PSRR 性能的带隙电路生成。此音频转换器基准电压必须使用连接在 VREF 引脚与器件地 (VSS) 之间的最低 1µF 电容器从外部进行滤波。此基准电压 VREF 的值设置为 2.75V，因此支持为器件提供 $2V_{RMS}$ 差分满量程输出。该 VREF 电压所需的最小 AVDD 电压为 3V。当器件配置为采用 1.8V AVDD 电源电压时，VREF 引脚上的电压为 1.375V，这支持向器件提供 $1V_{RMS}$ 差分满量程输出。不要将任何外部负载连接到 VREF 引脚。

Copyright © 2024 Texas Instruments Incorporated

6.3.6 DAC 信号链

图 6-11 展示了回放信号链的关键元件。

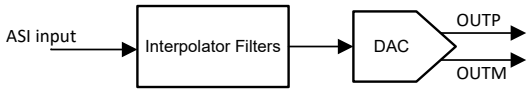


图 6-11. DAC 信号链处理流程图

DAC 信号链为低噪声和高保真音频应用提供高度灵活的低噪声回放路径。这款低噪声和低失真、多位 Δ-Σ DAC 使 TAD5242 能够以非常低的功耗实现高动态范围。此外，DAC 架构具有固有的抗混叠滤波功能，能够很好地抑制多个调制器频率分量附近的带外频率噪声。因此，该器件可防止噪声混叠到音频频带中。TAD5242 还集成了高性能多级数字内插滤波器，该滤波器会通过高阻带衰减来急剧削减任何带外频率噪声。

Copyright © 2024 Texas Instruments Incorporated

6.3.6.1 数字内插滤波器

器件回放通道包括高动态范围、内置数字内插滤波器，用于处理输入数据流，从而为多位 Δ-Σ 调制器生成数字数据流。可以根据 MD2 和 MD1 引脚的状态将器件中的内插滤波器选择为线性相位滤波器或低延迟滤波器，请参考表 6-3。因此，这些器件适用于各种音频应用。下一节介绍了不同采样速率下的滤波器响应。

6.3.6.1.1 线性相位滤波器

线性相位内插滤波器是器件设置的默认滤波器，可用于需要在滤波器通带规格范围内具有良好线性相位和零相位偏差的所有应用。本节列出了所有受支持输出采样速率的滤波器性能规格和各种图。

6.3.6.1.1.1 采样速率：8kHz 或 7.35kHz

图 6-12 和图 6-13 分别展示了采样速率为 8kHz 或 7.35kHz 时此内插滤波器的幅度响应和通带纹波，而表 6-11 列出了其规格。

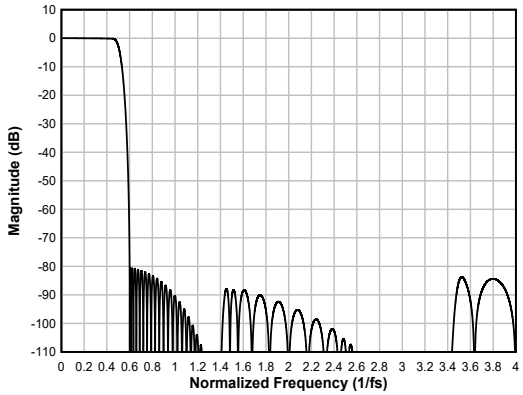


图 6-12. 线性相位内插滤波器幅度响应

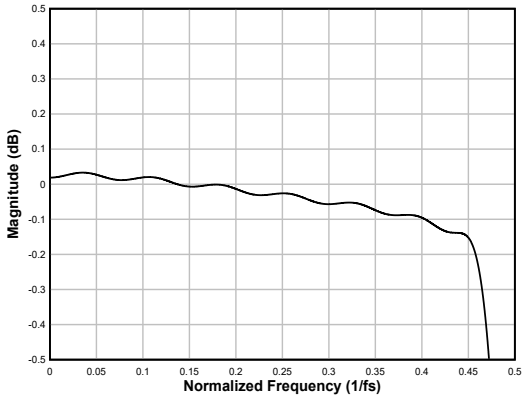


图 6-13. 线性相位内插滤波器通带纹波

表 6-11. 线性相位内插滤波器规格

参数	测试条件	最小值	典型值	最大值	单位
通带纹波	频率范围为 0 至 0.455 × f_S	-0.17		0.03	dB
阻带衰减	频率范围为 0.6 × f_S 至 4 × f_S	80.4			dB
	频率范围为 4 × f_S 至 7.431 × f_S	86.9			
群延迟或延时	频率范围为 0 至 0.455 × f_S		16		1/f_S

Copyright © 2024 Texas Instruments Incorporated

6.3.6.1.1.2 采样速率：16kHz 或 14.7kHz

图 6-14 和图 6-15 分别展示了采样速率为 16kHz 或 14.7kHz 时此内插滤波器的幅度响应和通带纹波，而表 6-12 列出了其规格。

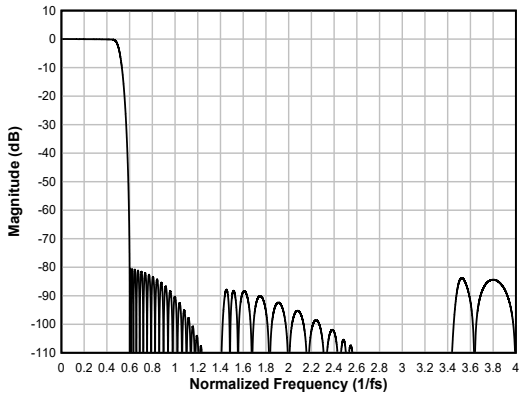


图 6-14. 线性相位内插滤波器幅度响应

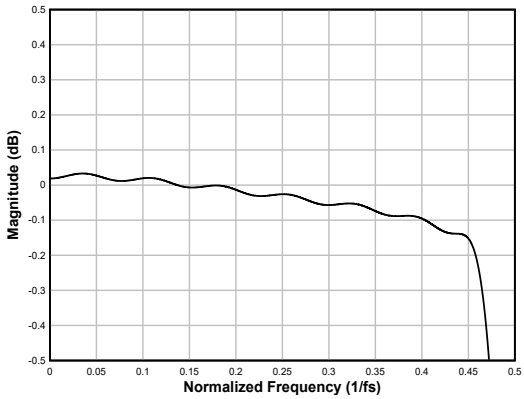


图 6-15. 线性相位内插滤波器通带纹波

表 6-12. 线性相位内插滤波器规格

参数	测试条件	最小值	典型值	最大值	单位
通带纹波	频率范围为 0 至 0.455 × f_S	-0.17		0.03	dB
阻带衰减	频率范围为 0.6 × f_S 至 4 × f_S	80.4			dB
	频率范围为 4 × f_S 至 7.431 × f_S	86.9			
群延迟或延时	频率范围为 0 至 0.455 × f_S		16		1/f_S

6.3.6.1.1.3 采样速率：24kHz 或 22.05kHz

图 6-16 和图 6-17 分别展示了采样速率为 24kHz 或 22.05kHz 时此内插滤波器的幅度响应和通带纹波，而表 6-13 列出了其规格。

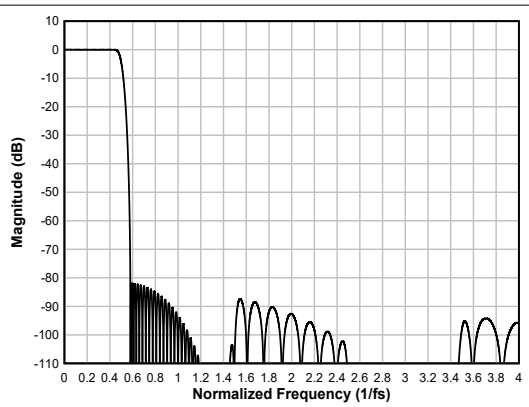


图 6-16. 线性相位内插滤波器幅度响应

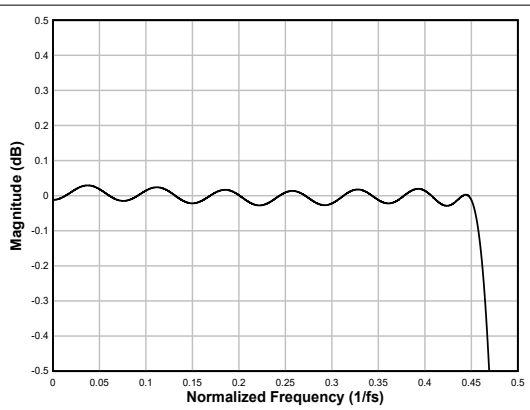


图 6-17. 线性相位内插滤波器通带纹波

表 6-13. 线性相位内插滤波器规格

参数	测试条件	最小值	典型值	最大值	单位
通带纹波	频率范围为 0 至 0.455 × f_S	-0.05		0.03	dB
阻带衰减	频率范围为 0.58 × f_S 至 4 × f_S	81.9			dB
	频率范围为 4 × f_S 至 8 × f_S	87.7			

Copyright © 2024 Texas Instruments Incorporated

表 6-13. 线性相位内插滤波器规格（续）

参数	测试条件	最小值	典型值	最大值	单位
群延迟或延时	频率范围为 0 至 0.455 × f_S		17.6		$1/f_S$

6.3.6.1.1.4 采样速率：32kHz 或 29.4kHz

图 6-18 和图 6-19 分别展示了采样速率为 32kHz 或 29.4kHz 时此内插滤波器的幅度响应和通带纹波，而表 6-14 列出了其规格。

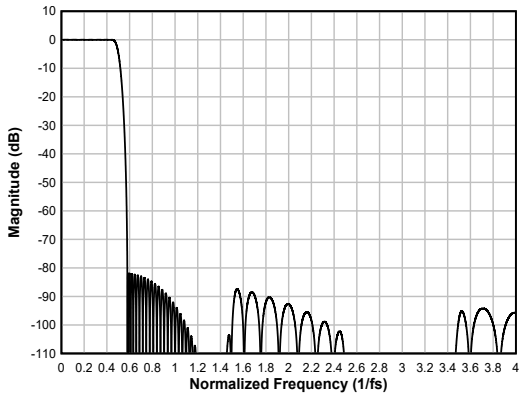


图 6-18. 线性相位内插滤波器幅度响应

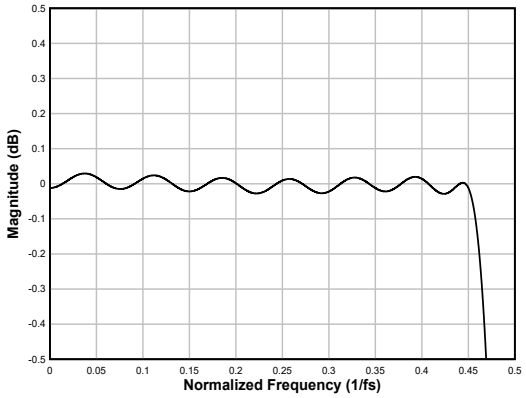


图 6-19. 线性相位内插滤波器通带纹波

表 6-14. 线性相位内插滤波器规格

参数	测试条件	最小值	典型值	最大值	单位
通带纹波	频率范围为 0 至 0.455 × f_S	-0.05		0.03	dB
阻带衰减	频率范围为 0.58 × f_S 至 4 × f_S	81.9			dB
	频率范围为 4 × f_S 至 8 × f_S	87.6			
群延迟或延时	频率范围为 0 至 0.455 × f_S		17.6		$1/f_S$

6.3.6.1.1.5 采样速率：48kHz 或 44.1kHz

图 6-20 和图 6-21 分别展示了采样速率为 48kHz 或 44.1kHz 时此内插滤波器的幅度响应和通带纹波，而表 6-15 列出了其规格。

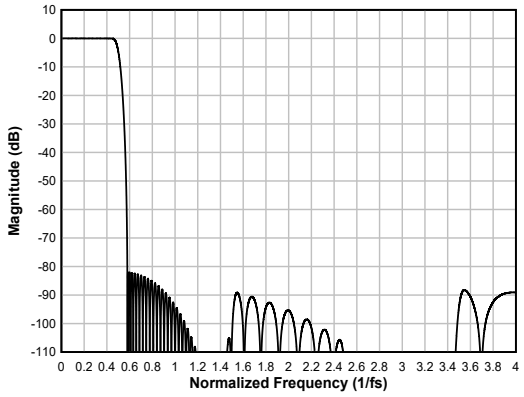


图 6-20. 线性相位内插滤波器幅度响应

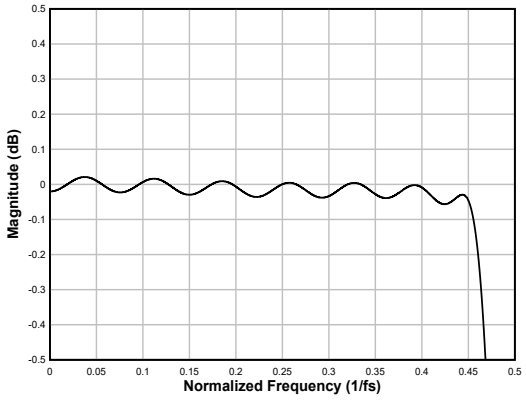


图 6-21. 线性相位内插滤波器通带纹波

Copyright © 2024 Texas Instruments Incorporated

表 6-15. 线性相位内插滤波器规格

参数	测试条件	最小值	典型值	最大值	单位
通带纹波	频率范围为 0 至 0.455 × f_S	-0.09		0.02	dB
阻带衰减	频率范围为 0.58 × f_S 至 4 × f_S	82			dB
	频率范围为 4 × f_S 至 7.423 × f_S	89.1			
群延迟或延时	频率范围为 0 至 0.455 × f_S		17.3		1/f_S

6.3.6.1.1.6 采样速率：96kHz 或 88.2kHz

图 6-22 和图 6-23 分别展示了采样速率为 96kHz 或 88.2kHz 时此内插滤波器的幅度响应和通带纹波，而表 6-16 列出了其规格。

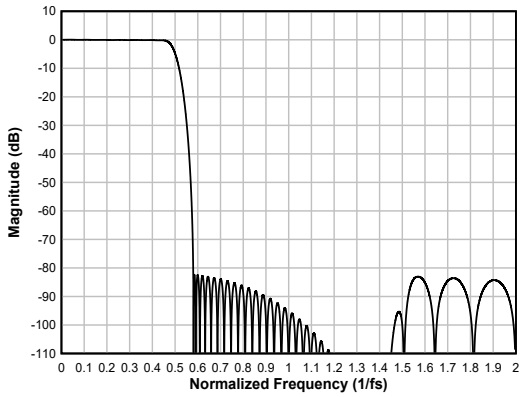


图 6-22. 线性相位内插滤波器幅度响应

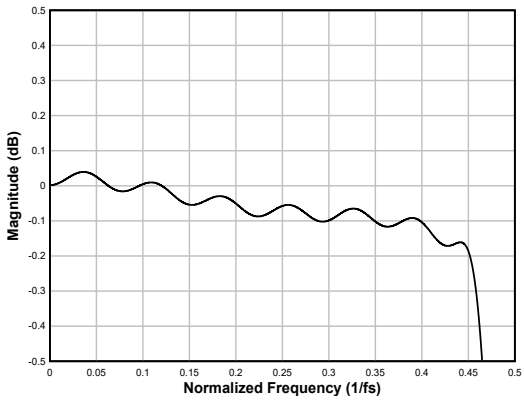


图 6-23. 线性相位内插滤波器通带纹波

表 6-16. 线性相位内插滤波器规格

参数	测试条件	最小值	典型值	最大值	单位
通带纹波	频率范围为 0 至 0.455 × f_S	-0.23		0.04	dB
阻带衰减	频率范围为 0.58 × f_S 至 2 × f_S	82.4			dB
	频率范围为 2 × f_S 至 3.422 × f_S	85.1			
群延迟或延时	频率范围为 0 至 0.455 × f_S		16.7		1/f_S

6.3.6.1.1.7 采样速率：192kHz 或 176.4kHz

图 6-24 和图 6-25 分别展示了采样速率为 192kHz 或 176.4kHz 时此内插滤波器的幅度响应和通带纹波，而表 6-17 列出了其规格。

Copyright © 2024 Texas Instruments Incorporated

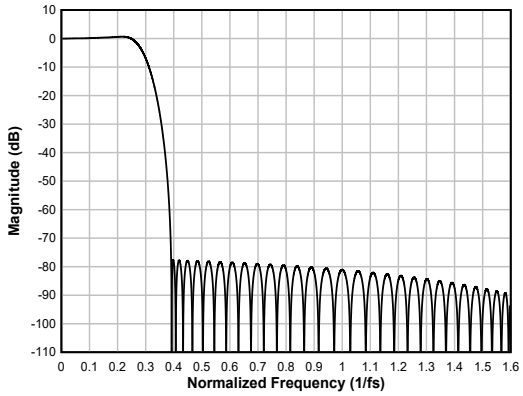


图 6-24. 线性相位内插滤波器幅度响应

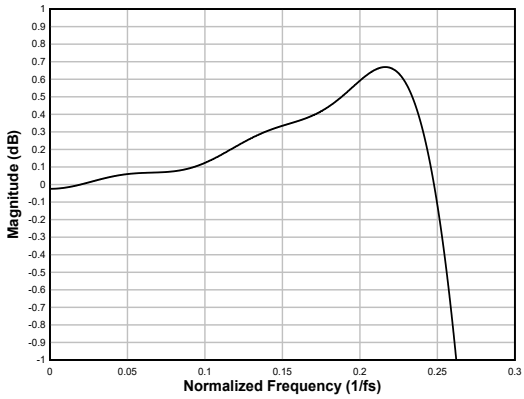


图 6-25. 线性相位内插滤波器通带纹波

表 6-17. 线性相位内插滤波器规格

参数	测试条件	最小值	典型值	最大值	单位
通带纹波	频率范围为 0 至 0.258 × f_S	-0.67		0.67	dB
阻带衰减	频率范围为 0.391 × f_S 至 1 × f_S	77.7			dB
	频率范围为 1 × f_S 至 1.612 × f_S	81.1			
群延迟或延时	频率范围为 0 至 0.258 × f_S		10.7		1/f_S

Copyright © 2024 Texas Instruments Incorporated

6.3.6.1.2 低延迟滤波器

对于低延迟和最小相位偏差（在音频频带内）至关重要的应用，可以使用 TAD5242 上的低延迟内插滤波器。该器件支持这些滤波器，其群延迟约为七个样本，在 0.376 × f_S 频带内具有几乎为线性的相位响应。本节提供了低延迟滤波器所有受支持输出采样速率的滤波器性能规格和各种图。

6.3.6.1.2.1 采样速率：24kHz 或 22.05kHz

图 6-26 显示了采样速率为 24kHz 或 22.05kHz 时此内插滤波器的幅度响应，而图 6-27 显示了该条件下此内插滤波器的通带纹波和相位偏差。表 6-18 列出了器件的规格。

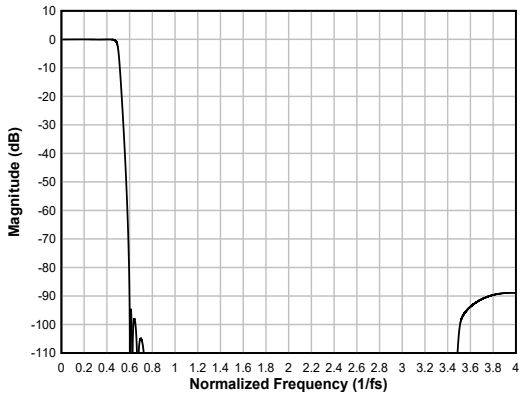


图 6-26. 低延迟内插滤波器幅度响应

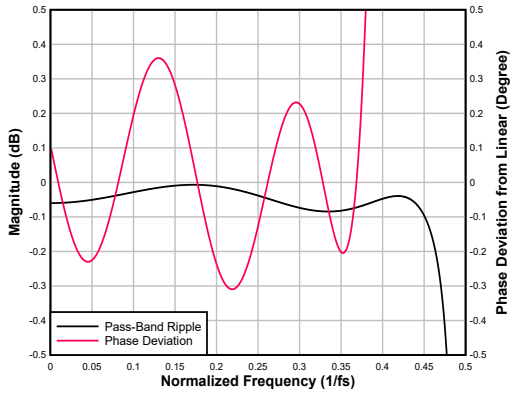


图 6-27. 低延迟内插滤波器通带纹波和相位偏差

表 6-18. 低延迟内插滤波器规格

参数	测试条件	最小值	典型值	最大值	单位
通带纹波	频率范围为 0 至 0.455 × f_S	-0.12		-0.01	dB
阻带衰减	频率范围为 0.599 × f_S 至 4 × f_S	88.9			dB
	频率范围为 4 × f_S 至 7.414 × f_S	89			
群延迟或延时	频率范围为 0 至 0.376 × f_S		7.19		1/f_S
群延迟偏差	频率范围为 0 至 0.376 × f_S	-0.088		0.088	1/f_S
相位偏差	频率范围为 0 至 0.376 × f_S	-0.31		0.36	度

6.3.6.1.2.2 采样速率：32kHz 或 29.4kHz

图 6-28 显示了采样速率为 32kHz 或 29.4kHz 时此内插滤波器的幅度响应，而图 6-29 显示了该条件下此内插滤波器的通带纹波和相位偏差。表 6-19 列出了器件的规格。

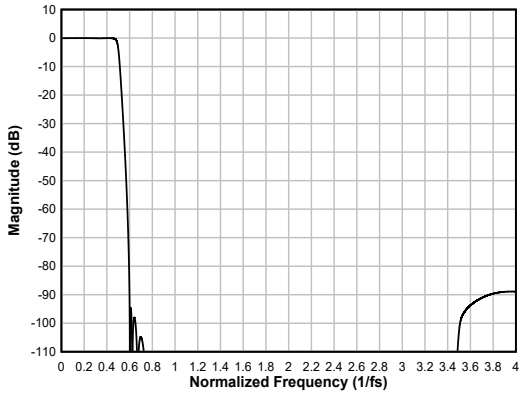


图 6-28. 低延迟内插滤波器幅度响应

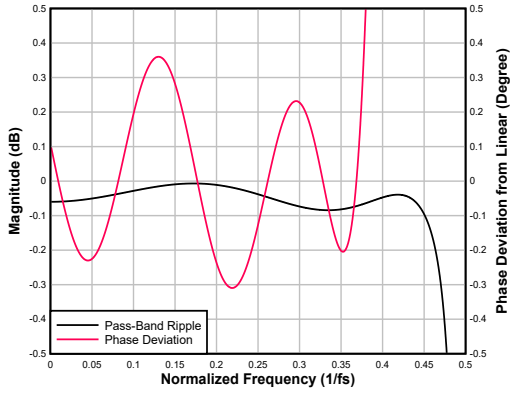


图 6-29. 低延迟内插滤波器通带纹波和相位偏差

Copyright © 2024 Texas Instruments Incorporated

表 6-19. 低延迟内插滤波器规格

参数	测试条件	最小值	典型值	最大值	单位
通带纹波	频率范围为 0 至 0.455 × f_S	-0.12		-0.01	dB
阻带衰减	频率范围为 0.599 × f_S 至 4 × f_S	88.9			dB
	频率范围为 4 × f_S 至 7.414 × f_S	89			
群延迟或延时	频率范围为 0 至 0.376 × f_S		7.19		1/f_S
群延迟偏差	频率范围为 0 至 0.376 × f_S	-0.088		0.088	1/f_S
相位偏差	频率范围为 0 至 0.376 × f_S	-0.31		0.36	度

6.3.6.1.2.3 采样速率：48kHz 或 44.1kHz

图 6-30 显示了采样速率为 48kHz 或 44.1kHz 时此内插滤波器的幅度响应，而图 6-31 显示了该条件下此内插滤波器的通带纹波和相位偏差。表 6-20 列出了器件的规格。

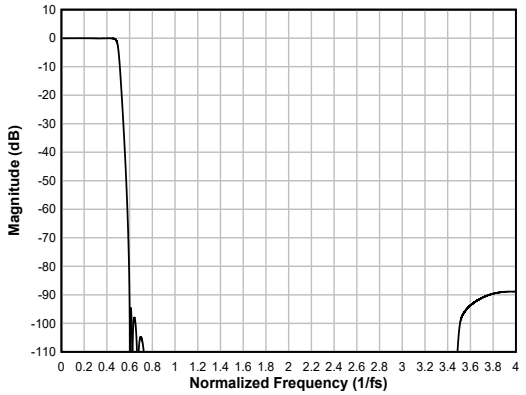


图 6-30. 低延迟内插滤波器幅度响应

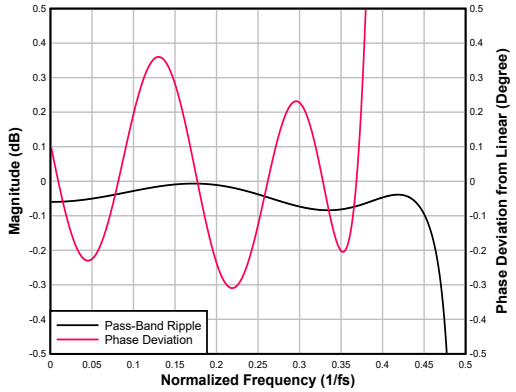


图 6-31. 低延迟内插滤波器通带纹波和相位偏差

表 6-20. 低延迟内插滤波器规格

参数	测试条件	最小值	典型值	最大值	单位
通带纹波	频率范围为 0 至 0.455 × f_S	-0.12		-0.01	dB
阻带衰减	频率范围为 0.599 × f_S 至 4 × f_S	88.9			dB
	频率范围为 4 × f_S 至 7.414 × f_S	89			
群延迟或延时	频率范围为 0 至 0.376 × f_S		7.19		1/f_S
群延迟偏差	频率范围为 0 至 0.376 × f_S	-0.088		0.088	1/f_S
相位偏差	频率范围为 0 至 0.376 × f_S	-0.31		0.36	度

6.3.6.1.2.4 采样速率：96kHz 或 88.2kHz

图 6-32 显示了采样速率为 96kHz 或 88.2kHz 时此内插滤波器的幅度响应，而图 6-33 显示了该条件下此内插滤波器的通带纹波和相位偏差。表 6-21 列出了器件的规格。

Copyright © 2024 Texas Instruments Incorporated

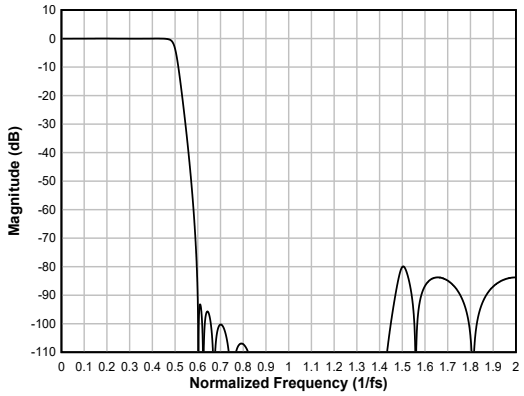


图 6-32. 低延迟内插滤波器幅度响应

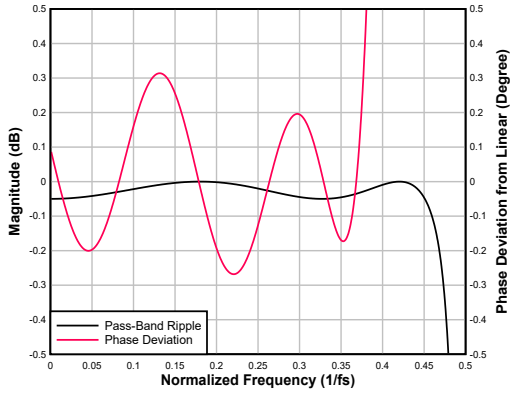


图 6-33. 低延迟内插滤波器通带纹波和相位偏差

表 6-21. 低延迟内插滤波器规格

参数	测试条件	最小值	典型值	最大值	单位
通带纹波	频率范围为 0 至 0.456 × f_S	-0.07		0	dB
阻带衰减	频率范围为 0.595 × f_S 至 2 × f_S	79.9			dB
	频率范围为 2 × f_S 至 3.405 × f_S	79.9			
群延迟或延时	频率范围为 0 至 0.376 × f_S		6.39		1/f_S
群延迟偏差	频率范围为 0 至 0.376 × f_S	-0.078		0.022	1/f_S
相位偏差	频率范围为 0 至 0.376 × f_S	-0.268		0.022	度

6.3.6.1.2.5 采样速率：192kHz 或 176.4kHz

图 6-34 显示了采样速率为 192kHz 或 176.4kHz 时此内插滤波器的幅度响应，而图 6-35 显示了该条件下此内插滤波器的通带纹波和相位偏差。表 6-22 列出了器件的规格。

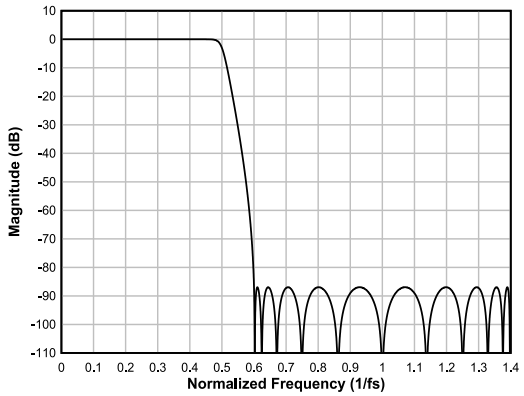


图 6-34. 低延迟内插滤波器幅度响应

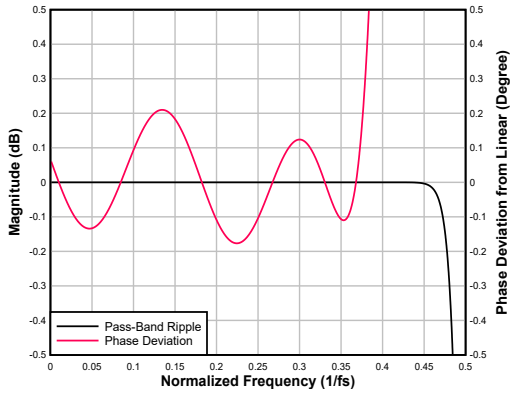


图 6-35. 低延迟内插滤波器通带纹波和相位偏差

表 6-22. 低延迟内插滤波器规格

参数	测试条件	最小值	典型值	最大值	单位
通带纹波	频率范围为 0 至 0.452 × f_S	-0.005		0	dB
阻带衰减	频率范围为 0.6 × f_S 至 1 × f_S	86.9			dB
	频率范围为 1 × f_S 至 1.401 × f_S	86.9			
群延迟或延时	频率范围为 0 至 0.376 × f_S		5.41		1/f_S
群延迟偏差	频率范围为 0 至 0.376 × f_S	-0.055		0.055	1/f_S

Copyright © 2024 Texas Instruments Incorporated

表 6-22. 低延迟内插滤波器规格（续）

参数	测试条件	最小值	典型值	最大值	单位
相位偏差	频率范围为 0 至 0.376 × f_S	-0.177		0.21	度

6.4 器件功能模式

6.4.1 工作模式

当 AVDD 和 IOVDD 可用时，器件会在工作模式下唤醒。MD0 引脚设置音频串行接口的类型，并且应与电源一起配置。此外，在为器件启用时钟之前，针对所需的运行模式配置所有其他硬件控制模式引脚（MD1、MD2、MD3、MD4、MD5 和 MD6）。

在工作模式下，如果音频时钟可用，则器件会根据配置自动为 DAC 通道加电并开始通过音频串行接口发送和播放数据。如果时钟停止，则器件会自动关闭 DAC 通道。

停止时钟或出现时钟错误都会在 GPO 引脚上触发中断。此为锁存中断，可以通过对器件电源进行下电上电来清除。

Copyright © 2024 Texas Instruments Incorporated

7 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

7.1 应用信息

TAD5242 是一款通过引脚或硬件控制的立体声、高性能音频 DAC，支持高达 192kHz 的采样速率。可以通过控制模式引脚 MD0 至 MD6 来配置该器件，并且该器件可以支持 1.8V 或 3.3V AVDD 模拟电源以及 I²S/TDM/LJ 的灵活数字音频串行接口。该器件还支持多种输出配置（如 2 通道差分输出、单端输出或伪差分输出）和外部共模检测输出，并具有耳机和线路输出驱动功能选项。

7.2 典型应用

7.2.1 应用

图 7-1 显示了 TAD5242 的典型配置，适用于通过目标模式 I²S 音频串行数据接口使用两通道差分线路输出运行的应用。

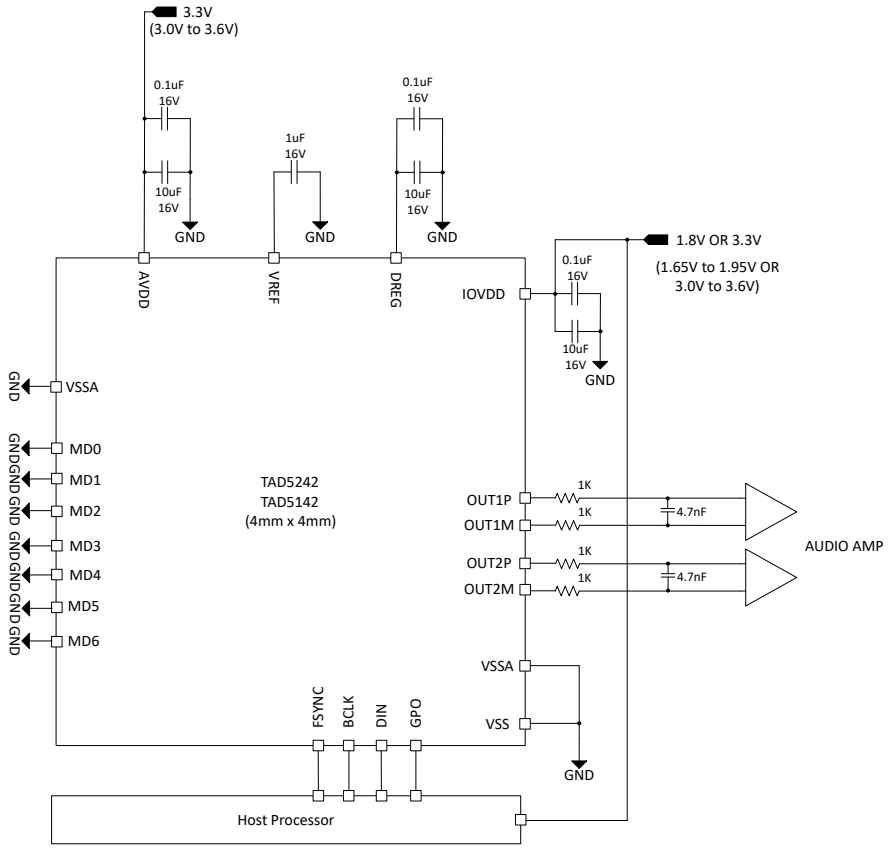


图 7-1. 目标 I²S 模式下的立体声差分线路输出方框图

7.2.2 设计要求

表 7-1 列出了此应用的典型设计参数。

表 7-1. 设计参数

参数	值
AVDD	1.8V 或 3.3V
IOVDD	1.8V 或 3.3V
AVDD 电源电流消耗	17mA，AVDD = 3.3V
IOVDD 电源电流消耗	0.06mA，IOVDD = 3.3V
OUT1M、OUT1P、OUT2M、OUT2P 上的负载	>600 欧姆

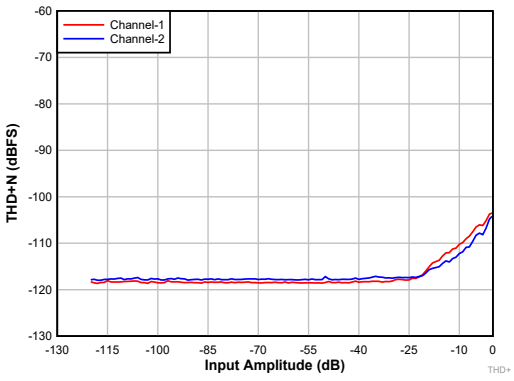
7.2.3 详细设计过程

本节介绍了为此特定应用配置 TAD5242 的必要步骤。

1. 音频串行接口 (ASI) 模式基于 MD0 引脚设置进行配置，该设置需要与电源一起提供。将 MD0 配置为使用适当的电阻值上拉至 AVDD 或下拉至 VSS。对于此用例，将 MD0 配置为接地。
2. 为器件通电：
   a. 为 IOVDD 和 AVDD 电源上电。
   b. 确保电源上电后 MD0 引脚设置保持稳定并等待至少 2ms，以让器件为此运行模式初始化内部寄存器。
   c. 器件现在处于睡眠模式（低功耗模式 < 1mA）。
3. 根据系统要求配置模式引脚 MD1 至 MD6：
   a. 在 MD1 至 MD6 引脚上，根据所需配置上拉至 IOVDD 或下拉至 VSS。对于此用例，所有引脚均接地。
4. 施加 ASI 时钟信号（BCLK 和 FSYNC）来唤醒器件。
5. 要将器件重新置于睡眠模式，请停止时钟：
   a. 等待至少 100ms，让器件完成内部关断序列。
   b. 根据要求更改 MD1 至 MD6 来更改器件模式配置。
6. 要更改 ASI 模式，请重新配置 MD0 引脚并对器件执行下电上电操作。
7. 根据模式转换要求，重复步骤 1-6。

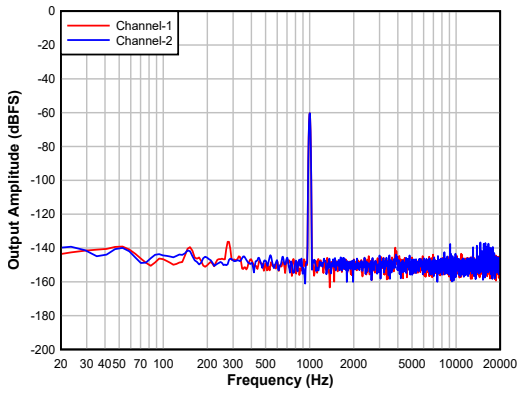
7.2.4 应用性能曲线图

T_A = 25°C、AVDD = 3.3V、IOVDD = 3.3V、f_{IN} = 1kHz 正弦信号、f_S = 48kHz、32 位音频数据、BCLK = 256 × f_S、TDM 目标模式和线性相位内插滤波器、采用差分配置的 1200Ω 线路输出负载；测量时无滤波器，使用 Audio Precision 在 20Hz 至 20kHz 未加权带宽下测量（除非另有说明）



差分输出

图 7-2. DAC THD + N 级别与输入间的关系



差分输出，-60dBFS 输入

图 7-3. DAC FFT

Copyright © 2024 Texas Instruments Incorporated

7.3 电源相关建议

IOVDD 和 AVDD 电源轨之间的电源序列可以按任何顺序应用。MD0 引脚应与电源一起提供，并且一旦电源稳定到建议的工作电压电平，该引脚就应该保持稳定。只有在所有其他模式引脚（MD1 至 MD6）也稳定后，才能启动时钟来初始化器件。

对于电源上电要求，t_1、t_2 和 t_3 必须至少为 2ms 才能让器件初始化内部寄存器。有关器件电源稳定至建议的工作电压电平后，该器件如何在各种模式下运行的详细信息，请参阅 *节 6.3.1* 部分。对于电源断电要求，t_4、t_5 和 t_6 必须至少为 10ms。该时序（如*图 7-4* 所示）允许器件慢慢降低回放数据的音量，关闭模拟和数字块，以及将器件置于低功耗模式。

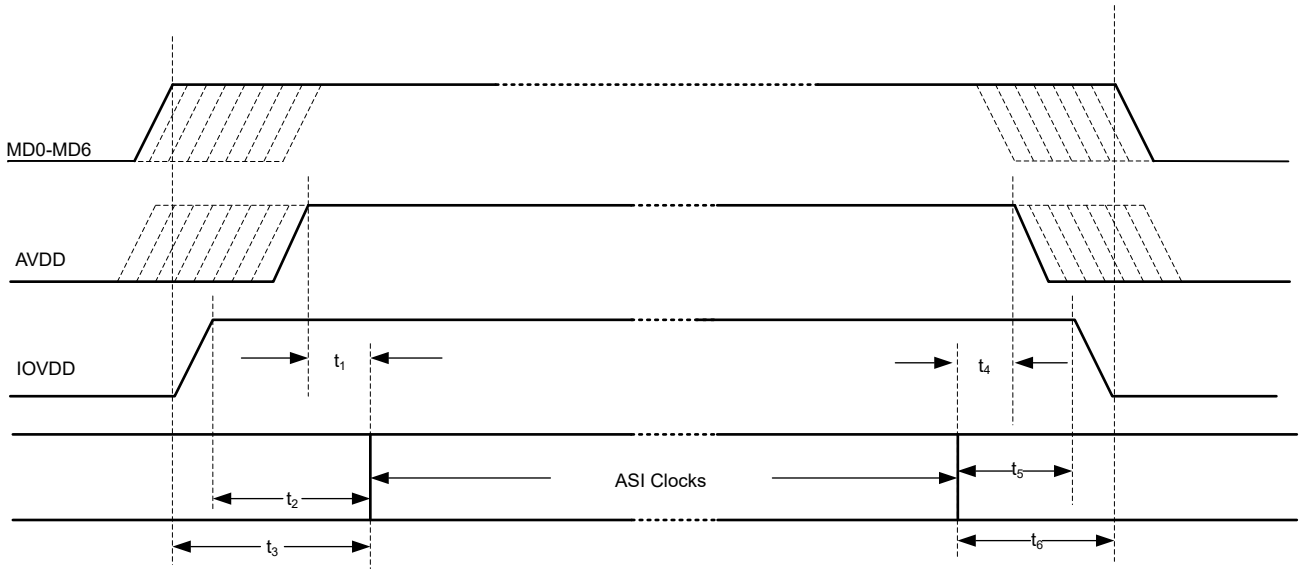


图 7-4. 电源时序要求时序图

确保电源斜坡速率低于 0.1V/μs，并且断电和上电事件之间的等待时间至少为 100ms。

TAD5242 通过集成片上数字稳压器、DREG 和集成内部模拟稳压器，支持单 AVDD 电源运行。

7.4 布局

7.4.1 布局指南

每个系统设计和印刷电路板 (PCB) 布局布线都是独一无二的。必须在特定 PCB 设计的背景下仔细审查布局。但是，以下指南可以优化器件性能：

- 将散热焊盘连接至地。使用过孔布局将器件散热焊盘（即器件正下方的区域）连接到接地平面。该连接有助于散发器件产生的热量。
- 在 VSS 和 VSSA 之间使用相同的接地，以避免它们之间存在任何电势电压差。
- 电源的去耦电容器必须放置在靠近器件引脚的位置。
- 在 PCB 上以差分方式路由模拟差分音频信号，以获得更好的抗噪性。避免数字和模拟信号交叉，以防止出现不良串扰。
- 尽可能避免在 OUTxx 引脚附近运行高频时钟和控制信号。
- 必须使用外部电容器对器件内部基准电压进行滤波。将滤波电容器放置在 VREF 引脚附近以获得良好性能。
- 提供从 VREF 外部电容器接地端子到 VSS 引脚的直接连接。
- 使用接地平面为器件和去耦电容器之间的电源和信号电流提供最低阻抗。将器件正下方的区域视为器件的中心接地区域，所有器件接地必须直接连接到该区域。

Copyright © 2024 Texas Instruments Incorporated

7.4.2 布局示例

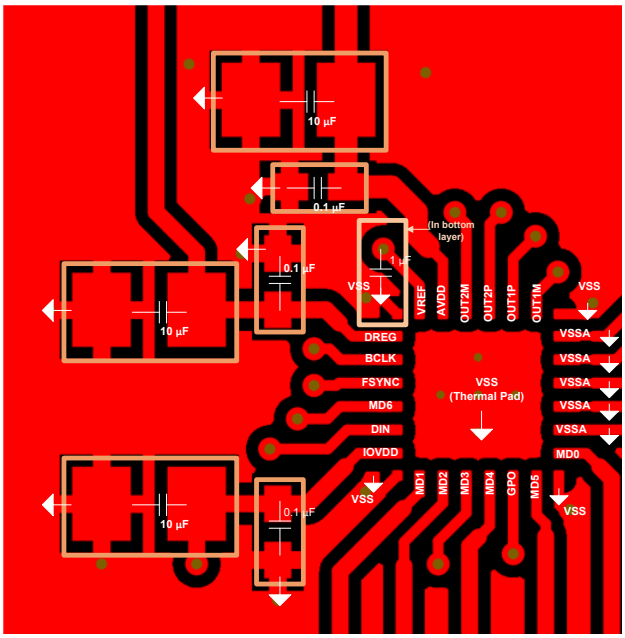


图 7-5. 示例布局

Copyright © 2024 Texas Instruments Incorporated

8 器件和文档支持

8.1 文档支持

8.1.1 相关文档

请参阅以下相关文档：

- 德州仪器 (TI)，*TAx5x42EVM-K 硬件控制评估模块* 用户指南

8.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

8.3 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

8.4 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

8.5 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

8.6 术语表

TI 术语表	本术语表列出并解释了术语、首字母缩略词和定义。

9 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision * (January 2024) to Revision A (October 2024)	Page
• 将器件状态更新为量产数据。	1

10 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2024 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TAD5242IRGER	Active	Production	VQFN (RGE) | 24	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	TAD5242
TAD5242IRGER.A	Active	Production	VQFN (RGE) | 24	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	TAD5242

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

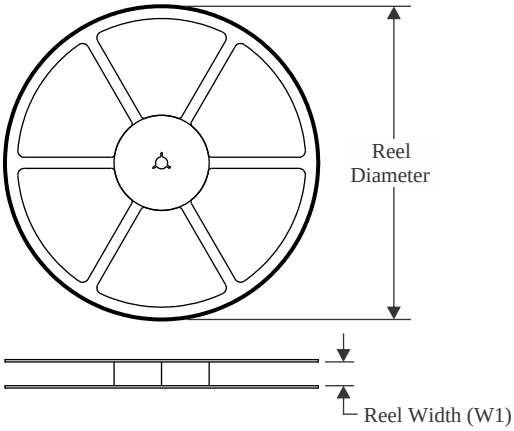
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

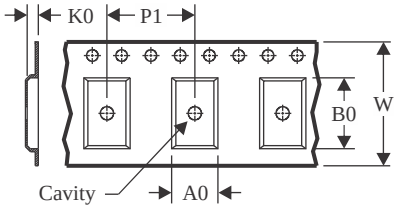
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

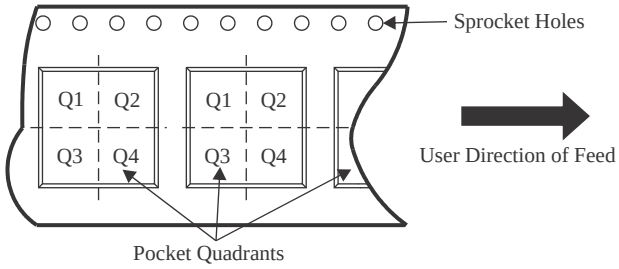


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

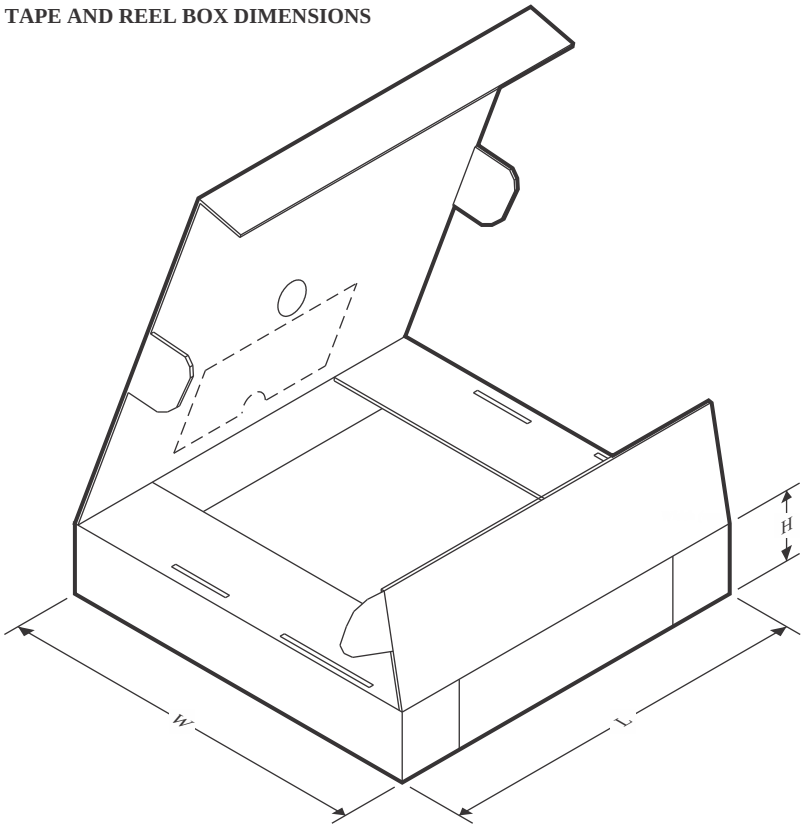
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TAD5242IRGER	VQFN	RGE	24	3000	330.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2

TAPE AND REEL BOX DIMENSIONS



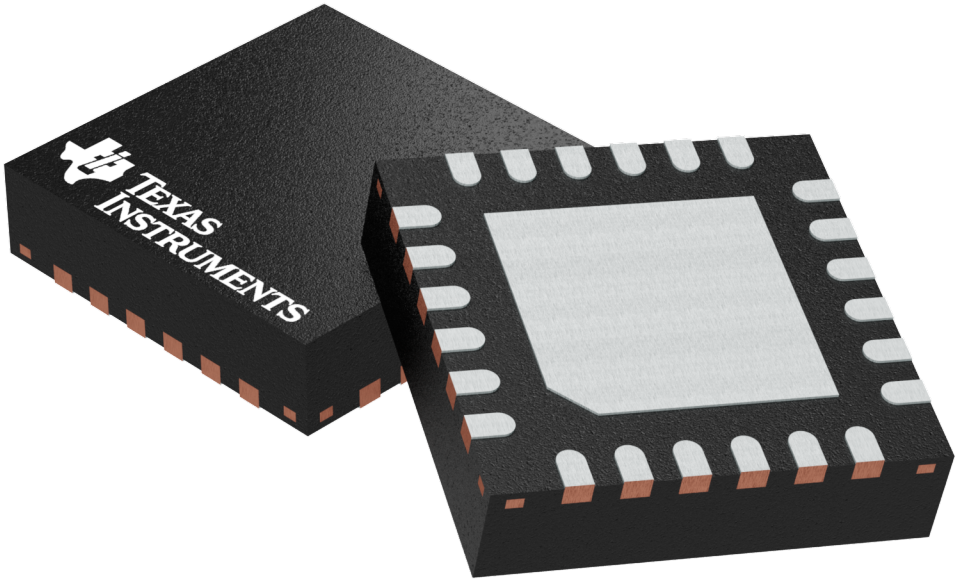
*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TAD5242IRGER	VQFN	RGE	24	3000	367.0	367.0	35.0

RGE 24

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



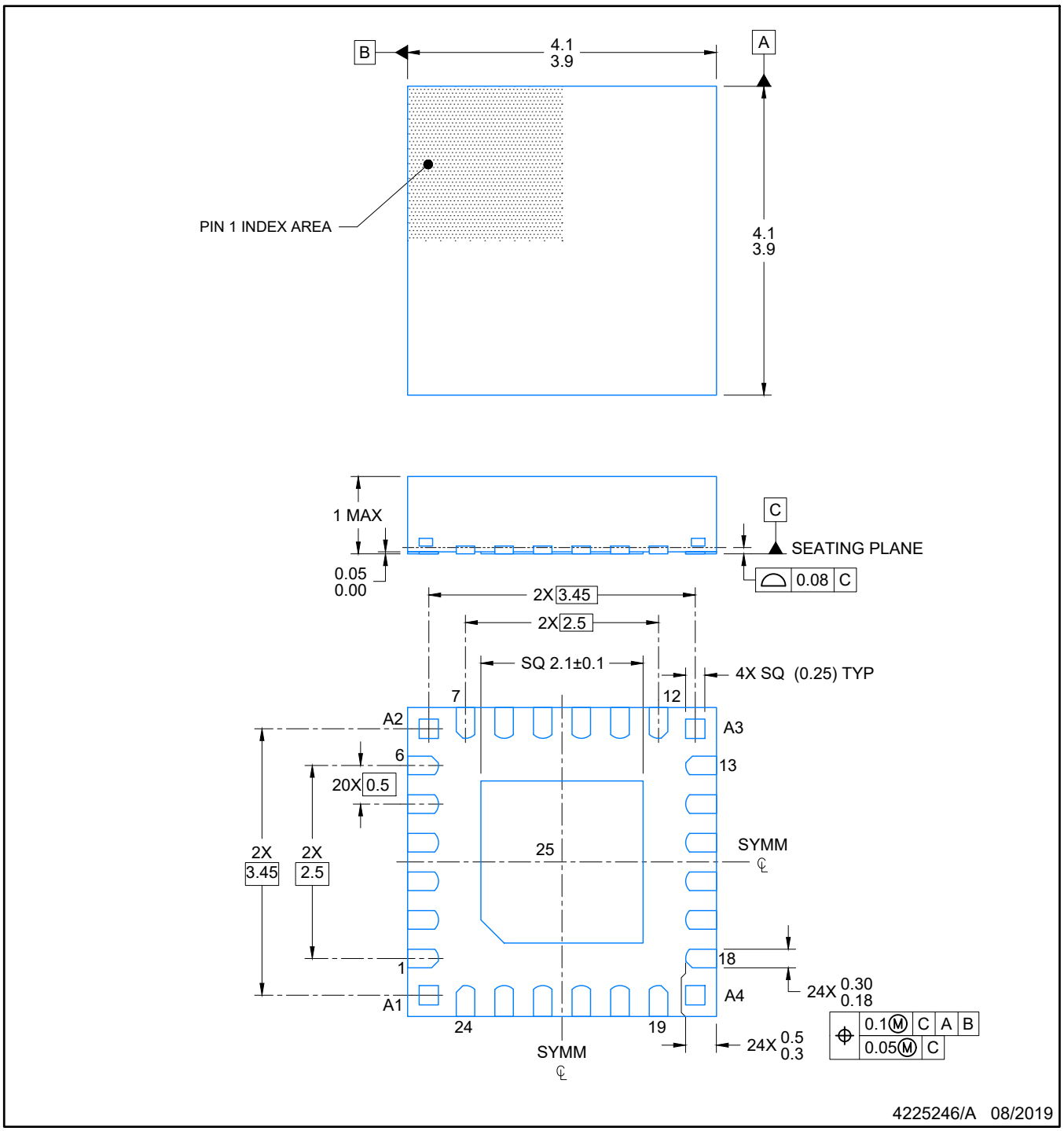
Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

PACKAGE OUTLINE

RGE0024R

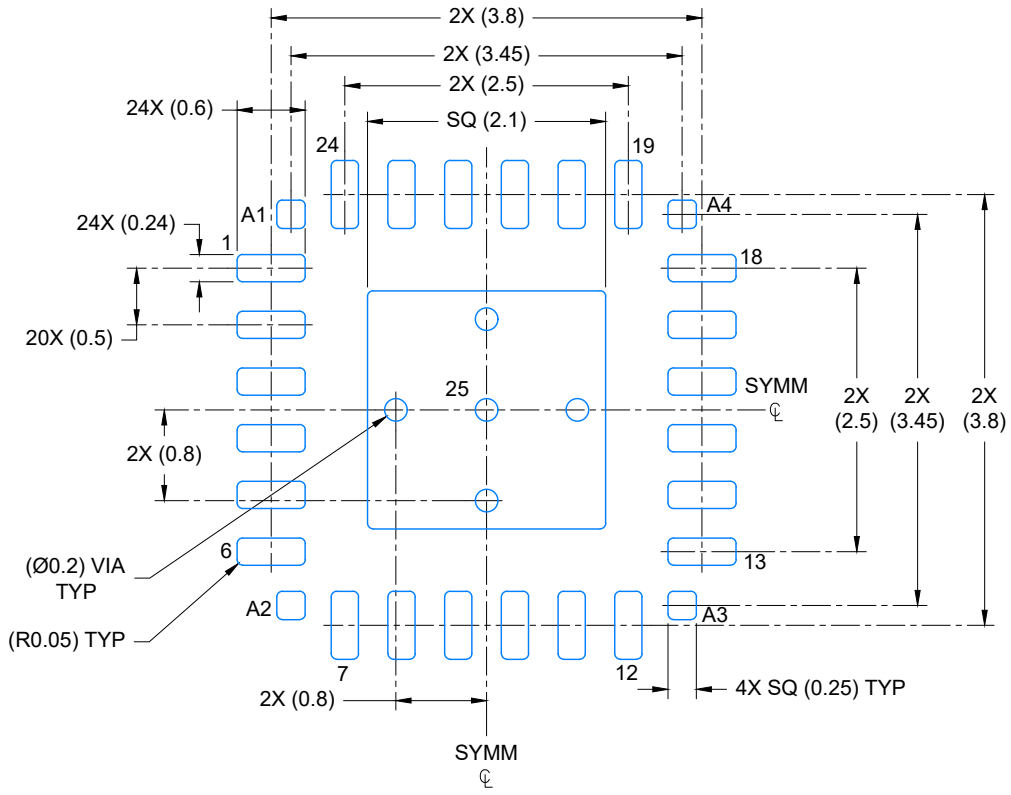
VQFN - 1 mm max height

PLASTIC QUAD FLATPACK-NO LEAD

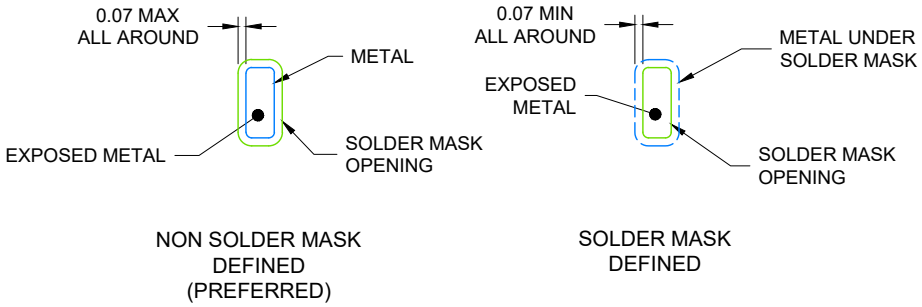


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for optimal thermal and mechanical performance.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X



NON SOLDER MASK DEFINED (PREFERRED)

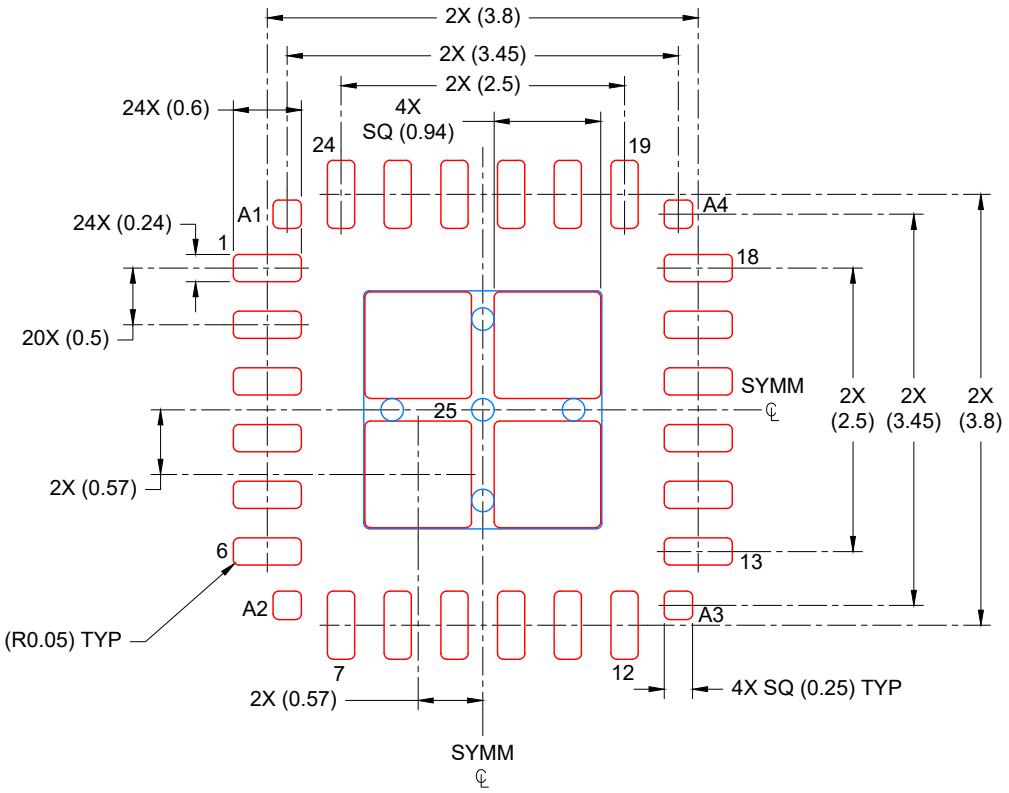
SOLDER MASK DEFINED

SOLDER MASK DETAILS

4225246/A 08/2019

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD
80% PRINTED COVERAGE BY AREA
SCALE: 15X

4225246/A 08/2019

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2025，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月